

Amplificador de tensão baseado no par cascode

Alípio Souza Silva
dept. de eng. elétrica (DEEC)
Universidade federal da Bahia (UFBA)
Salvador, Bahia
alipio.souza@ufba.br

I. INTRODUÇÃO

Os transistores, sejam eles de junção (BJT) ou de efeito de campo (FET) possibilitaram grandes avanços no mundo da eletrônica devido as suas diversas aplicações. Uma delas, a confecção de amplificadores de tensão será explorada nesse trabalho em um projeto de um amplificador baseado no par cascode. A carga que será conectada a saída desse amplificador será uma resistência de 50Ω , e o sinal de entrada será um sinal senoidal de $20mV$ de pico. Como a carga possui uma impedância relativamente baixa, um estágio amplificador da topologia coletor comum será conectado a saída do par cascode, para que o ganho final não seja severamente degradado. A Figura 1 mostra o circuito sugerido para o projeto.

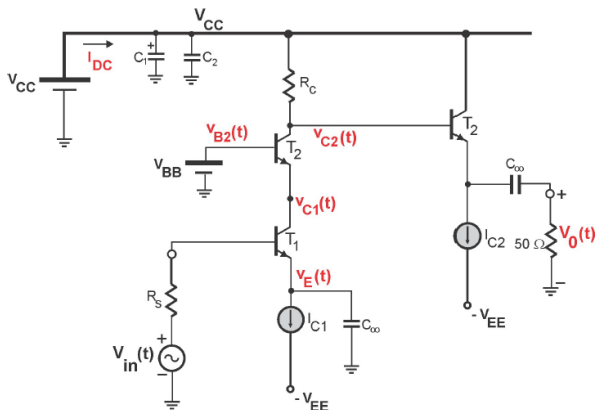


Figura 1. Topologia adotada para o projeto do amplificador

Nota-se na Figura 1, a presença de fontes de corrente conectadas ao emissor do transistor do estágio amplificador coletor comum e do emissor comum que compõe o par cascode. Essas fontes de corrente têm o papel de melhorar a polarização dos transistores e também reduzir a distorção.

A tensão de entrada possui uma frequência de $10kHz$ (faixa de áudio), e o transistor a ser utilizado será o BC547, um BJT NPN que possui frequência de corte na ordem de $300MHz$ que é muito maior que a frequência do sinal de operação considerado para o projeto, fato que permite a análise adotando o modelo para pequenos sinais e baixa frequência para os transistores. O objetivo é propiciar um ganho absoluto na tensão de entrada de 58, sendo que o circuito é alimentado com uma tensão V_{cc} de $5V$ dc e V_{ee} de $-6V$ dc.

II. CÁLCULO DOS COMPONENTES DO PROJETO

Uma estratégia para os cálculos dos componentes do amplificador foi adotada. Como o amplificador coletor comum possui um ganho um pouco menor que 1, este foi projetado primeiramente para que conhecendo seu ganho absoluto, a sua tensão de entrada pudesse ser determinada, esta que é a tensão de saída do par cascode, que terá seus parâmetros calculados posteriormente.

A. Projeto do estágio amplificador coletor comum

Para projetar o estágio amplificador coletor comum, primeiramente deve-se conhecer a corrente que deve fluir pelo emissor para que se possa determinar a tensão V_{be} . Como o ganho de tensão solicitado é 58, para uma tensão de entrada V_{in} de $20mV$, na carga de 50Ω deve haver uma tensão V_{out} de $58V_{in}$, ou seja, $1,16V$ em seus terminais. Para que isso seja possível, é necessário que uma determinada corrente flua por este resistor, que é de $23,2mA$. Conhecida corrente na carga, pode-se projetar o espelho de corrente que é conectado ao emissor do transistor deste amplificador. A corrente de referência para esta fonte de corrente pode ser igual ou maior que a corrente de carga, mas por razões de economia de energia, adotou-se a mesma corrente. A topologia de espelho de corrente adotada, pode ser visualizada na Figura 2, onde os terminais de emissor dos transistores estão ligados à tensão V_{ee} de $-6V$.

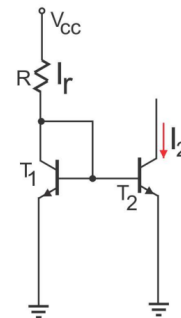


Figura 2. Modelo de espelho de corrente adotado para o estágio amplificador coletor comum

No software ADS, foi feita uma simulação com o transistor BC547 com o objetivo de caracterizá-lo quanto o comportamento da corrente de coletor I_c em função da corrente de base I_b e também para obtenção do ganho de corrente β que

este propicia a corrente de base. A Figura 3 mostra o circuito montado no ADS para obtenção das informações supracitadas, já as Figuras 4 e 5 mostram os resultados da simulação para obtenção do V_{be} e do β respectivamente.

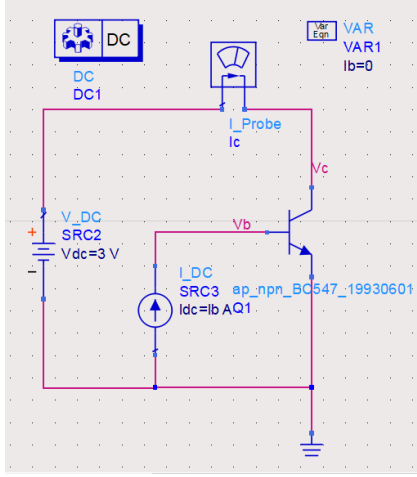


Figura 3. Circuito montado no ADS para simulação

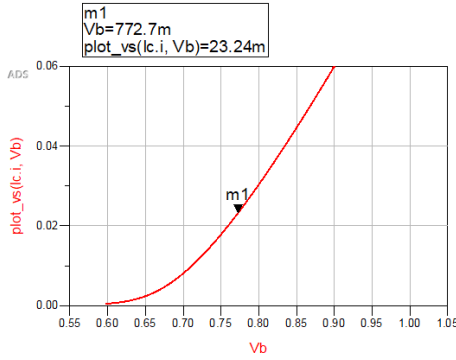


Figura 4. Resultado da simulação para obtenção do v_{be}

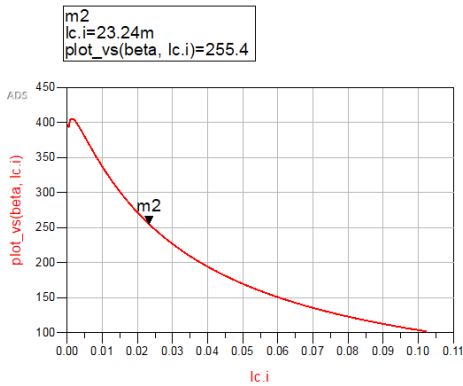


Figura 5. Resultado da simulação para obtenção do β

Feitas as simulações, obteve-se para a corrente de $23,2mA$ um V_{be} de aproximadamente $0,773V$ e um β de $255,4$. Com

esses valores pode-se calcular a resistência R que determina a corrente de referência do espelho. Como os terminais de ambos os transistores estão conectados num potencial de $-6V$, pode-se dizer que suas tensões V_e são $-6V$, e como V_{be} é $V_{be_{espelho}} - V_e$ a tensão $V_{be_{espelho}}$ de ambos transistores será $-6V + 0,773V = -5,227V$. Como existe uma conexão entre a base e o coletor do transistor T_1 , sua tensão de coletor será igual a da base. Como o consumo energético é um fator importante para este projeto, e já se conhece que a tensão de coletor é $-5,227V$, um valor menor que zero, optou-se por ligar a resistência R entre o *ground* e o terminal de coletor do transistor T_1 , uma vez que se a corrente I_r será fixa em $23,2mA$, haveria uma perda por Efeito Joule maior se tal resistência fosse ligada ao terminal V_{cc} , o que acarretaria uma resistência maior devido a maior tensão, e a potência dissipada em um resistor é $P = Ri^2$. Por fim, a resistência R é:

$$R = \frac{V_{cc} - V_{be_{espelho}}}{I_r} = \frac{5 - (-5,227)}{20 \cdot 10^{-3}} = 225,3017\Omega \quad (1)$$

Para concluir esta etapa do amplificador, resta polarizar a base do transistor T_2 . Visto que é necessário que a impedância de entrada deste estágio seja a maior possível para não degradar o ganho do estágio amplificador cascosde, optou-se por polarizar a base deste transistor com apenas um resistor, na qual nele foi uma corrente de base suficiente para que a corrente de coletor seja $23,2mA$, o que leva ao valor dessa resistência ser o maior possível. Para determiná-la, é necessário saber qual é a tensão de emissor do transistor T_2 , que é:

$$V_e = V_{be_{espelho}} + \text{ganho} \cdot V_{in} + 2 \cdot V_{cesat} \quad (2)$$

Onde, " $\text{ganho} \cdot V_{in}$ " é a amplitude do sinal de saída que foi somada a duas vezes a tensão V_{cesat} ($0,4V$) para evitar a saturação do amplificador. Assim:

$$V_e = -5,227 + 58 \cdot 20 \cdot 10^{-3} + 2 \cdot 0,4 = -3,267V \quad (3)$$

Com isso, a tensão de base do transistor T_2 é:

$$V_b = V_e + V_{be} = -3,267 + 0,773 = -2,494V \quad (4)$$

Por fim a resistência de base R_b é:

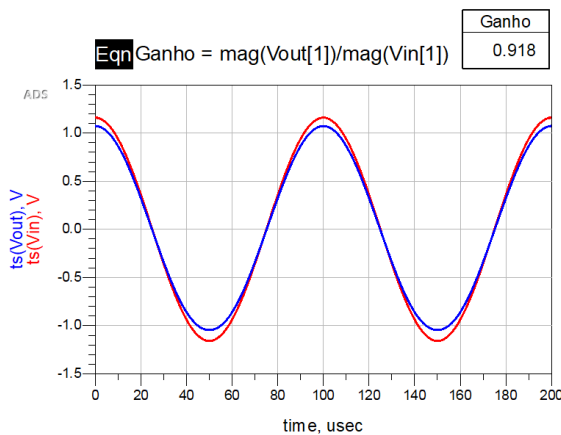
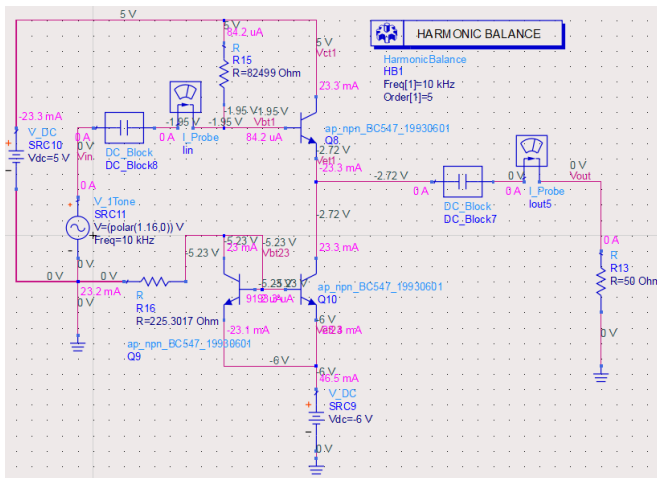
$$R_b = \frac{V_{cc} - V_b}{I_c} = \frac{5 - (-2,494)}{23,2 \cdot 10^{-3}} = 82499\Omega \quad (5)$$

Onde $I_c = I_r$.

Para se obter o ganho que esta etapa do amplificador aplica no sinal de entrada, foi feita uma simulação no ADS, uma vez que esta informação é importante para o projeto do restante do amplificador. As Figuras 6 e 7 mostram a topologia do circuito no ADS e seus resultados respectivamente.

Pode-se constatar que o ganho que este estágio aplica no sinal que passa por ele é de $0,918$.

Uma ultima informação relevante trata-se da impedância de entrada do estágio coletor comum, que será visto como a



carga pelo estágio amplificador cascode. O valor teórico dessa impedância para o modelo *AC* é:

freq	Zin
0.0000 Hz	0.000 / 0.000
10.00 kHz	9.407E3 / -0.373
20.00 kHz	0.000 / 0.000
30.00 kHz	0.000 / 0.000
40.00 kHz	0.000 / 0.000
50.00 kHz	0.000 / 0.000

B. Projeto do estágio amplificador cascode

A primeira coisa que foi feita para esta etapa foi determinar a corrente de coletor dos transistores do par cascode. Foi levado em conta que o baixo consumo energético era importante, escolheu-se a menor corrente possível para que o o circuito funcionasse. A partir da mesma simulação feita no ADS para a etapa do coletor comum, ou seja com o mesmo circuito da Figura 3, obteve-se os gráficos de I_c vs V_{be} e β vs I_c . Observando-se o gráfico com os resultados da simulação, considerou-se $V_{beon} = 0,6V$ como o menor valor de tensão que o transistor começa permitir a passagem de corrente entre o coletor e o emissor. Entretanto, quando se acrescentar o sinal V_{in} , deve se observar a excursão deste para que o o transistor não entre na região de corte. Para corrigir isso, considerou-se um $V_{be} = V_{beon} + V_{in}$, onde a incorporação do sinal V_{in} não vai saturar o amplificador. Para este valor de V_{be} a corrente I_c possui o valor de $0,88mA$ que será considerado nos cálculos dos parâmetros do cascode e a partir dela obteve-se o valor de $\beta = 404,4$ como pode-se constatar nas Figuras 9 e 10 respectivamente.

Conhecidos os valores de I_c e V_{be} pode-se projetar o espelho de corrente para este estágio do amplificador da mesma forma que foi projetado para o estágio coletor comum. A topologia de espelho é a mesma ilustrada na Figura 2. A tensão de base dos transistores que compõem este espelho é:

$$V_{b_{essnelho}} = V_{ee} + V_{be} = -6 + 0,62 = -5,38V \quad (11)$$

Como existe uma conexão entre as bases dos transistores da fonte de corrente e o coletor do transistor conectado a resistência que determina a corrente de referência que neste caso será de $0,88mA$, a sua tensão de coletor é igual a tensão da base. Assim a resistência de referência R_f que possui o seu segundo terminal ligado ao terra é:

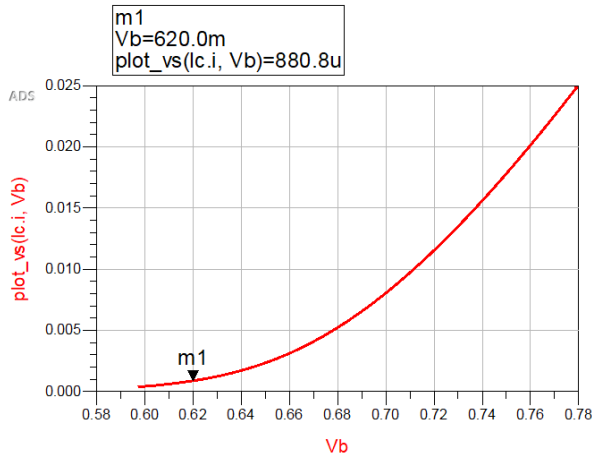


Figura 9. Valor de V_{be} para a corrente de coletor escolhida

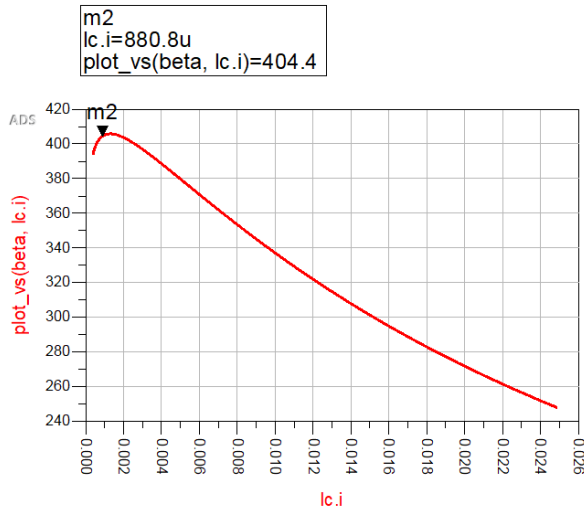


Figura 10. Valor de β para a corrente de coletor escolhida

$$R_f = \frac{0 - V_{b_{espelho}}}{I_{ref}} = \frac{0 - (-5,38)}{0,88 \cdot 10^{-3}} = 6113,6\Omega \quad (12)$$

Onde $I_{ref} = I_c$

Dessa forma, o espelho de corrente está completo. Agora, passando para o transistor do par cascode onde a fonte de sinal de entrada está conectada a sua base, foi feita a sua polarização. Primeiramente foi feito um cálculo de uma resistência de realimentação R_f que foi conectada ao emissor do transistor supracitado que possui a finalidade de reduzir a distorção harmônica do sinal de saída. Para o caso deste amplificador não possuir esta resistência, a distorção harmônica de segunda ordem é:

$$DH_2 = \frac{V_{in}}{4V_t} \cdot 100 = \frac{20 \cdot 10^{-3}}{4 \cdot 26 \cdot 10^{-3}} \cdot 100 = 19,23\% \quad (13)$$

Foi considerada uma resistência R_f que leva a transcondutância gm para metade do seu valor original. Assim R_f é:

$$R_f = \frac{1}{gm} = \frac{1}{40I_c} = \frac{1}{40 \cdot 0,88 \cdot 10^{-3}} = 28,41\Omega \quad (14)$$

Com essa resistência conectada ao circuito, a distorção harmônica assumirá o seguinte valor:

$$DH_2 = \frac{V_{in}}{4V_t(1 + gmR_f)^2} \cdot 100 \quad (15)$$

$$DH_2 = \frac{20 \cdot 10^{-3}}{4 \cdot 26 \cdot 10^{-3} \cdot (1 + 40 \cdot 0,88 \cdot 10^{-3} \cdot 28,41)^2} \cdot 100 \quad (16)$$

$$DH_2 = 4,81\%$$

Com o resistor R_f conhecido, pode-se determinar a tensão de emissor V_{et1} do transistor T_1 que compõe o emissor comum do cascode. Assim, considerando que a tensão de coletor do transistor do espelho de corrente é igual a sua tensão de base, temos que:

$$V_{et1} = V_{b_{espelho}} + I_c R_f = -5,38 + 0,88 \cdot 10^{-3} \cdot 28,41 \quad (17)$$

$$V_{et1} = -5,355V$$

Assim a tensão de base deste mesmo transistor será:

$$V_{bt1} = V_{et1} + V_{be} \quad (18)$$

$$V_{bt1} = -5,355 + 0,62 \quad (19)$$

$$V_{bt1} = -4,735V$$

Conhecida a tensão de base, pode-se dimensionar o divisor de tensão resistivo que polariza este transistor. Para se conseguir uma impedância de entrada elevada, a corrente que fluirá por eles foi considerada como $I = I_c/100$. Com isso:

$$R_{2t1} = \frac{V_{bt1} - V_{ee}}{\frac{I_c}{100}} = \frac{-4,735 - (-6)}{\frac{0,88 \cdot 10^{-3}}{100}} = 143,75K\Omega \quad (20)$$

$$R_{1t1} = \frac{V_{cc} - V_{bt1}}{\frac{I_c}{100}} = \frac{5 - (-4,735)}{\frac{0,88 \cdot 10^{-3}}{100}} = 1,1062M\Omega \quad (21)$$

Com o transistor do emissor comum polarizado, deve-se polarizar o transistor presente no estágio base comum do par cascode. Sua tensão de emissor foi considerada como a mesma da base do transistor T_1 . Assim, $V_{et2} = -4,735V$. Como o seu terminal de base está aterrado para AC, a sua tensão de base pode ser considerada como:

$$V_{bt2} = V_{et2} + V_{be} = -4,735 + 0,62 = -4,115V \quad (22)$$

Conhecida a tensão de base, seus resistores de polarização, que compõem um divisor de tensão como no caso anterior serão:

$$R_{2t2} = \frac{V_{bt2} - V_{ee}}{\frac{I_c}{100}} = \frac{-4,115 - (-6)}{\frac{0,88 \cdot 10^{-3}}{100}} = 214,2K\Omega \quad (23)$$

$$R_{1t2} = \frac{V_{cc} - V_{bt2}}{\frac{I_c}{100}} = \frac{5 - (-4,115)}{\frac{0,88 \cdot 10^{-3}}{100}} = 1,0358M\Omega \quad (24)$$

Para concluir o projeto resta calcular o valor de R_c . Para esse parâmetro calculou-se o maior valor de resistência possível para que o circuito não entre em saturação. Considerou-se como a tensão de coletor do transistor T_2 o valor de tensão presente em sua base que já é conhecido, ou seja $V_{bt2} = -4,115V$ e somou-se a esse valor o correspondente a duas vezes o sinal de saída para que a excursão do sinal ocorra sem saturar o circuito. Assim:

$$V_{ct2} = V_{bt2} + 2 \cdot \text{ganho} \cdot V_{in} \quad (25)$$

$$V_{ct2} = -4,115 + 2 \cdot 63,18 \cdot 20 \cdot 10^{-3} = -1,5878V \quad (26)$$

Onde *ganho* é o ganho desejado dividido pelo ganho aplicado pelo estágio coletor comum projetado na etapa passada, que resulta no ganho que o estágio cascode deve prover ao sinal de entrada para que se tenha o sinal de saída no final do circuito completo o ganho de 58, ou seja, o ganho do cascode deve ser $58/0,918 = 63,18$

Sendo assim o resistor R_c é:

$$R_c = \frac{V_{cc} - V_{ct2}}{I_c} = \frac{5 - (-1,5878)}{20 \cdot 10^{-3}} = 7486,1\Omega \quad (27)$$

Com isso tem-se todas as resistências do amplificador. Entretanto, este amplificador não possuirá acoplamento *DC*, e para isto acontecer deve haver capacitâncias relativamente grandes entre a fonte de sinal de entrada do bloco cascode, e entre o amplificador e a carga. A impedância dessas capacitâncias devem ser muito menores que as impedâncias de entrada e saída do amplificador, que nesse trabalho foi considerada vinte vezes menor. Por meio do ADS, foram feitas simulações para se obter essas impedâncias do amplificador por meio da implementação de uma fonte de teste nos pontos de interesse e curto circuito das fontes *AC* do amplificador. No final desse trabalho pode ser encontrada a ilustração do circuito onde foi obtidas tais impedâncias.

Feitas as simulações e conhecidas as impedâncias, pode-se dimensionar os capacitores correspondentes. Conhecida a impedância de entrada pode-se obter o capacitor de entrada:

$$C_{in} = \frac{20}{2 \cdot \pi \cdot f \cdot Z_{in}} = \frac{20}{2 \cdot \pi \cdot 10^3 \cdot 20740} = 15,35nF \quad (28)$$

O mesmo procedimento foi feito para a impedância de saída Z_{out}

$$\text{Eqn}Z_{in} = \text{Vinc}[1]/\text{linc.i}[1]$$

Zin
2.074E4 / -2.390

Figura 11. Valor da impedância de entrada Z_{in} para o amplificador em Ω

$$\text{Eqn}Z_{out} = \text{Vout}[1]/\text{lout6.i}[1]$$

Zout
38.436 / 0.167

Figura 12. Valor da impedância de saída Z_{out} para o amplificador em Ω

$$C_{out} = \frac{20}{2 \cdot \pi \cdot f \cdot Z_{out}} = \frac{20}{2 \cdot \pi \cdot 10^3 \cdot 38,436} = 8,28\mu F \quad (29)$$

Para evitar que o espelho de corrente do cascode interfira no ganho em *AC*, foi obtida a impedância vista pelo terminal dessa fonte quando conectada no amplificado para se determinar um capacitor para curto-circuitar esse espelho em *AC*.

$$\text{Eqn}Z_{outspcas} = \text{Vespcas}[1]/\text{loutespcas.i}[1]$$

Zoutspcas
62.141 / 0.014

Figura 13. Valor da impedância de vista do terminal do espelho de corrente Z_{espcas} para o amplificador em Ω

$$C_{espcas} = \frac{20}{2 \cdot \pi \cdot f \cdot Z_{espcas}} = \frac{20}{2 \cdot \pi \cdot 10^3 \cdot 62,141} = 5,12\mu F \quad (30)$$

A base do transistor do estágio base comum do cascode também deve estar aterrada para *AC*, assim foi obtida uma impedância de entrada Z_{incas} e dimensionado um capacitor para que isso seja possível.

$$\text{Eqn}Z_{incas} = \text{Vincas}[1]/\text{lin7.i}[1]$$

Zincas
1.763E5 / -1.896

Figura 14. Valor da impedância de entrada para o estágio base comum do cascode Z_{incas} em Ω

$$C_{incas} = \frac{20}{2 \cdot \pi \cdot f \cdot Z_{incas}} = \frac{20}{2 \cdot \pi \cdot 10^3 \cdot 176300} = 1,81nF \quad (31)$$

Por fim, foi obtida a impedância de saída do estágio amplificador cascode para se dimensionar uma capacitância a ser colocada entre estes estágios.

$$\text{Eqn } Z_{outcas} = V_{outcas}[1]/I_{outcas.i}[1]$$

Zoutcas
7.485E3 / -0.076

Figura 15. Valor da impedância de saída do estágio do amplificador cascode Z_{outcas}

$$C_{outcas} = \frac{20}{2 \cdot \pi \cdot f \cdot Z_{outcas}} = \frac{20}{2 \cdot \pi \cdot 10^3 \cdot 7485} = 42,53nF \quad (32)$$

III. RESULTADOS

Concluído o projeto, passou-se a etapa dos resultados. Foi feita a simulação no ADS com o circuito completo e os parâmetros obtidos anteriormente. Entretanto, com o valor de R_C previamente determinado, o ganho do amplificador não atingiu o valor de 58, mas sim o valor de 57,788. Com o auxílio da ferramenta *Tuning*, ajustou-se o valor de R_C até o valor de 7025, Ω em que se obteve o ganho de 58,047. No final deste trabalho pode ser encontrado o circuito montado no ADS para a simulação.

Com isso, a Figura 17 e 16 mostra o sinal de entrada V_{out} e o sinal V_{in} bem como o ganho e a distorção harmônica de segunda ordem do sinal de saída.

$$\text{Eqn } DH2 = \text{mag}(V_{out}[2])/\text{mag}(V_{out}[1])*100$$

$$\text{Eqn } \text{Ganho} = \text{mag}(V_{out}[1])/\text{mag}(V_{inc}[1])$$

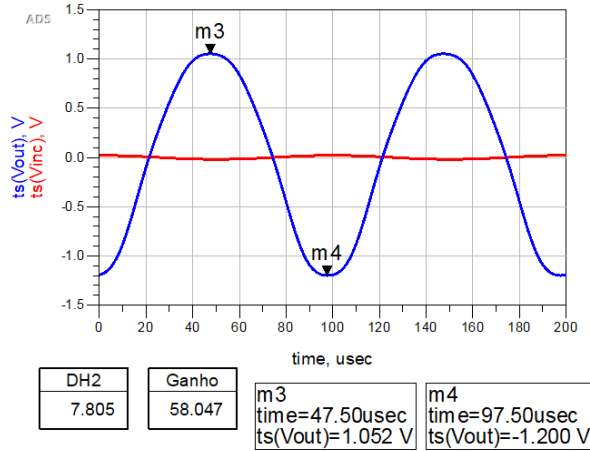


Figura 16. Sinal de saída com o respectivo ganho e e distorção harmônica de segunda ordem

Apesar do valor de distorção harmônica ser maior que o valor teórico com o resistor de realimentação, 7,805% ao invés de 4,81%, este ainda é consideravelmente menor que o valor teórico se não houvesse resistor de realimentação. Isso se deve que o valor obtido para R_f faz uso de algumas aproximações e o ADS é capaz de fazer simulações bem precisas considerando as não linearidades.

As tabelas abaixo mostram as tensões e correntes destacadas na Figura 1.

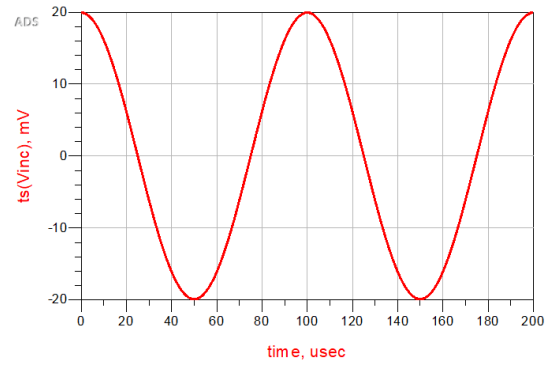


Figura 17. Sinal de entrada

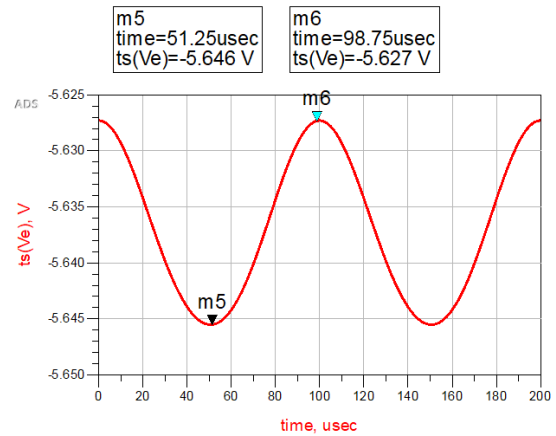


Figura 18. Tensão de emissor do transistor T_1

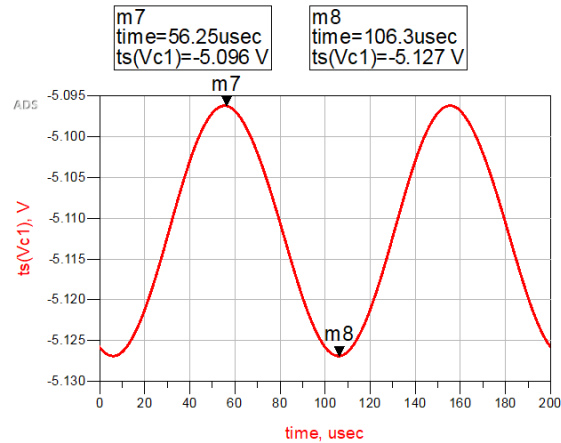


Figura 19. Tensão de coletor do transistor T_1

Pode-se notar, como esperado a tensão de emissor do transistor do bloco emissor comum do cascode está em fase com o sinal de entrada e a tensão de coletor defasada de 180° . Percebe-se também como sua corrente de coletor e base variam com a tensão V_{be} visto que nesta está incorporado o sinal AC de entrada.

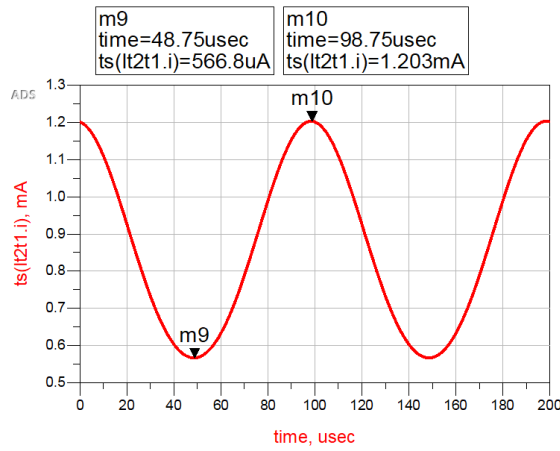


Figura 20. Corrente de coletor do transistor T_1 e emissor do transistor T_2

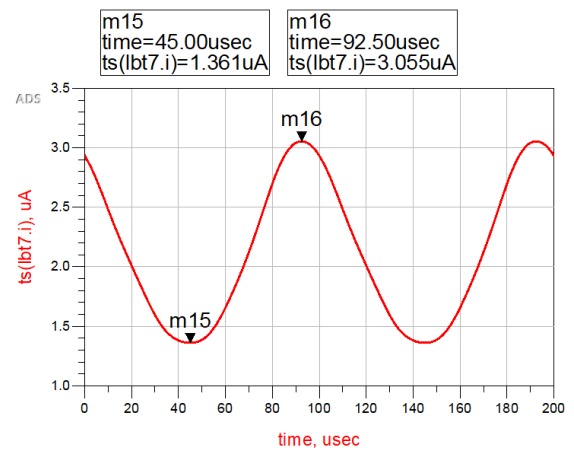


Figura 23. Corrente de base do transistor T_2

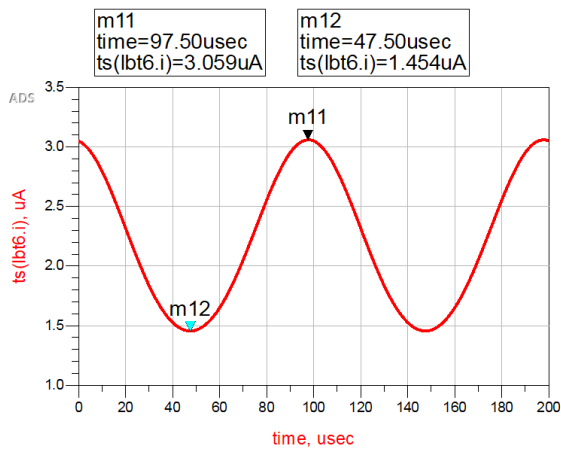


Figura 21. Corrente de base do transistor T_1

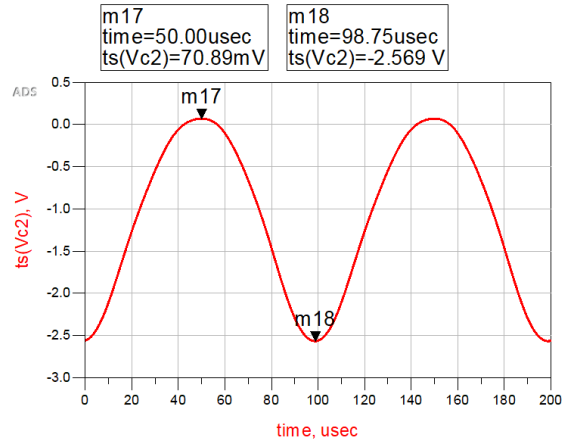


Figura 24. Tensão de coletor do transistor T_2

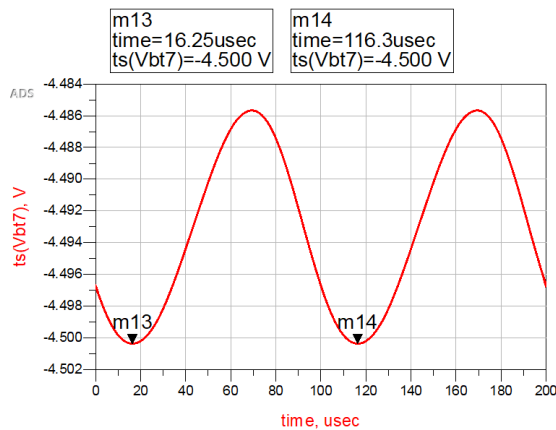


Figura 22. Tensão de base do transistor T_2

do coletor do transistor T_1 .

Nota-se para a tensão de coletor do transistor T_2 o sinal de saída do cascode somado com um valor DC que é a tensão de base deste mesmo transistor somado com a amplitude do sinal de saída bem como este está em fase com o sinal de tensão

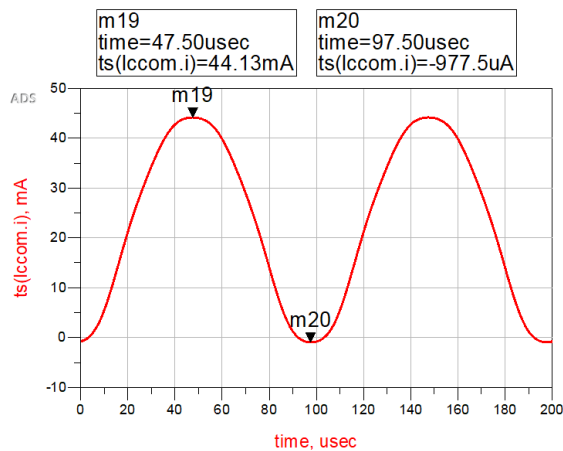


Figura 25. Corrente de coletor do transistor do estágio amplificador coletor comum

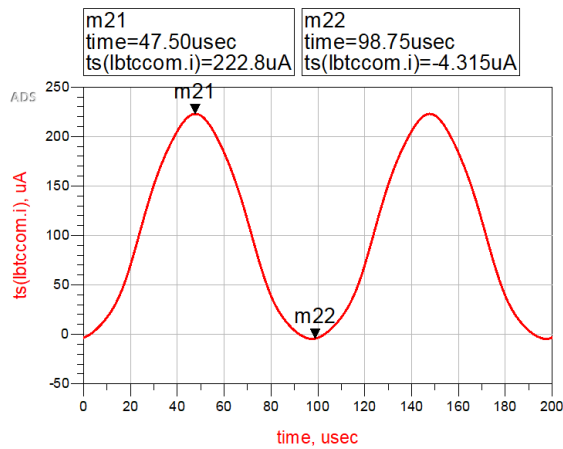


Figura 26. Corrente de base do transistor do estágio amplificador coletor comum

Do mesmo modo que no estágio anterior, para o amplificador coletor comum, as correntes de base variam em função do sinal de entrada incorporado a tensão V_{be} .

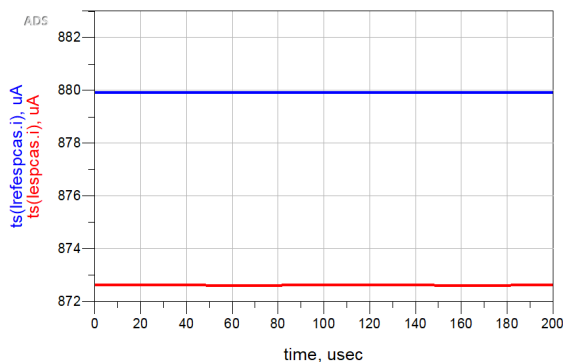


Figura 27. Corrente do espelho de corrente do amplificador cascode, em azul a corrente de referência e em vermelho, a que flui para o amplificador

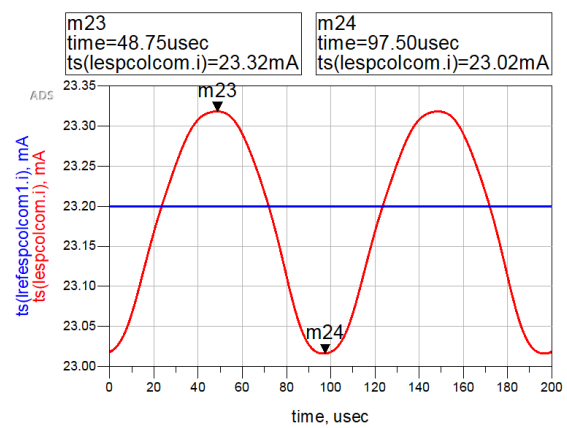


Figura 28. Corrente do espelho de corrente do amplificador coletor comum, em azul a corrente de referência e em vermelho, a que flui para o amplificador

Para as correntes que fluem nos espelho de corrente temos uma constatação interessante. Para o espelho do amplificador cascode, a corrente que flui para o amplificador é praticamente igual a de referência, pois como há um capacitor em que interliga a saída dessa fonte com o terra, a corrente AC flui para o terra, restando apenas a corrente de polarização DC. Já para o espelho ligado ao amplificador coletor comum, como existe a resistência de carga ligado ao terminal de entrada desta, há uma corrente AC preponderante, que é praticamente a corrente da carga como pode ser constatado observando-se a Figura 29.

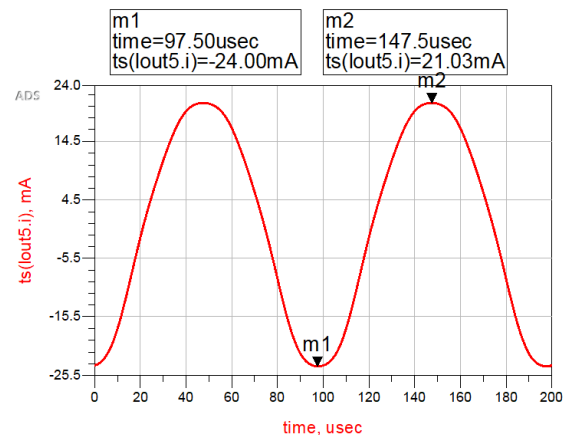


Figura 29. Corrente da carga

freq	lout5.i
0.0000 Hz	0.000 / 0.000
10.00 kHz	0.023 / -172.029
20.00 kHz	0.002 / -165.475
30.00 kHz	2.743E-4 / 22.956
40.00 kHz	3.228E-4 / 31.389
50.00 kHz	3.756E-4 / 35.953

Figura 30. Corrente de saída (corrente de carga) em A

Um dado importante se trata do consumo deste amplificador.

Assim a potência média desse amplificador foi obtida com o auxílio da ferramenta *p_probe*. A potência total será a soma das potências das fontes V_{cc} e V_{ee} dos espelhos de corrente.

freq	PVcc.p
0.0000 Hz	0.120
10.00 kHz	0.000
20.00 kHz	0.000
30.00 kHz	0.000
40.00 kHz	0.000
50.00 kHz	0.000

Figura 31. Potência devido a fonte V_{cc}

freq	PVeecas.p
0.0000 Hz	0.011
10.00 kHz	0.000
20.00 kHz	0.000
30.00 kHz	0.000
40.00 kHz	0.000
50.00 kHz	0.000

Figura 32. Potência devido a fonte V_{ee} do espelho de corrente do estágio amplificador cascode

freq	PVeecolcom.p
0.0000 Hz	0.278
10.00 kHz	0.000
20.00 kHz	0.000
30.00 kHz	0.000
40.00 kHz	0.000
50.00 kHz	0.000

Figura 33. Potência devido a fonte V_{ee} do espelho de corrente do estágio amplificador coletor comum.

A potência consumida pelo amplificador é:

$$P = PV_{cc} + PV_{eeas} + PV_{eeolcom} \quad (33)$$

$$P = 0,12 + 0,011 + 0,278 = 0,409W \quad (34)$$

IV. CONCLUSÃO

Pode-se concluir que o amplificador projetado conseguiu atingir o ganho solicitado com um valor de distorção notável quando se observa o gráfico do sinal de saída. Esta distorção pode ser mais ou menos problemática a depender da aplicação do amplificador, como por exemplo, uma aplicação de áudio, em que algumas pessoas podem notar uma distorção no som. Uma topologia mais complexa poderia diminuir esse problema, porém ao custo de maior consumo energético. Assim, deve-se avaliar o que é mais importante para a concepção do amplificador, distorção muito baixa ou consumo baixo, ou buscar um ponto de equilíbrio entre esses dois fatores antagônicos.

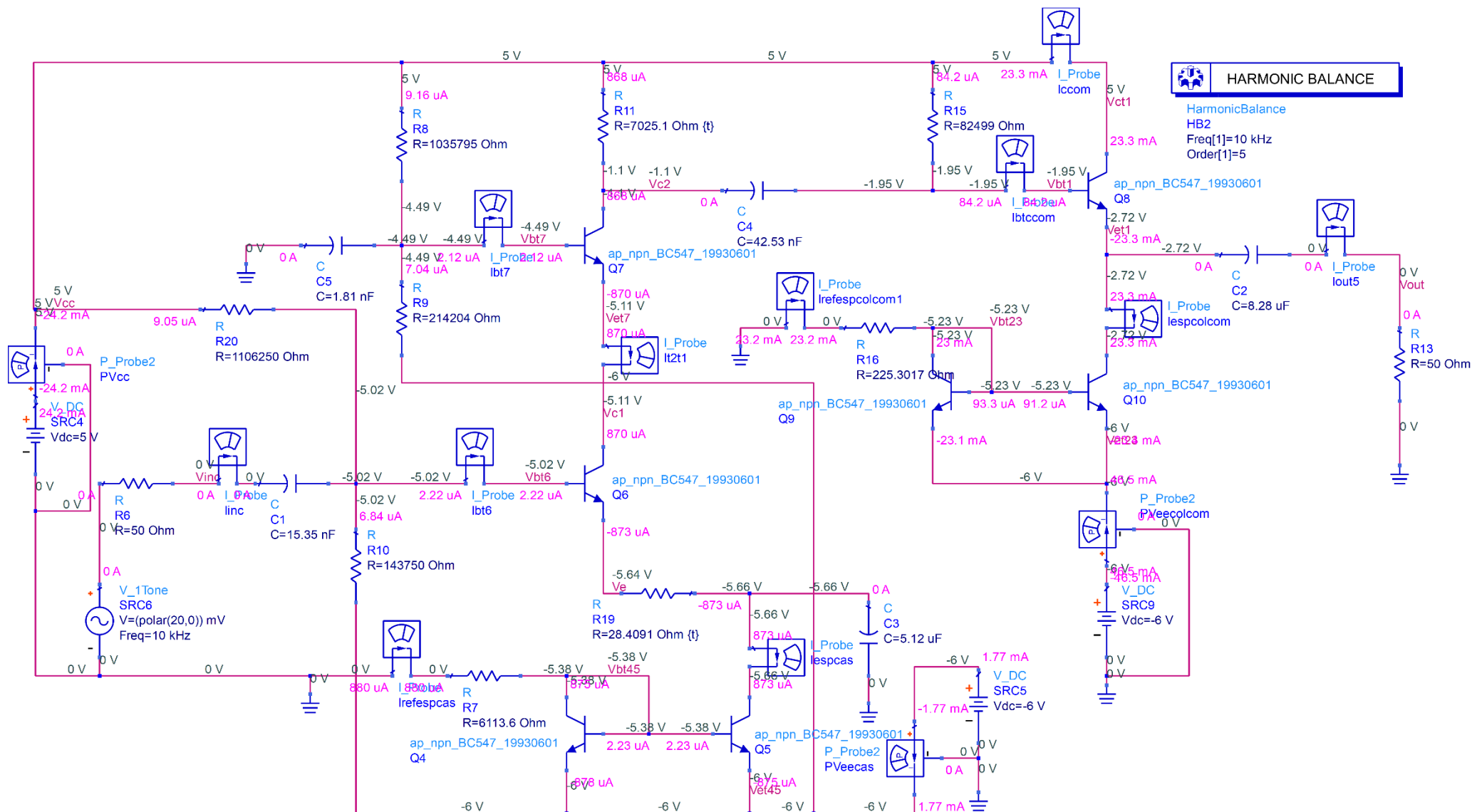


Figura 35. Circuito final montado no ADS para obtenção dos sinais solicitados.