Universidad del Valle de Guatemala
Curso Arquitectura de computadores
Sección 11

Ejercicios De Verilog

SAMUEL DAVID TÓRTOLA BARDALES 22094

ALAN SAMUEL GÓMEZ PAZ 22115

- **Control Unit:**

```
Opcode - RegDst - ALUSrc - RegWrite - Jump - ALUOp

VCD info: dumpfile ControlUnit.vcd opened for output.
000000 - 1 - 0 - 1 - 0 - 10

001010 - 0 - 1 - 1 - 0 - 00

001000 - 0 - 1 - 1 - 0 - 00

001001 - 0 - 1 - 1 - 0 - 00

000010 - 0 - 0 - 0 - 1 - 00

111111 - 0 - 0 - 0 - 0 - 00
```

Figura 1. Terminal Control Unit

Figura 2. Gráfica Control Unit

- **ALU:**

```
Src1 - Src2 - ALU_Control - Result - Zero

15 - 5 - 0010 - 20 - 0

15 - 5 - 0110 - 10 - 0

15 - 5 - 1000 - 75 - 0

15 - 5 - 1001 - 3 - 0

15 - 5 - 0000 - 0 - 1

20 - 4 - 0110 - 16 - 0

20 - 4 - 0010 - 24 - 0

10 - 10 - 0110 - 0 - 1
```

Figura 3. Terminal ALU

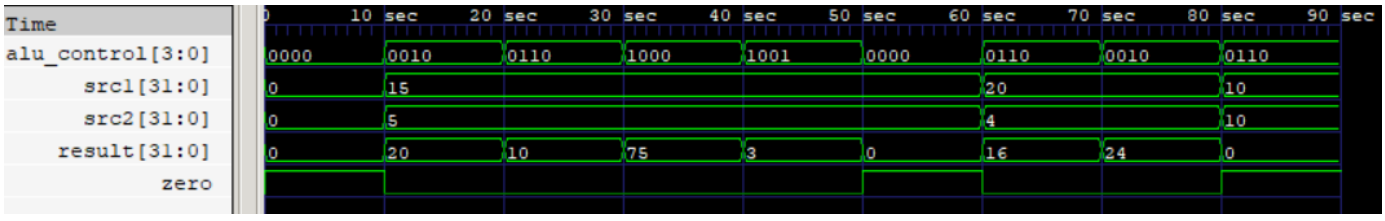

Figura 4. Gráfica ALU