

Effektives Leiterplattendesign

Basic



Inhalt

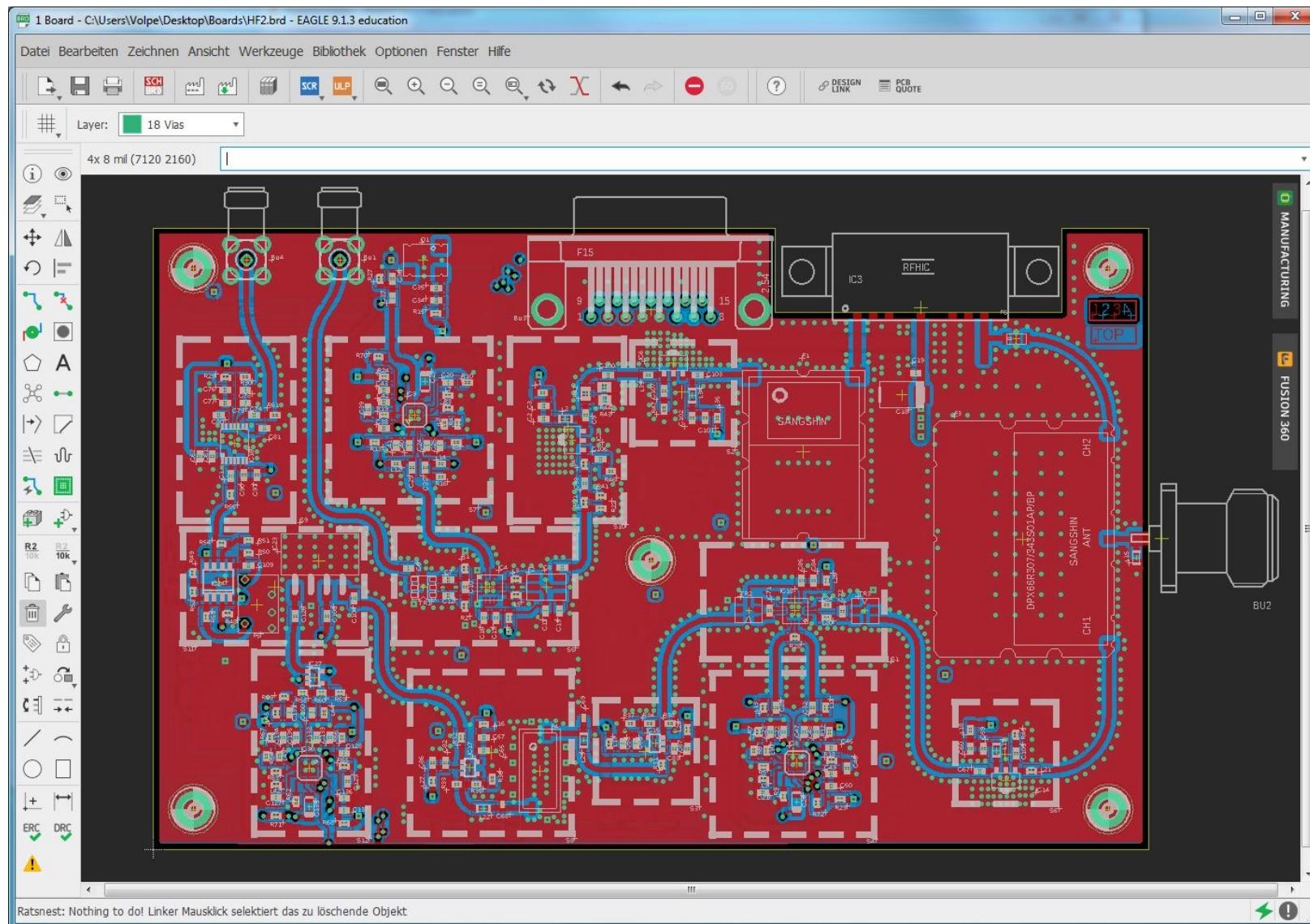
- **Schaltplan-Editor**
 - Bauteile platzieren, Materialliste (B.O.M), Pin-/Gate-Swap, Netzklassen, Schaltplan mit mehreren Seiten, Busse, Electrical Rule Check (ERC)
- **Layout-Editor**
 - Leiterplatte aus Schaltplan generieren, Konsistenz von Schaltplan und Layout, Strombelastbarkeit von Leiterbahnen, Leitungswellenwiderstand, Polygone, Design Rule Check (DRC), Produktionsdaten exportieren (Gerber-Daten), Herstellungsverfahren mit Fräsböhrplotter, Leiterplatten bestellen
- **Bibliotheks-Editor**
 - Eagle-Bibliotheken, eigene Bibliotheken erstellen, eigene Bauteile erstellen (Symbol, Package, Device)
- **Tipps und Tricks**
 - Projekt-Sicherung (Backup), Praktische Tipps im Umgang mit Eagle, häufig verwendete Bibliotheken, Fragen und Antworten

Wofür steht EAGLE?

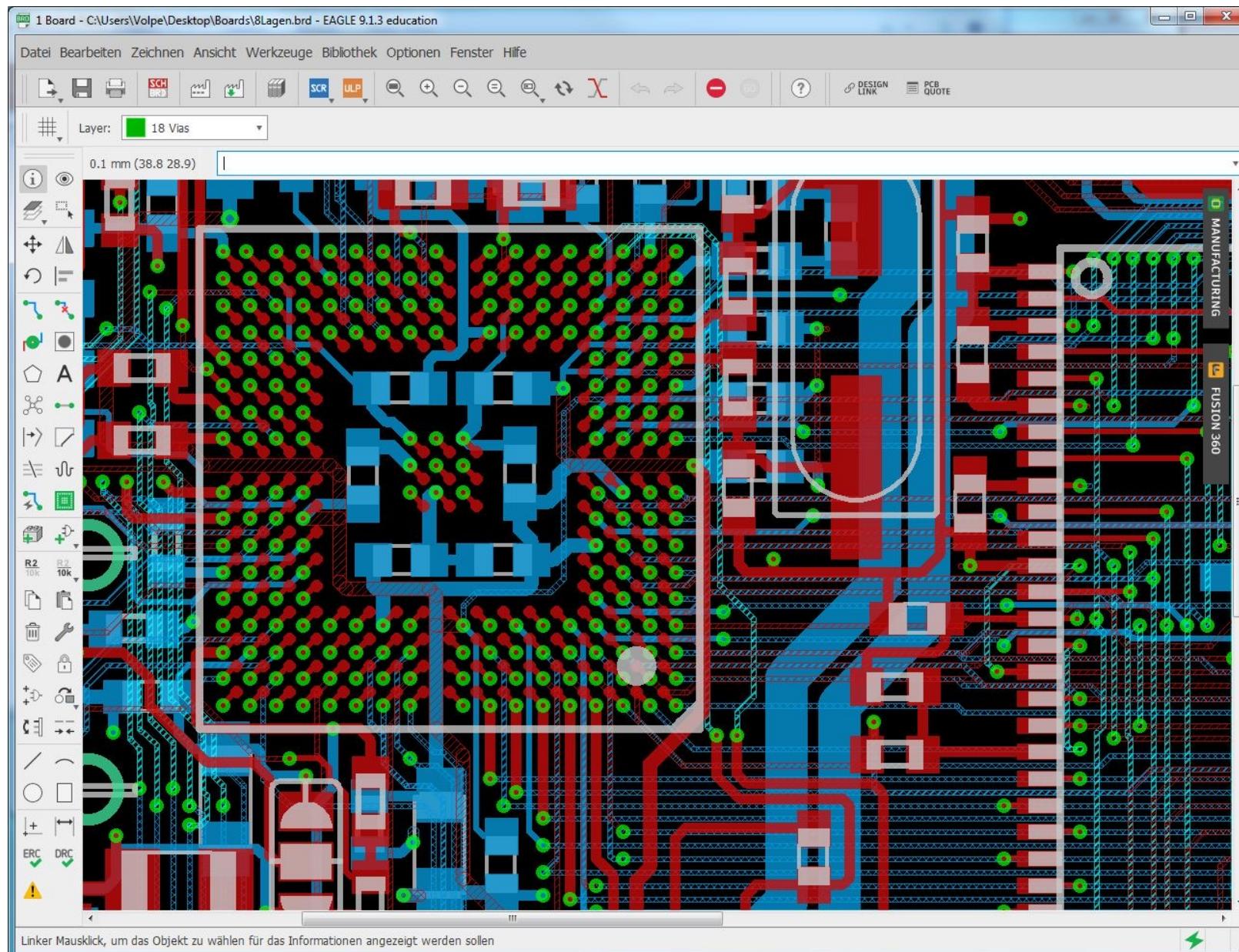
**Einfach
Anzuwendender
Graphischer
Layout
Editor**

Aktuelle Version 9.6.2

HF-Design mit EAGLE (4 Lagen)

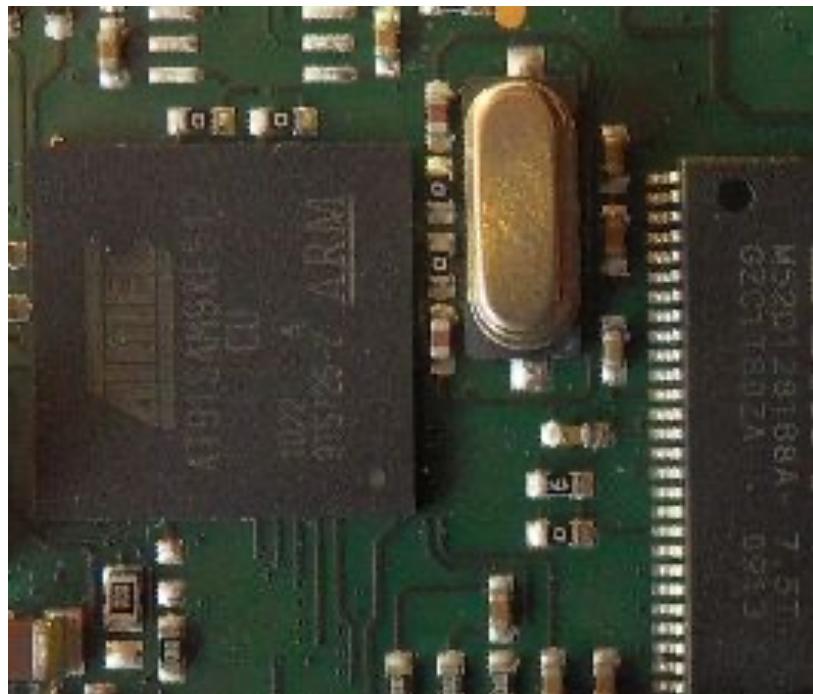


BGA-Design mit EAGLE (8 Lagen)

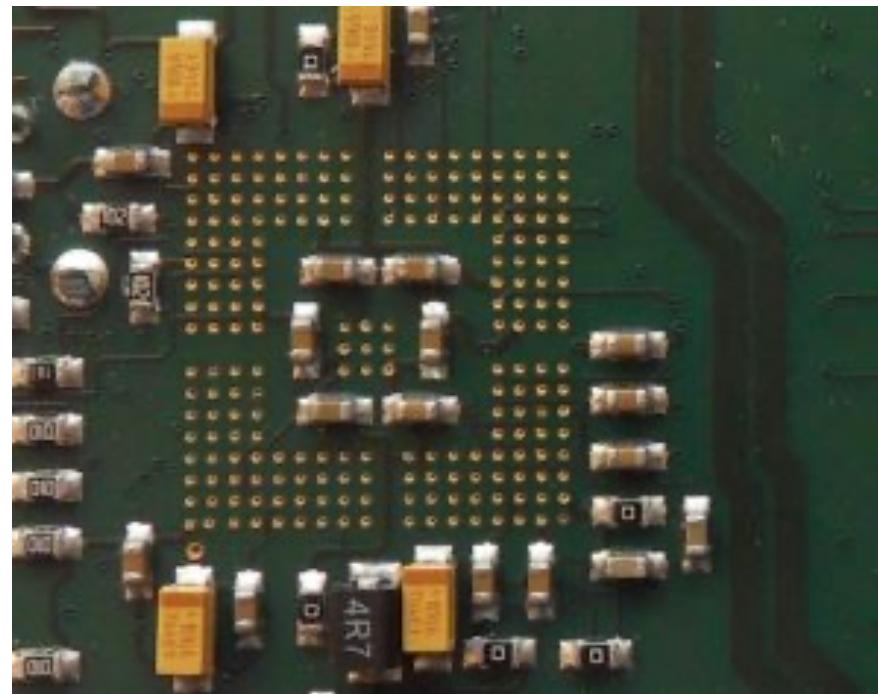


BGA-Design mit EAGLE (8 Lagen)

Bestückungsseite



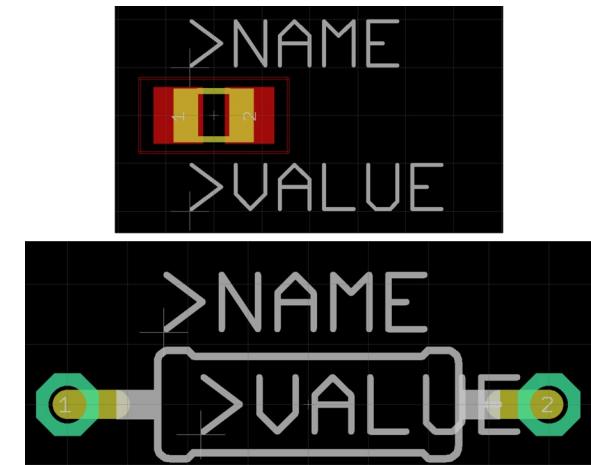
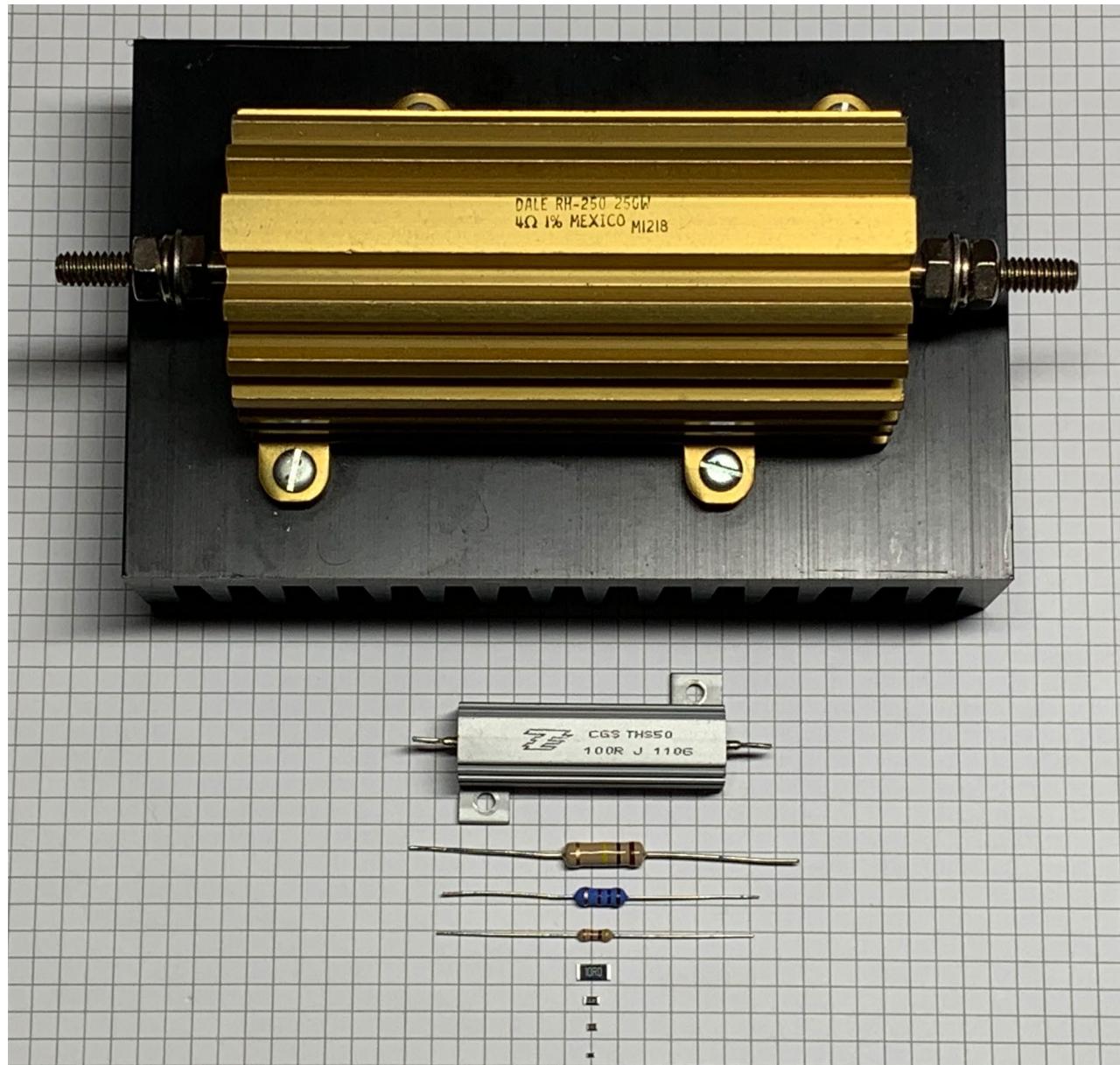
Lötseite



Was ist ein Bauteil in EAGLE?

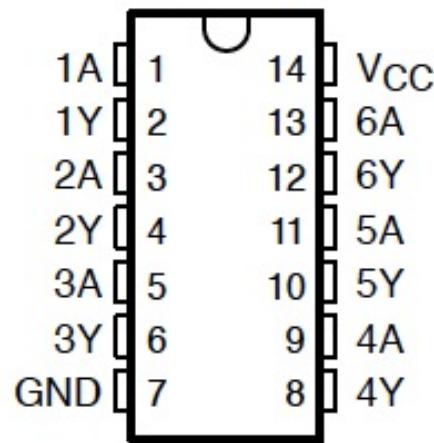
- **Bauteile sind in den Bibliotheken definiert**
- **Ein Bauteil besteht aus:**
 - Symbol (ist im Schaltplan sichtbar)
 - Package (ist im Layout sichtbar)
 - Device (verbindet Symbol und Package)
- **Device kann mehrere Symbole und Packages beinhalten**

Was ist ein Bauteil in EAGLE?

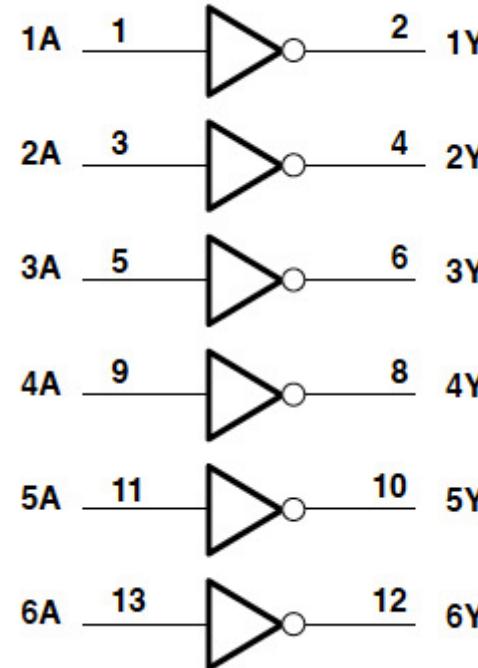


Beispiel 7406 (6 Inverter)

SN5406, SN5416 . . . J OR W PACKAGE
SN7406 . . . D, N, OR NS PACKAGE
SN7416 . . . D OR N PACKAGE
(TOP VIEW)



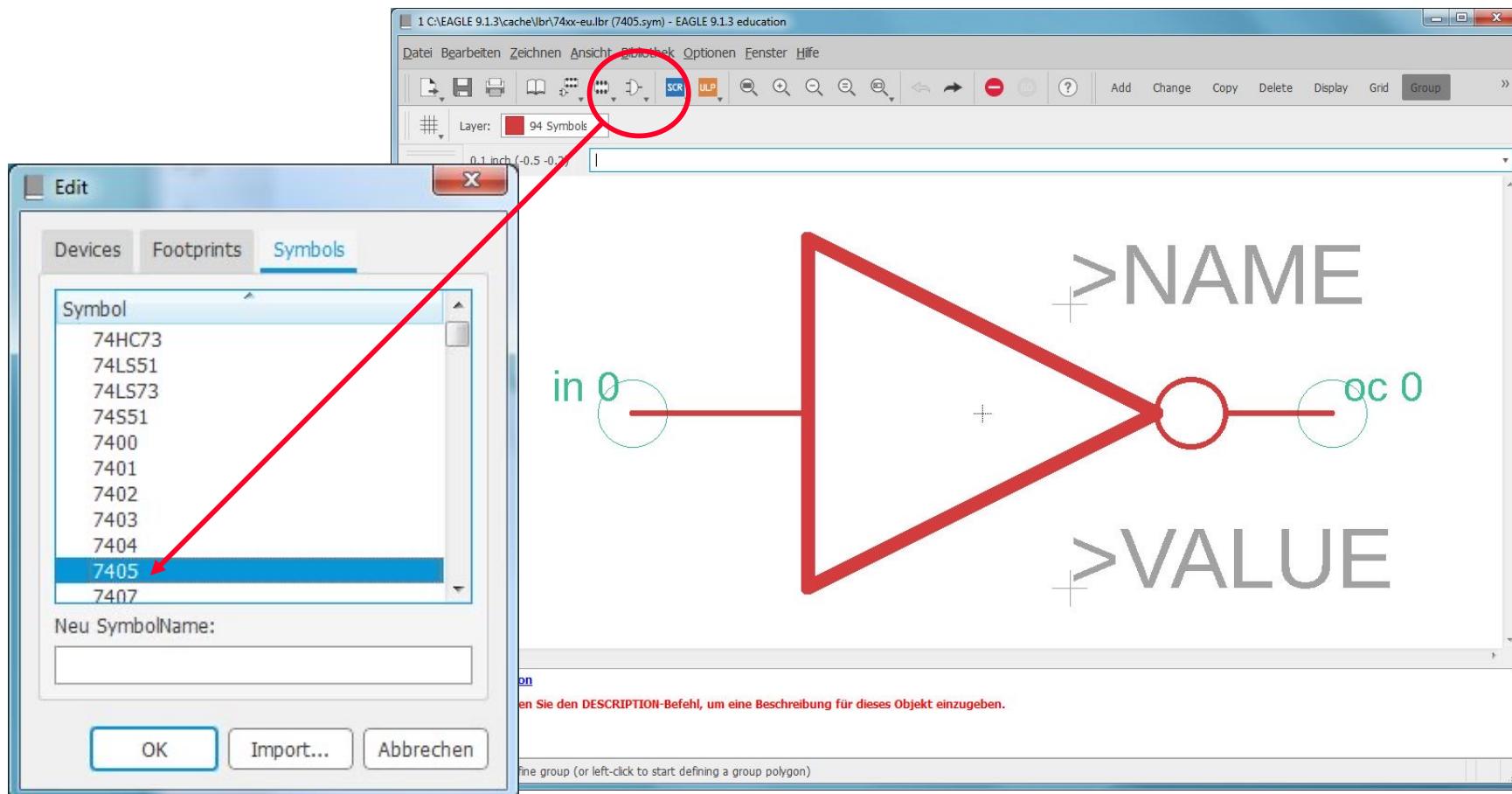
Package



Symbol

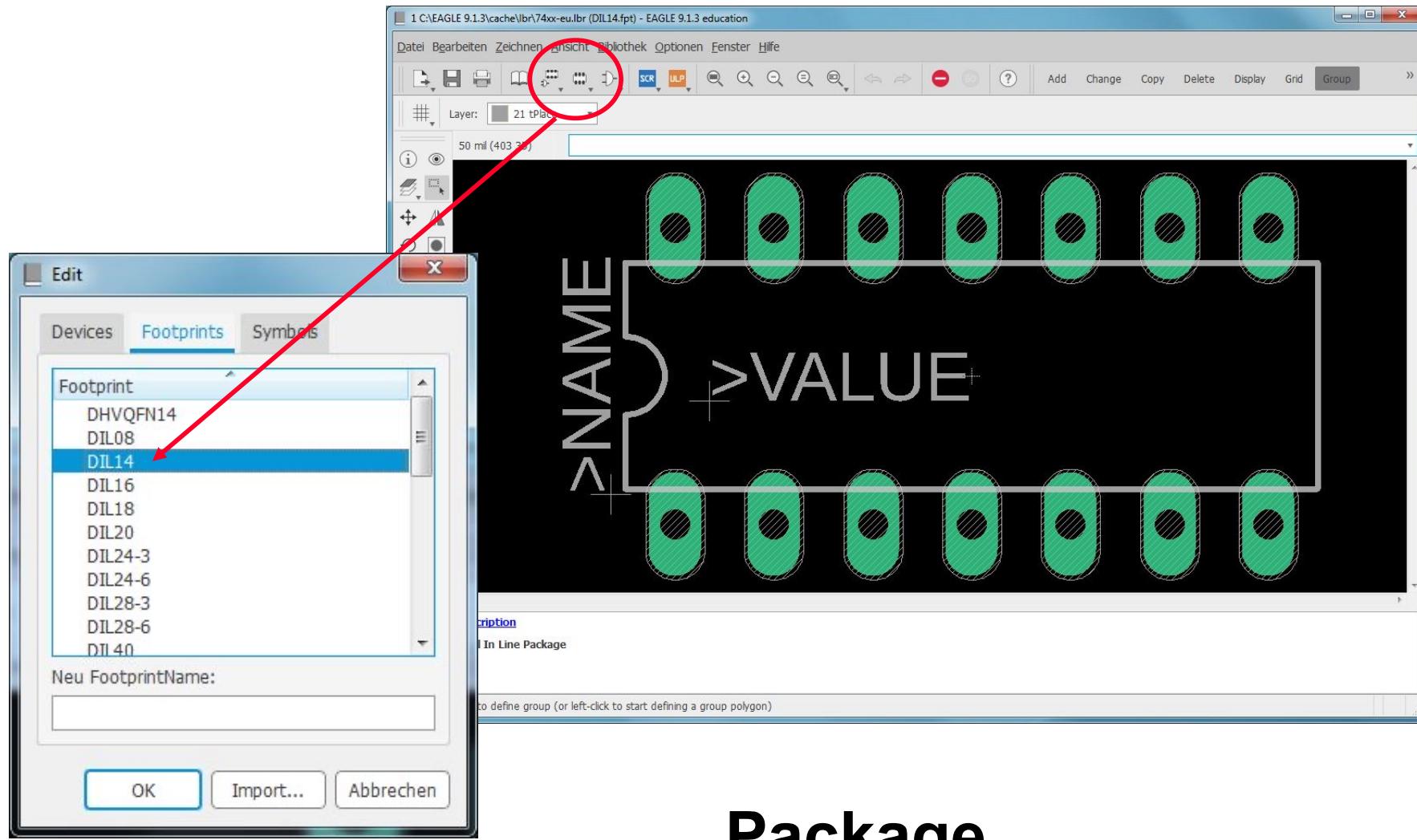
Device verbindet beides miteinander
(Zuordnung Pins im Symbol mit Pads im Package)

Symbol-Package-Device (1)



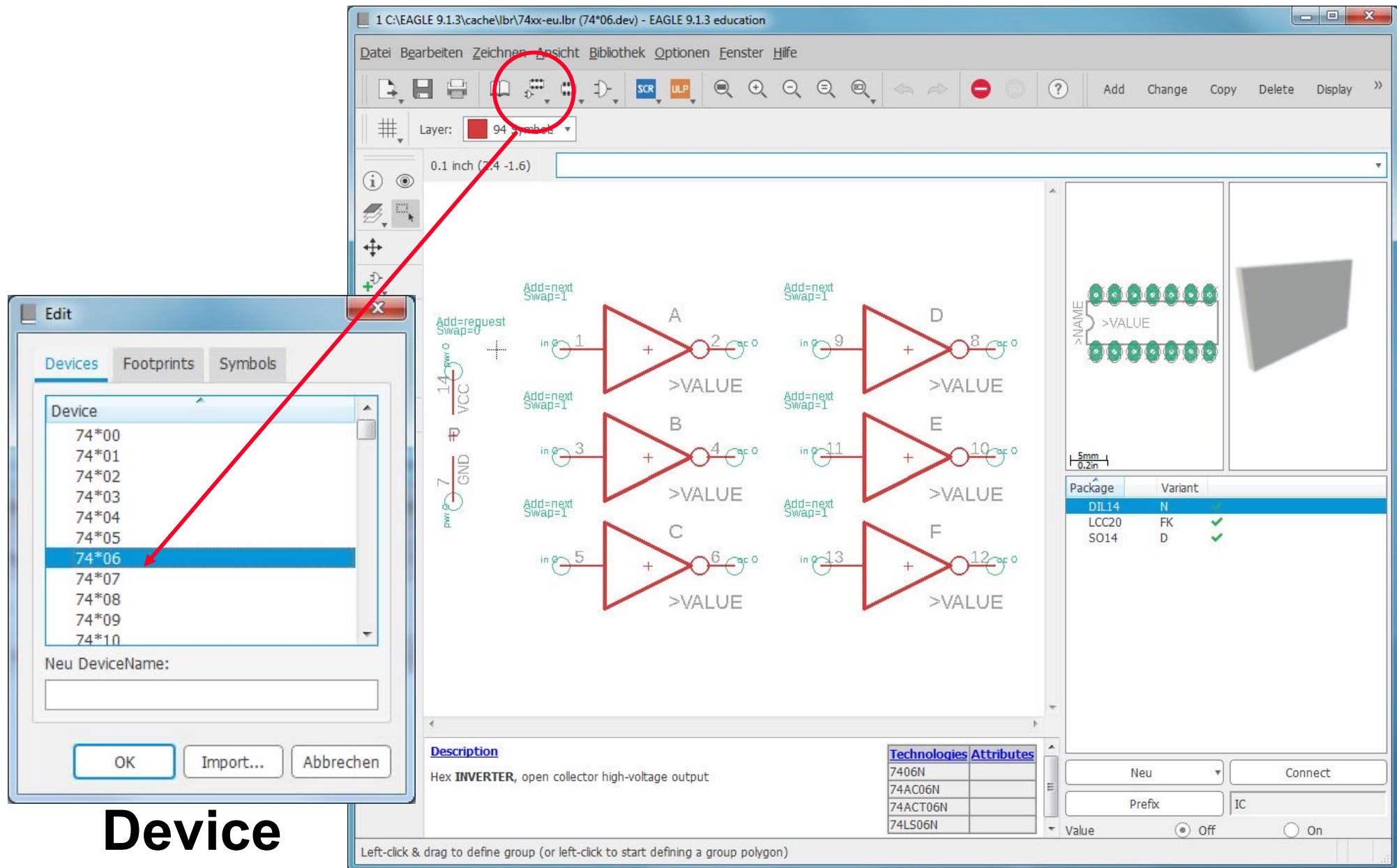
Symbol

Symbol-Package-Device (2)



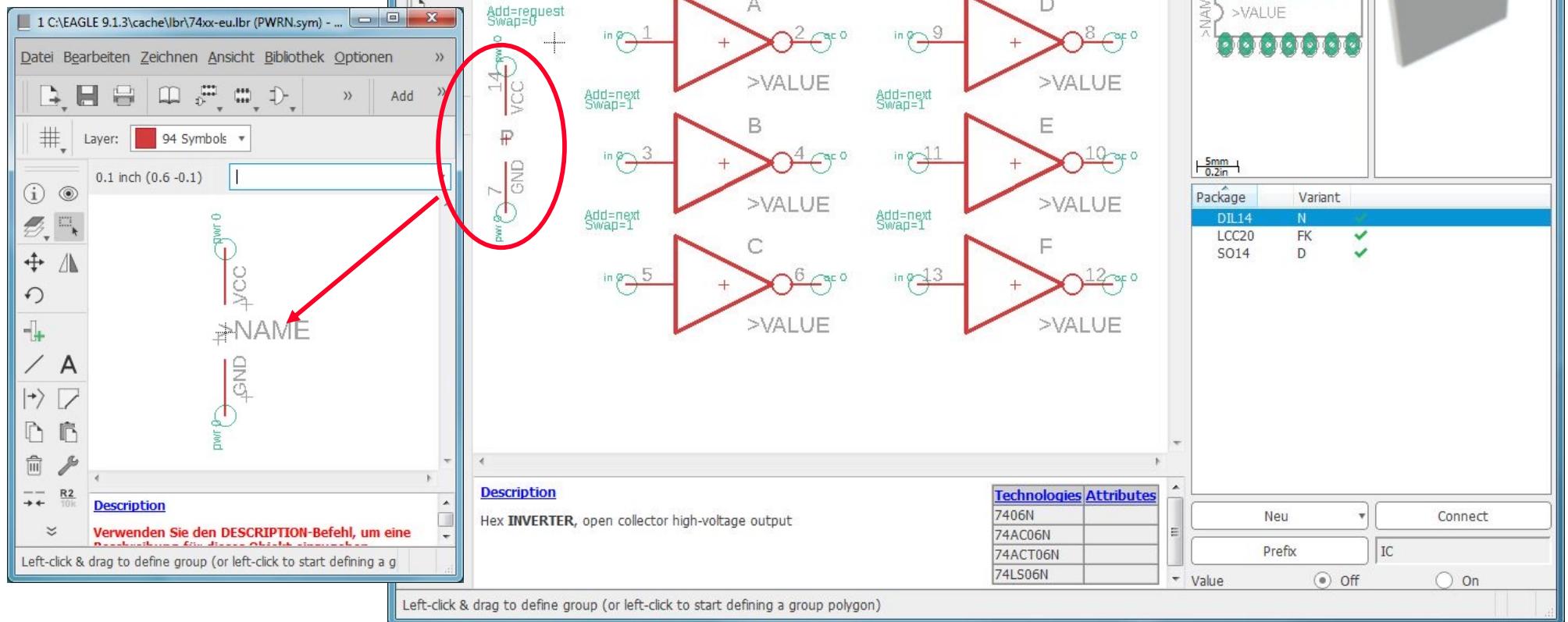
Package

Symbol-Package-Device (3)

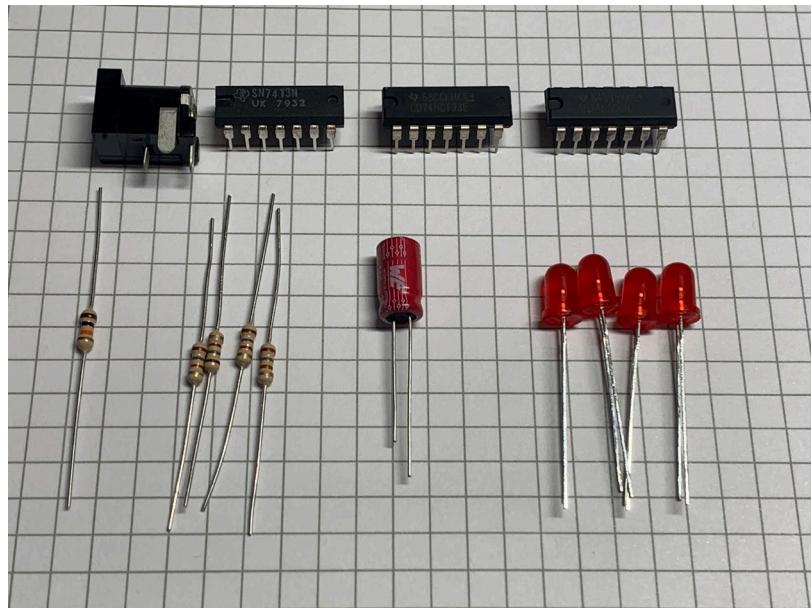
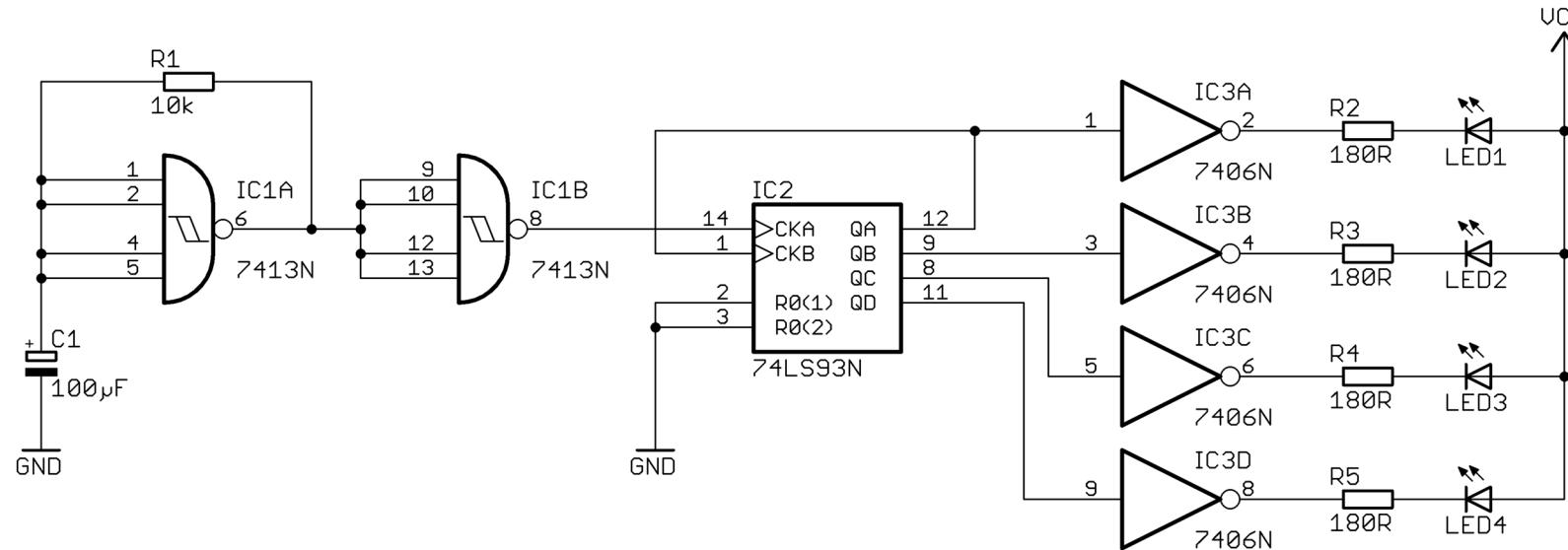


Symbol-Package-Device (4)

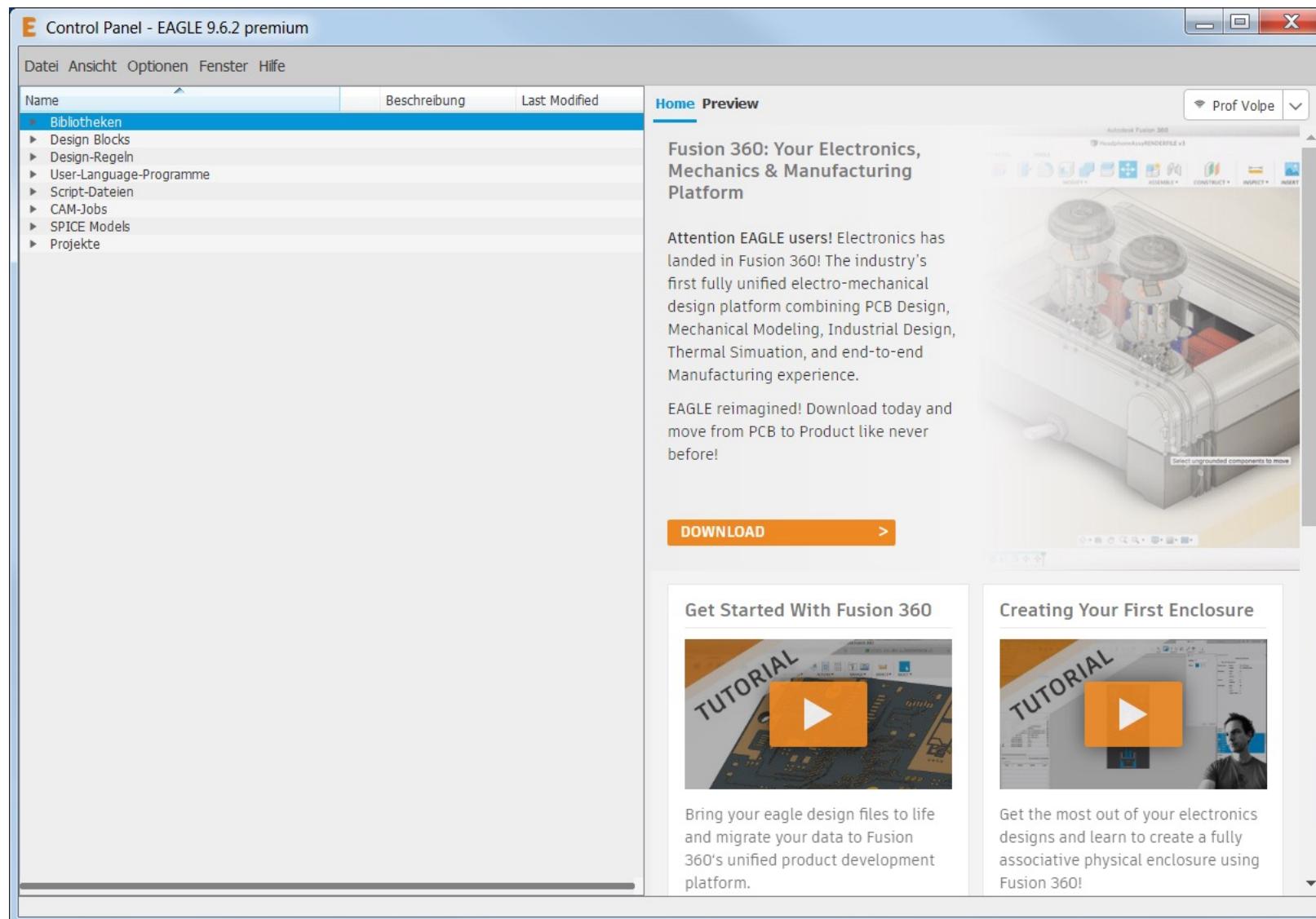
Device
beinhaltet
7 Symbole
und
3 Packages



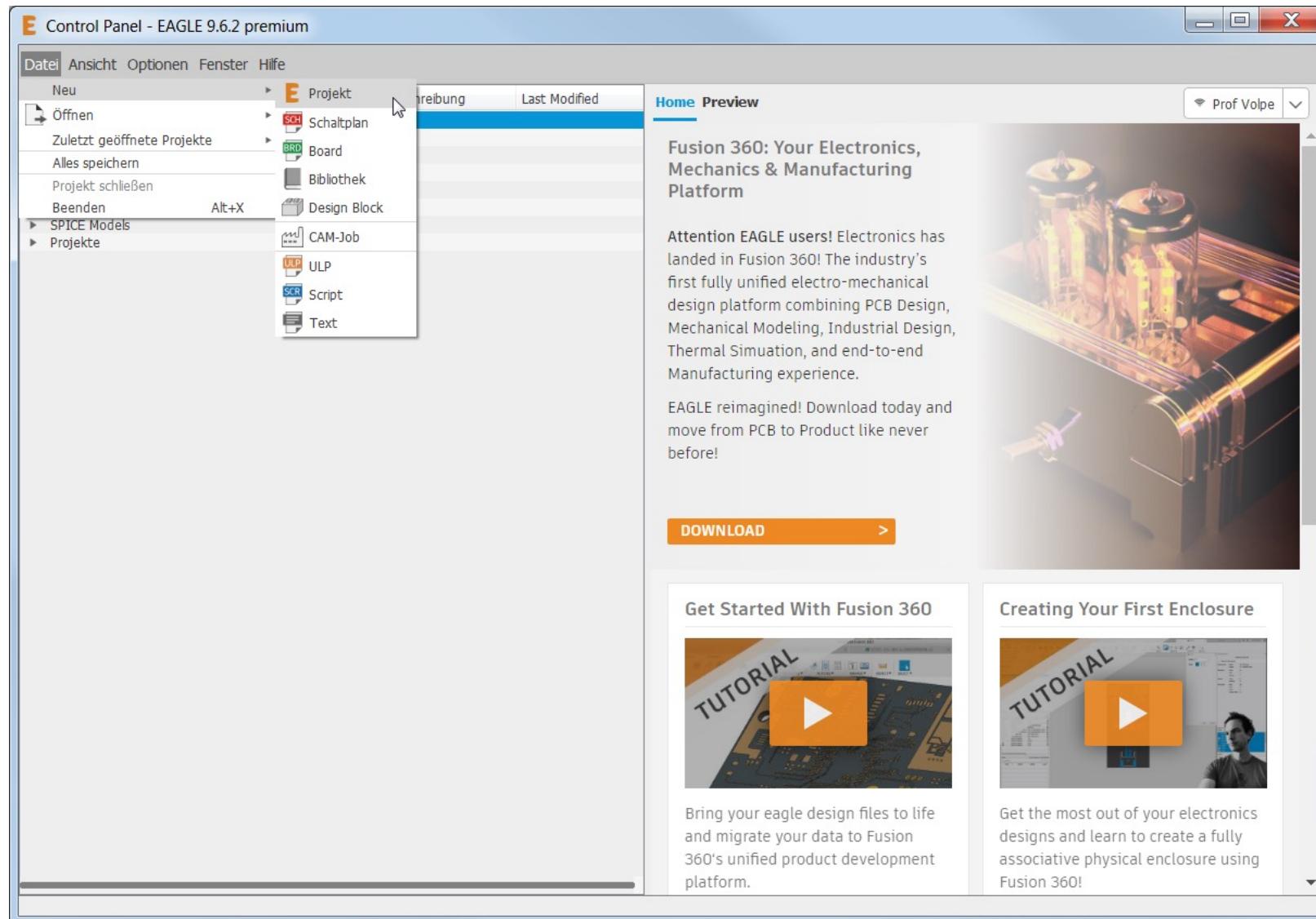
Erstes Projekt: Binärzähler



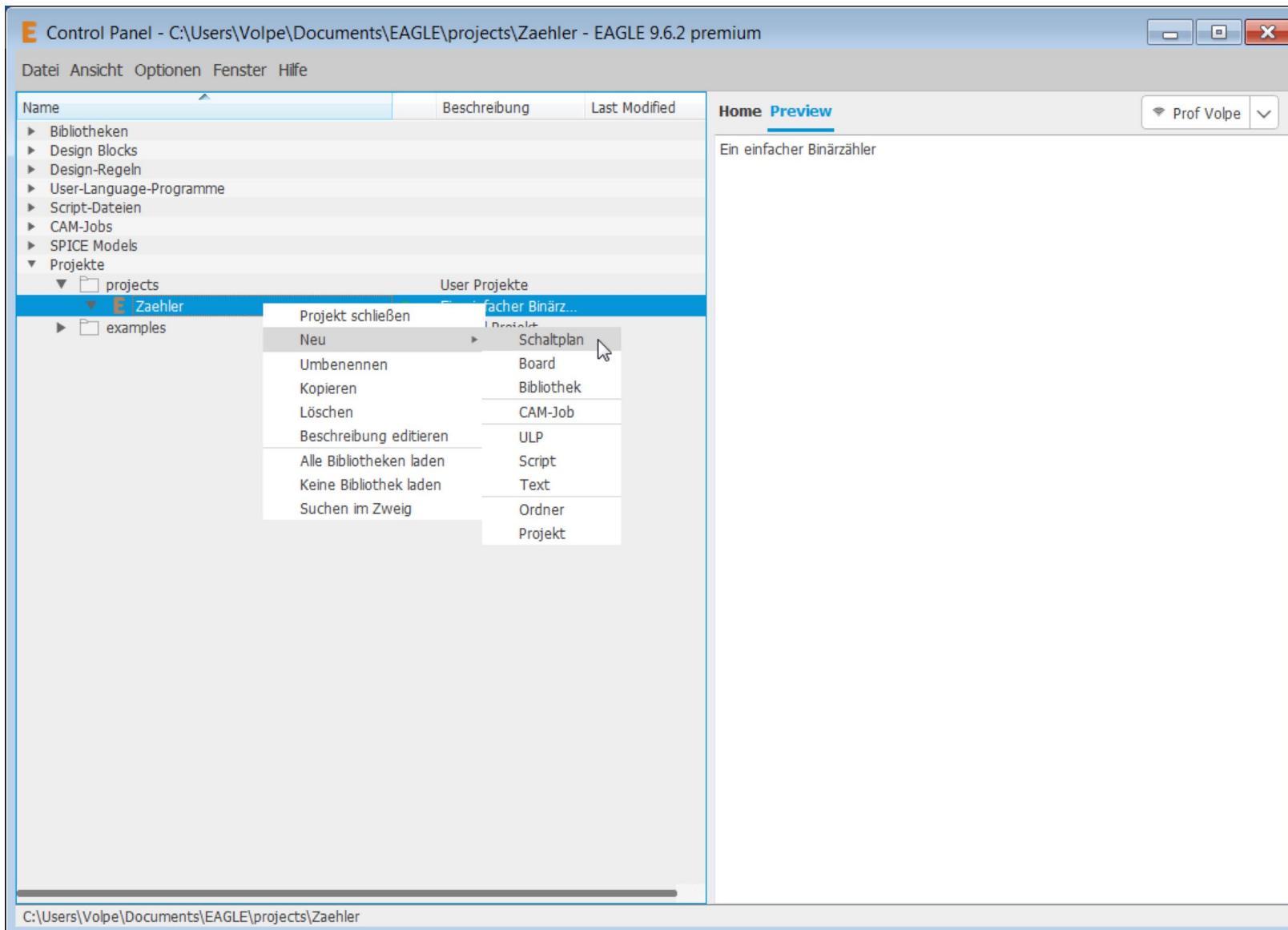
EAGLE starten: Control Panel



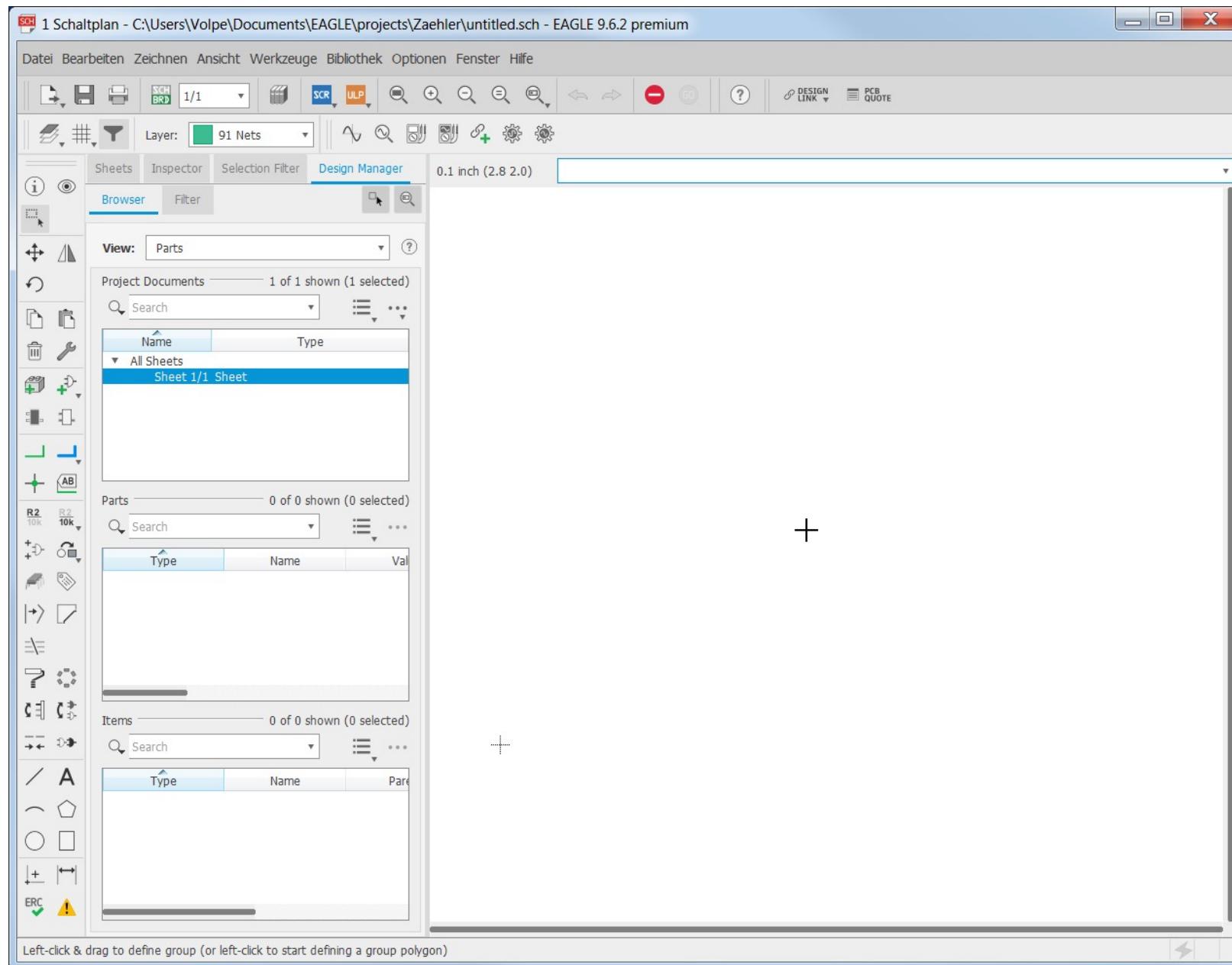
Neuen Schaltplan anlegen



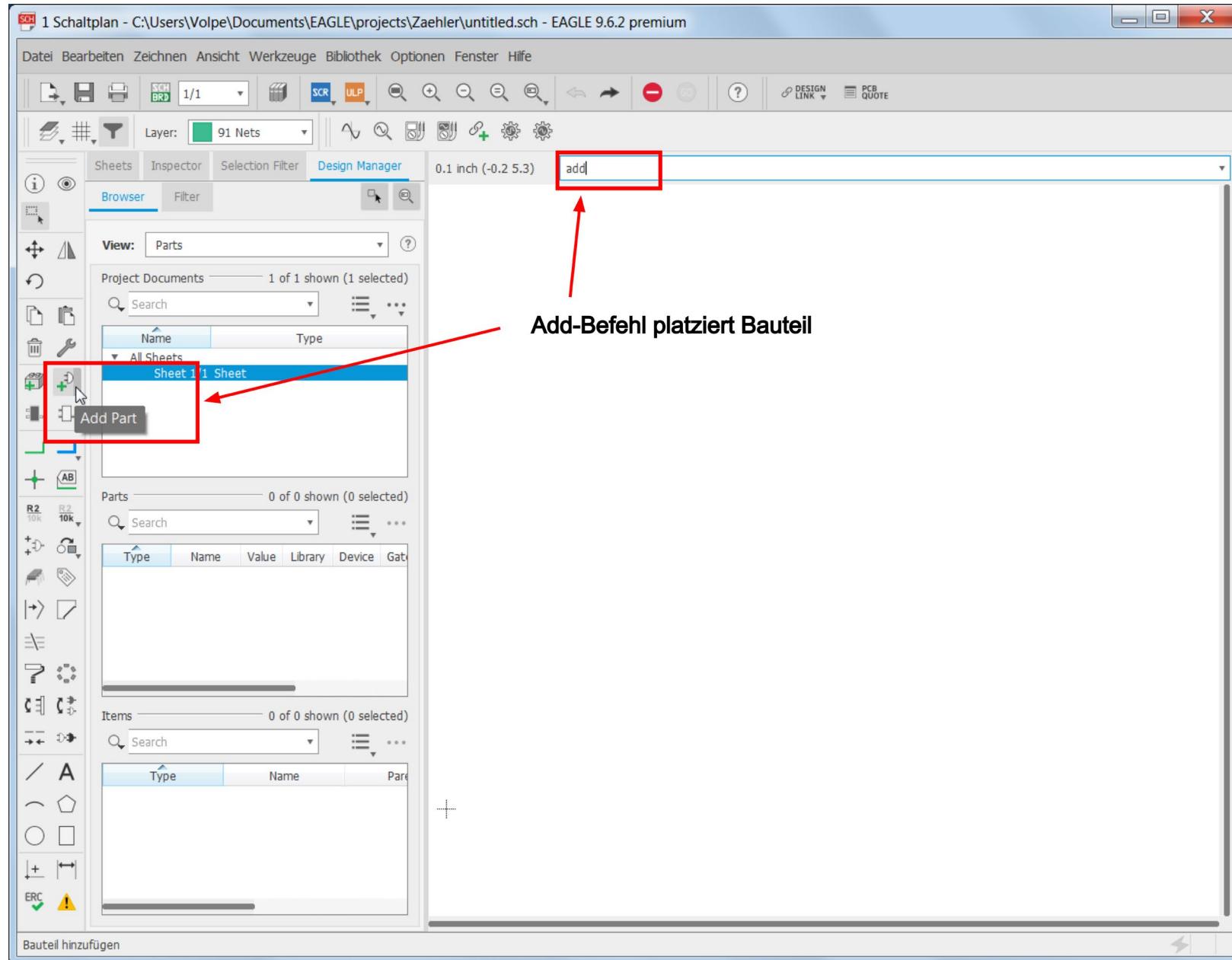
Neuen Schaltplan anlegen



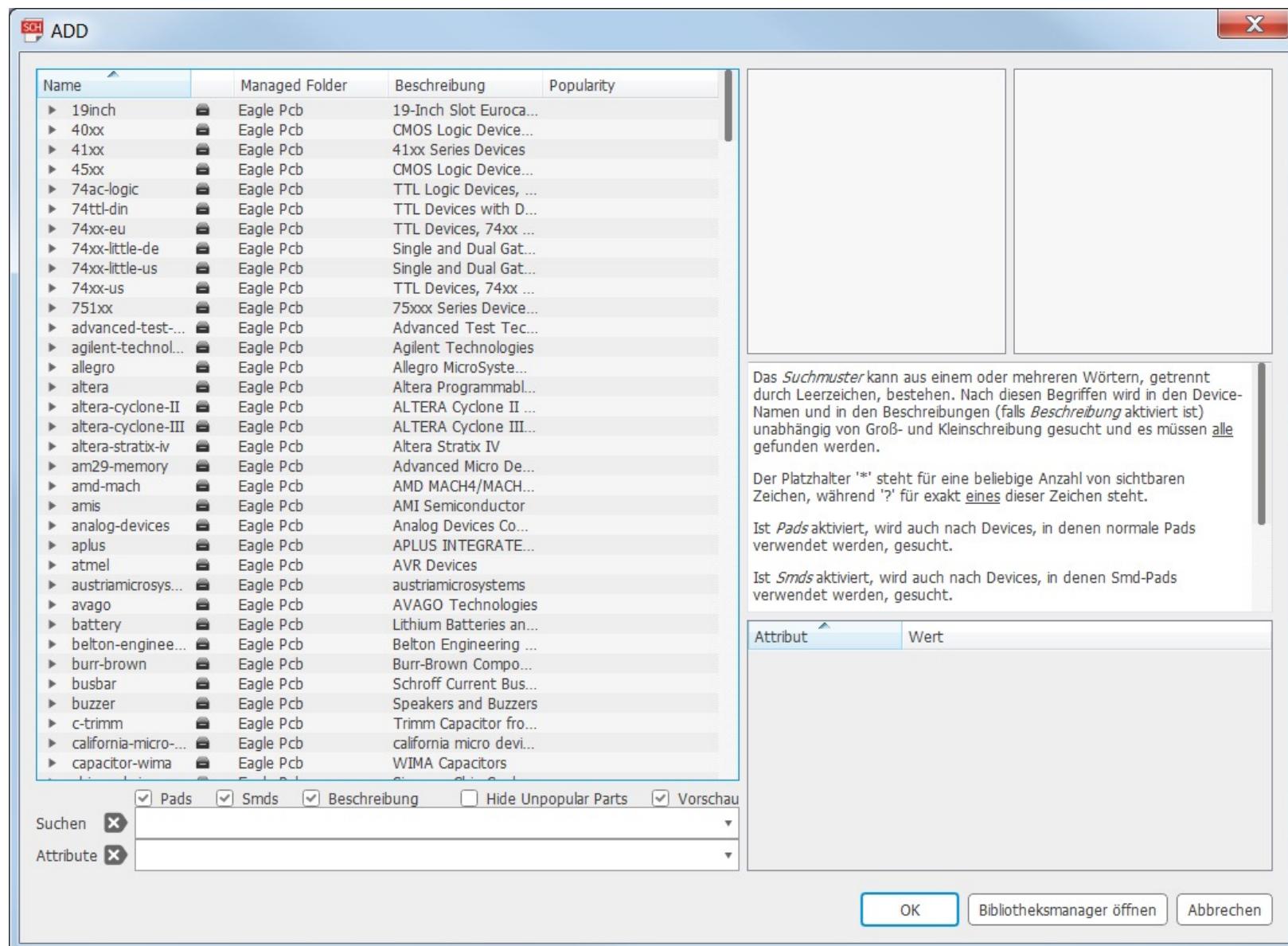
Leeres Schaltplanblatt



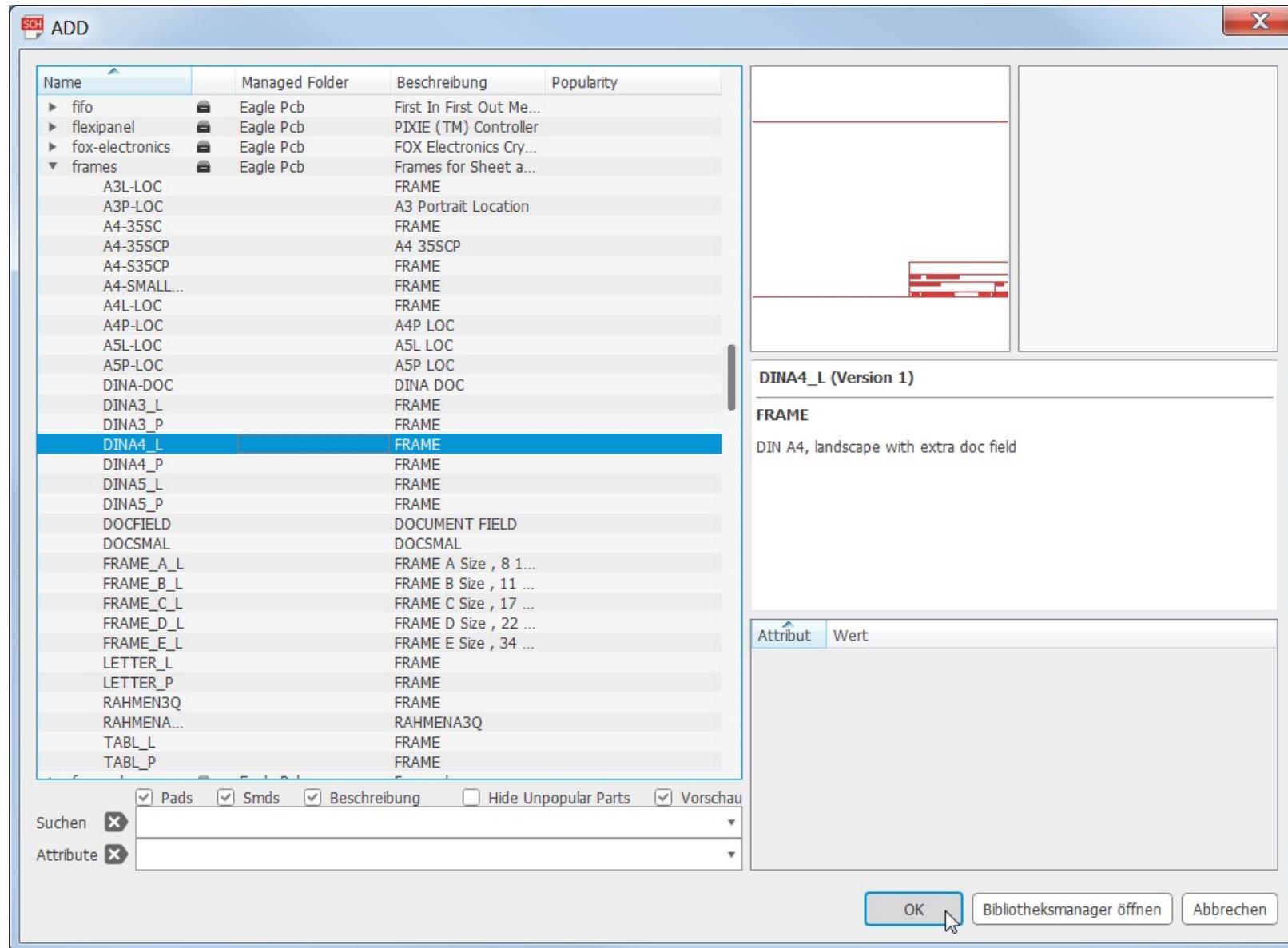
ADD PART: Bauteil hinzufügen



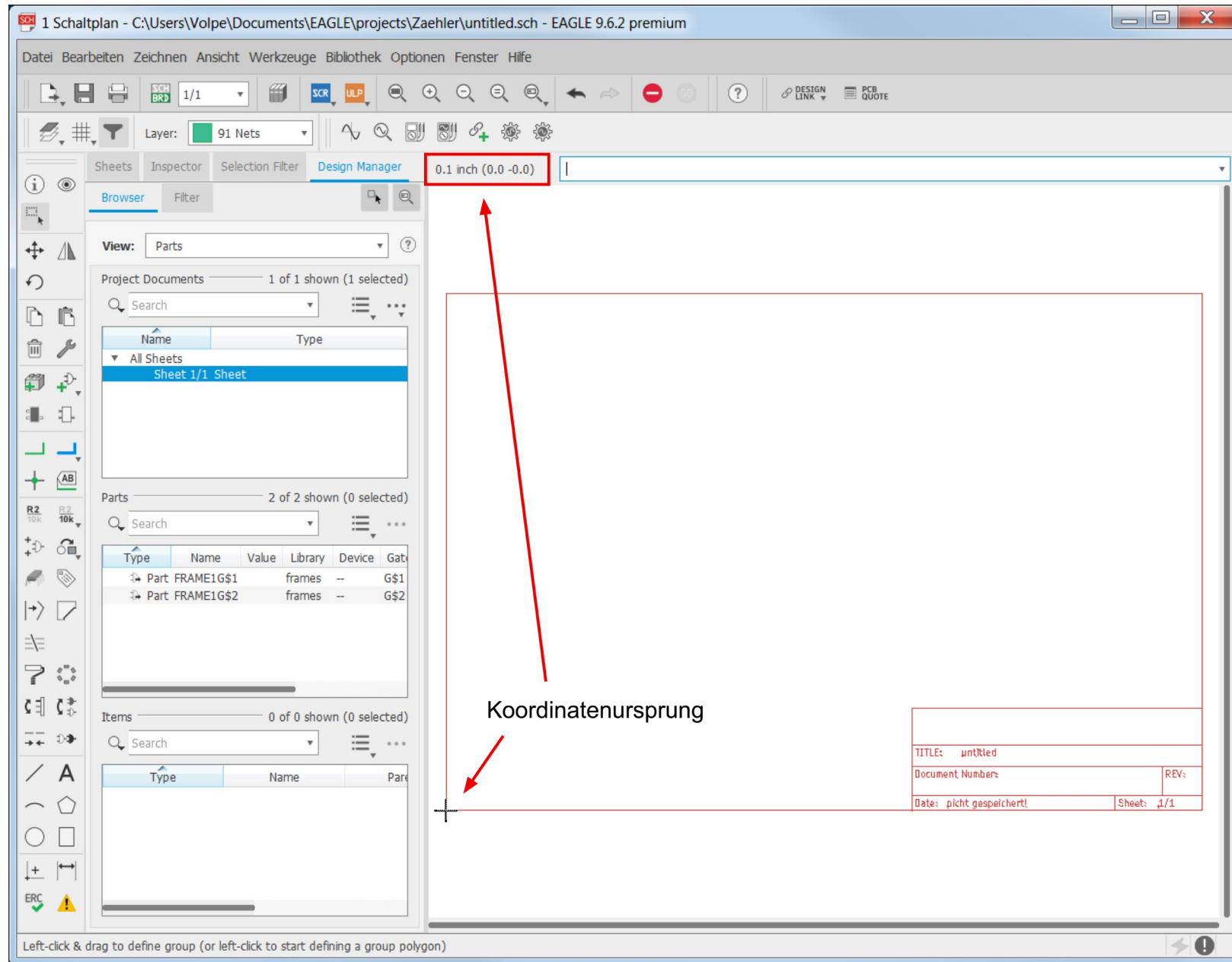
Bibliothek „frames“ auswählen



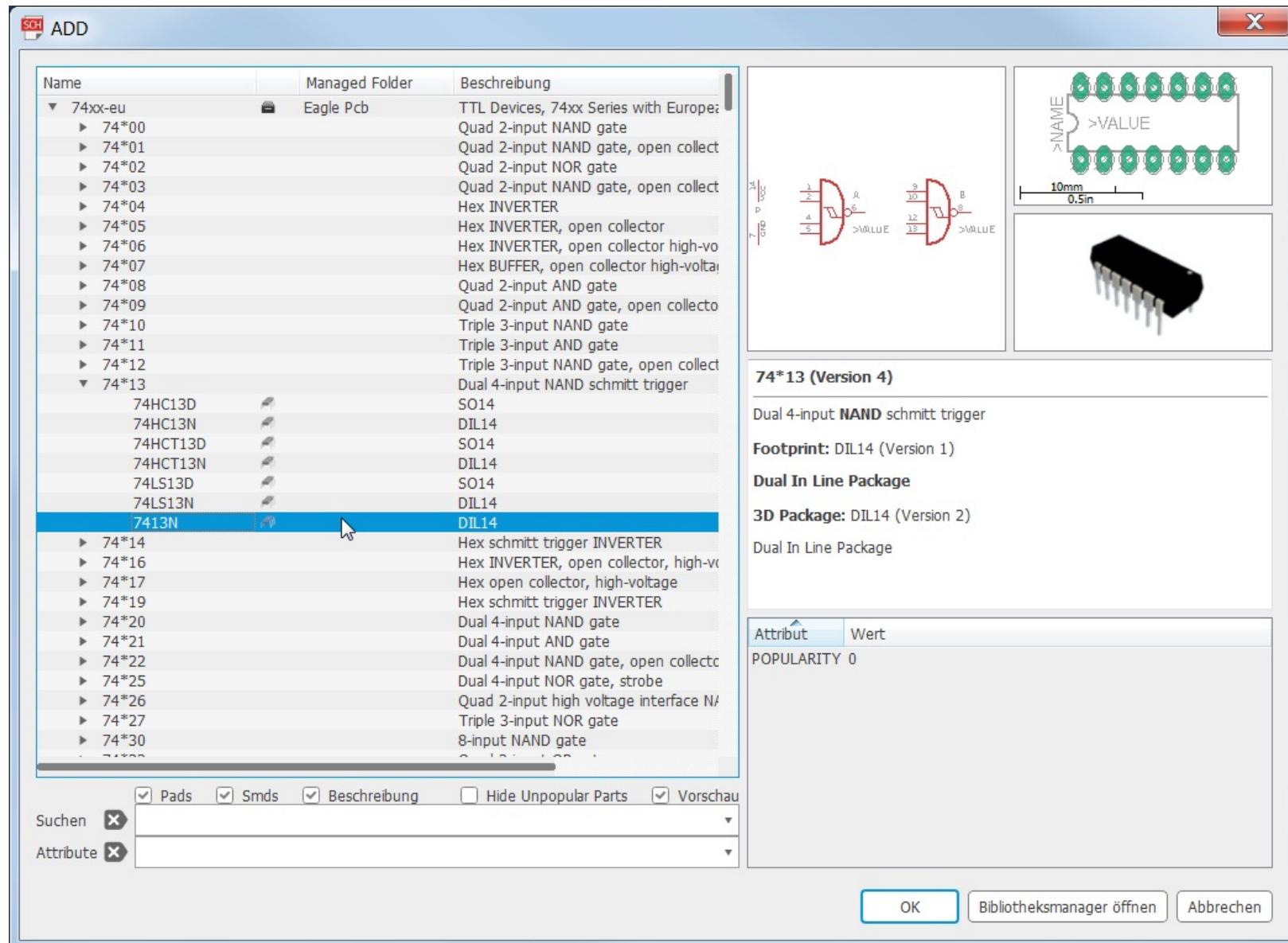
Zeichenrahmen „DINA4_L“ auswählen



Zeichenrahmen platzieren



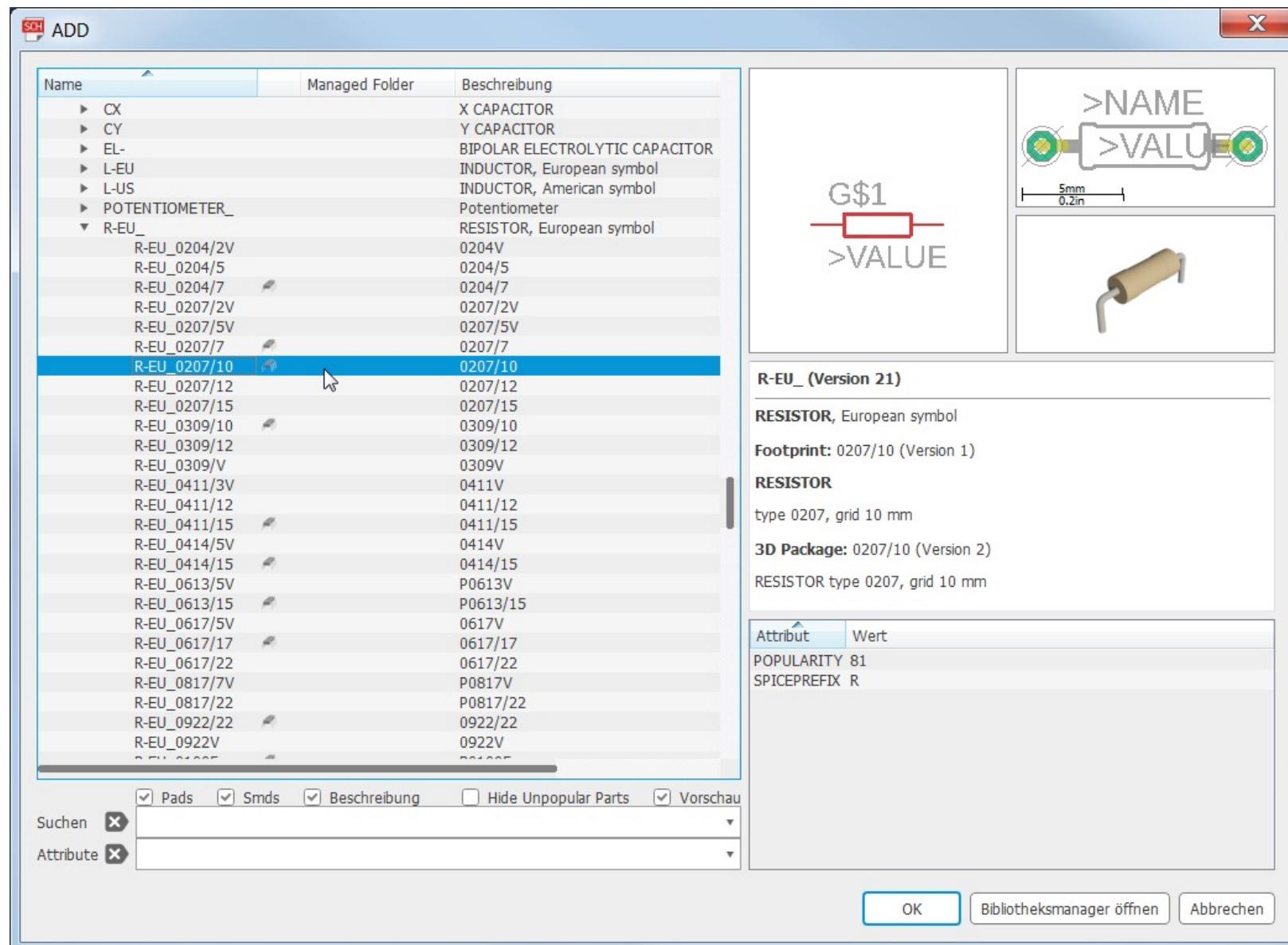
Gatter auswählen



Bibliothek:

-> 74xx-eu
-> Bauteil 7413N

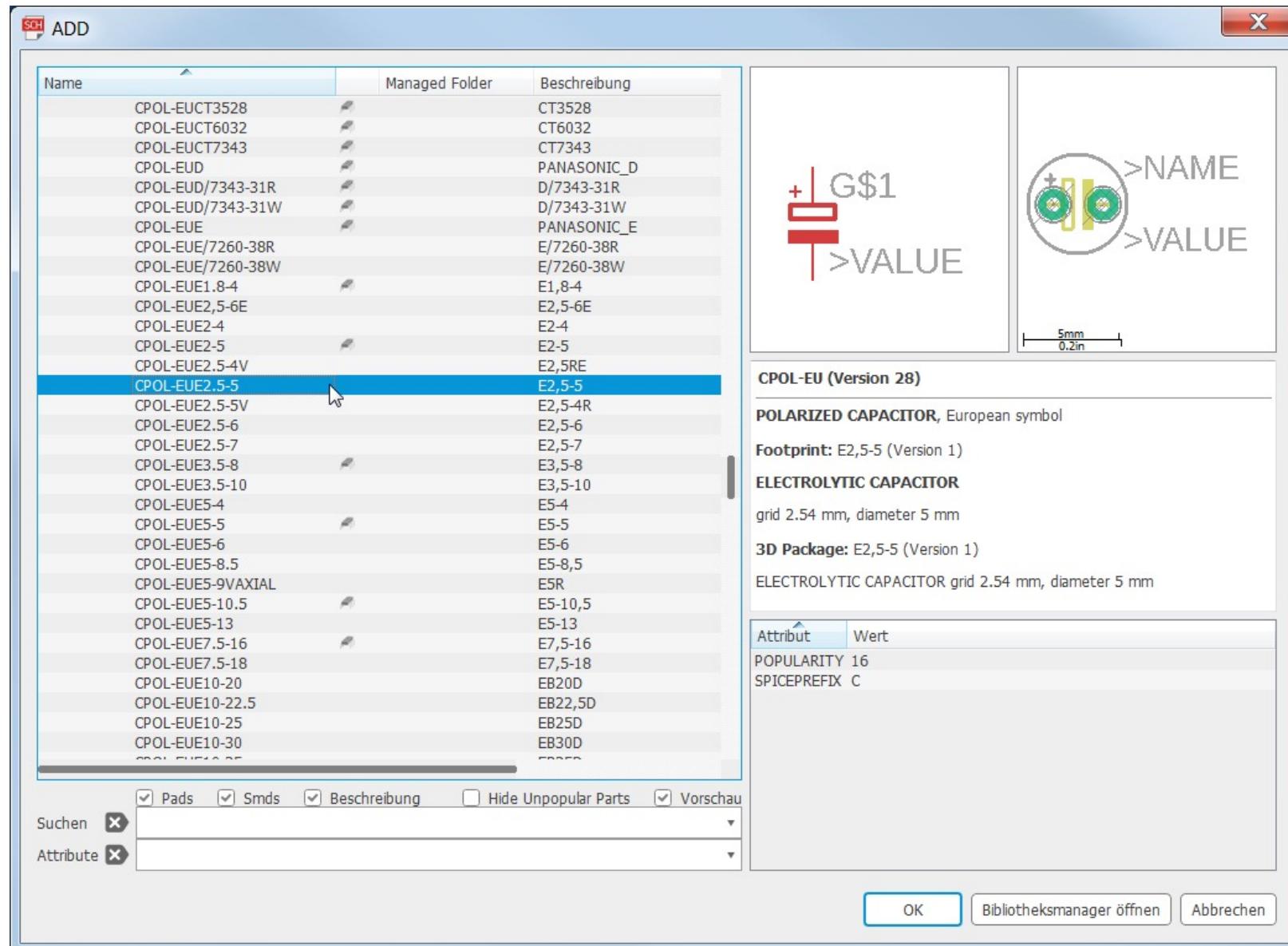
Widerstand auswählen



Bibliothek:

- > **rcl**
- > **R-EU_**
- > **R-EU_0207/10**

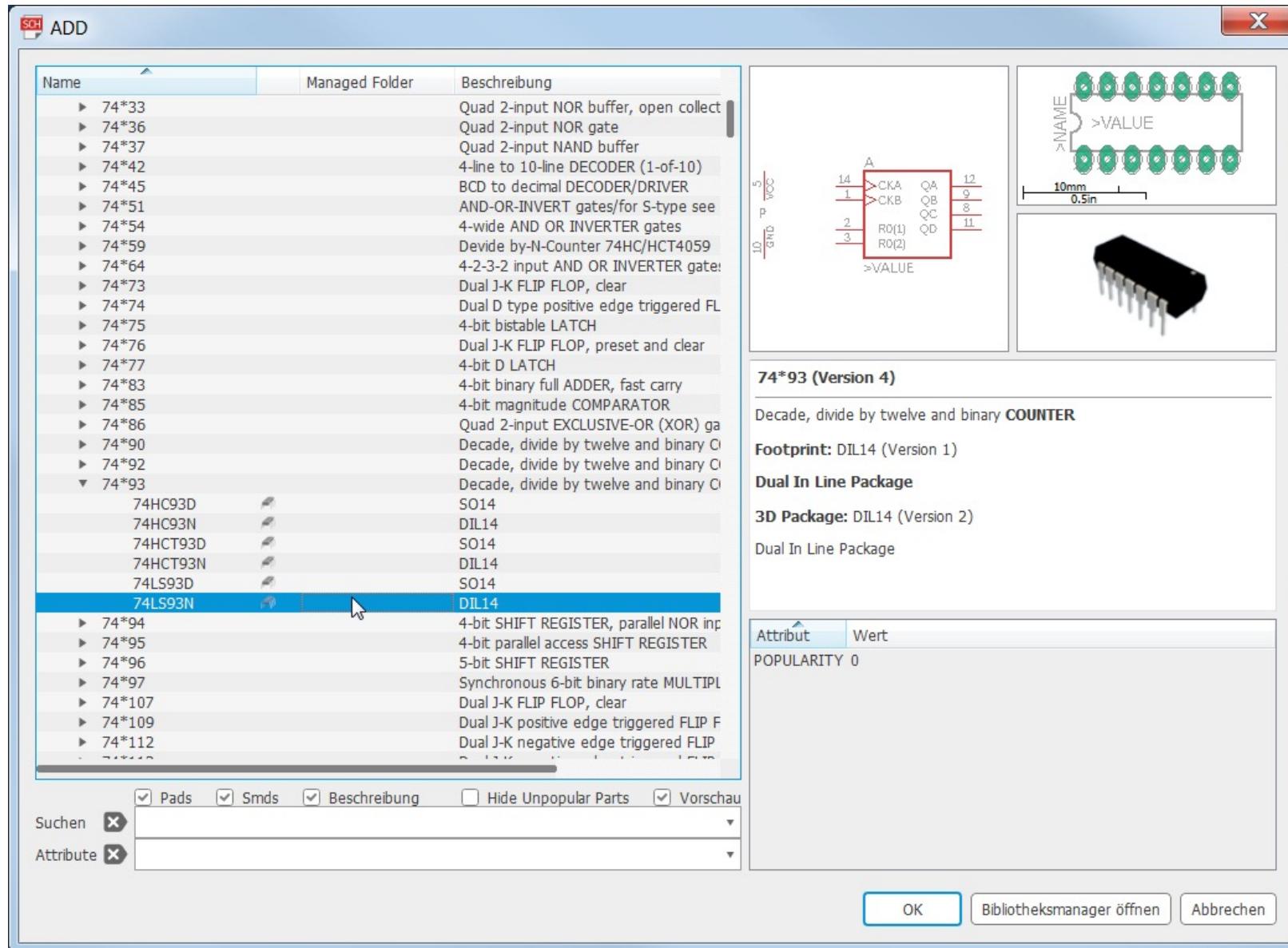
Kondensator auswählen



Bibliothek:

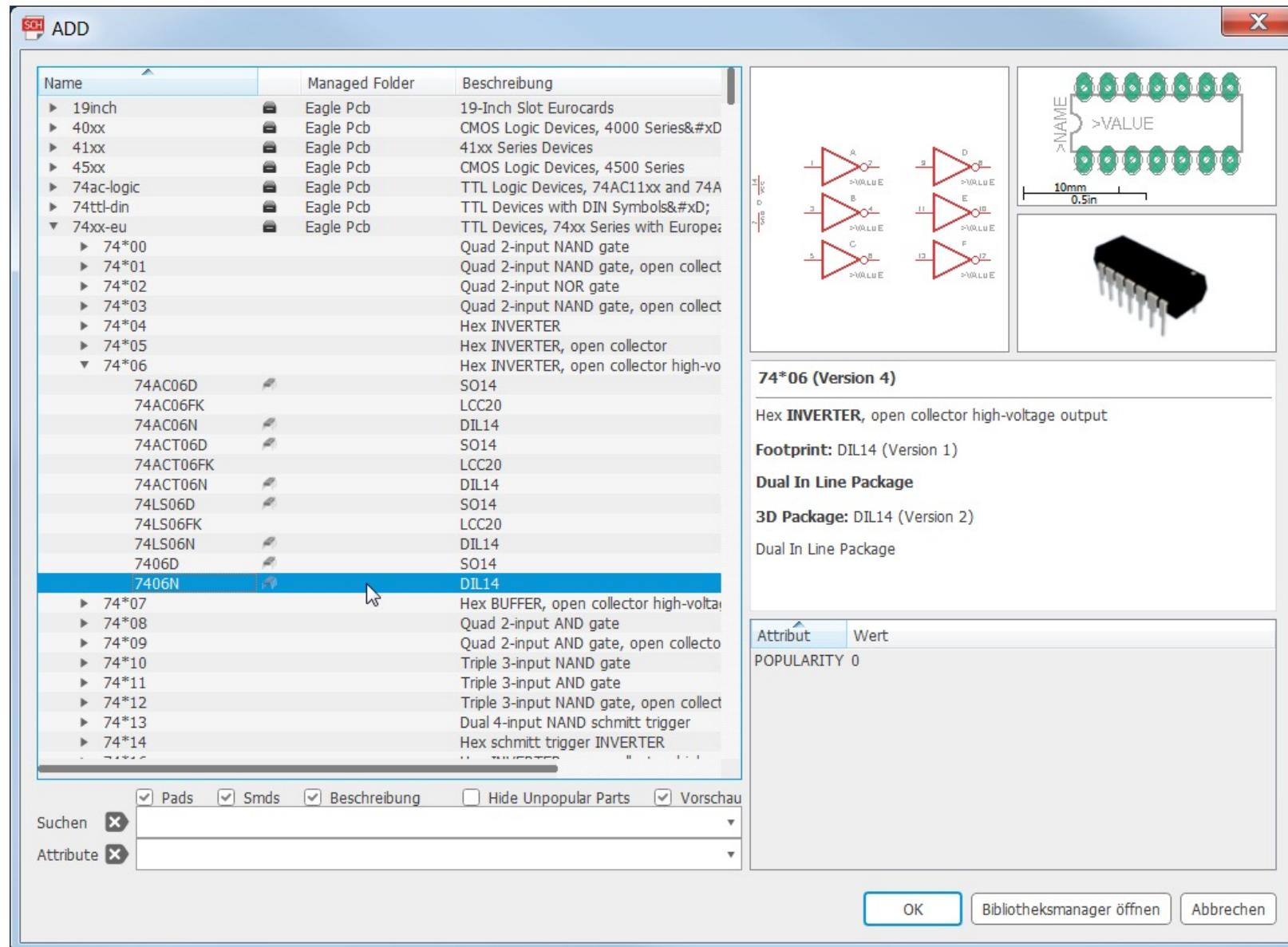
- > *rcl*
- > **CPOL-EU**
- > **CPOL-EUE2.5-5**

Zählerbaustein auswählen

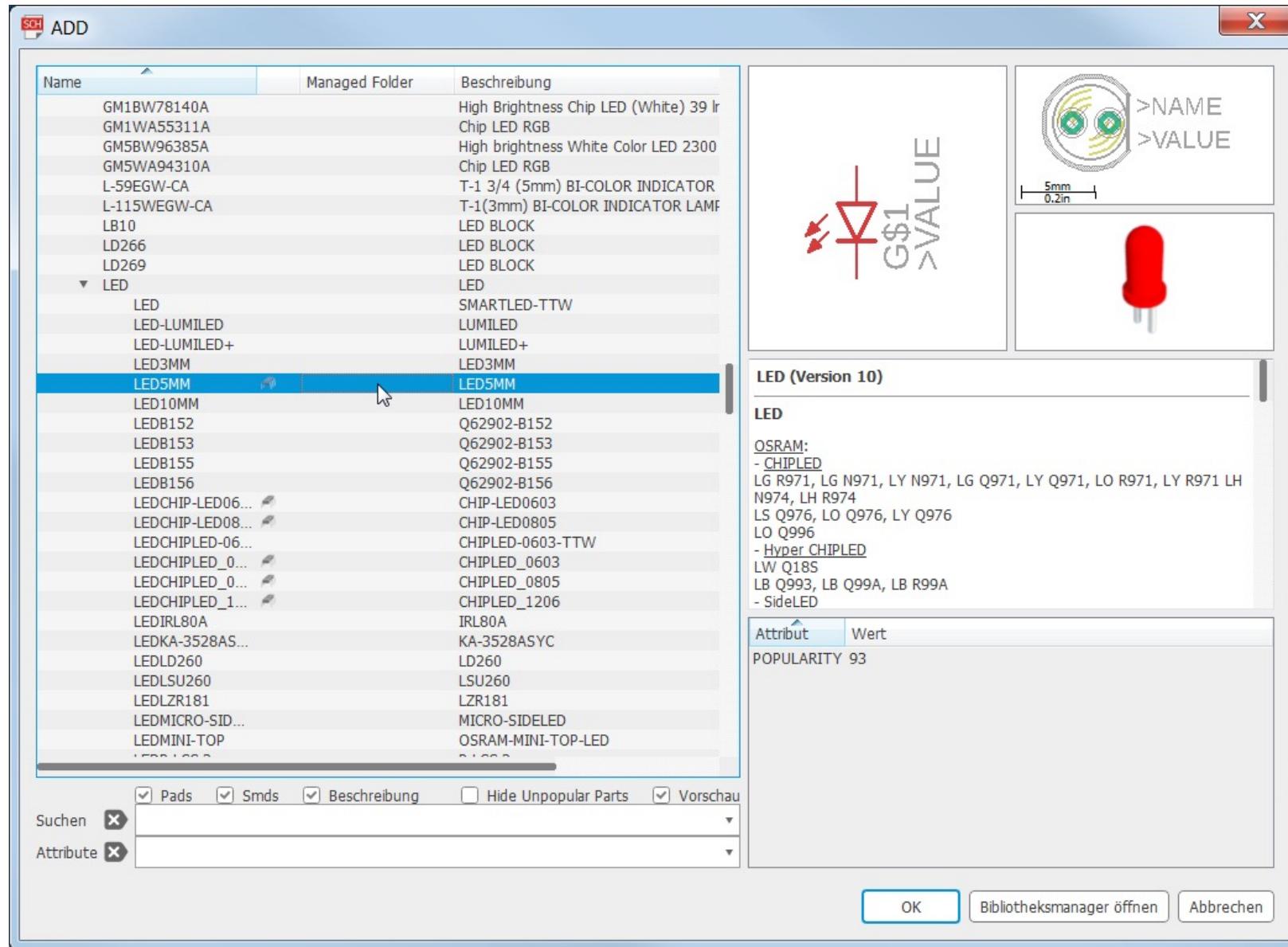


Bibliothek:
-> 74xx-eu
-> 74*93
-> 74LS93N

Inverter auswählen

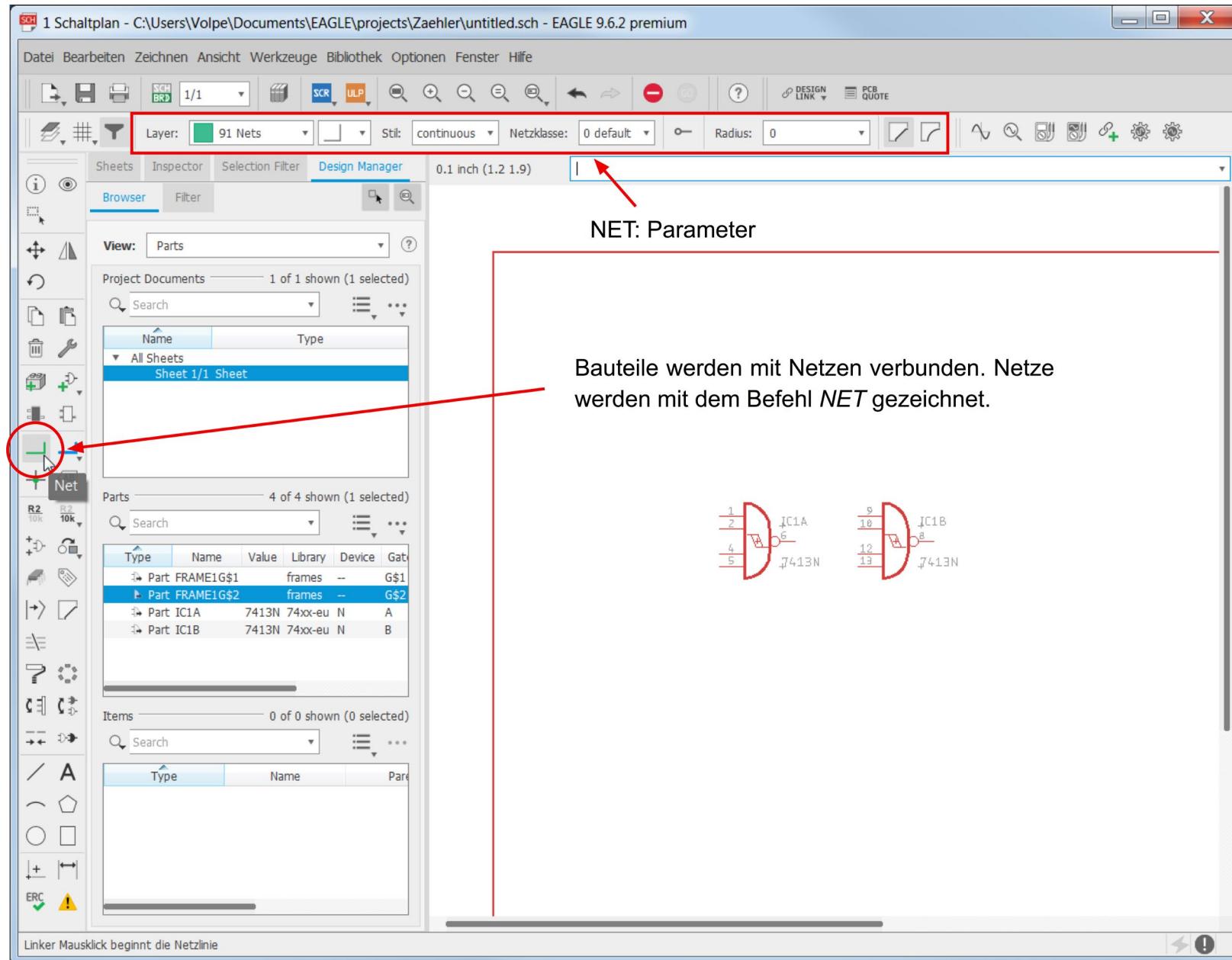


LED (5mm) auswählen

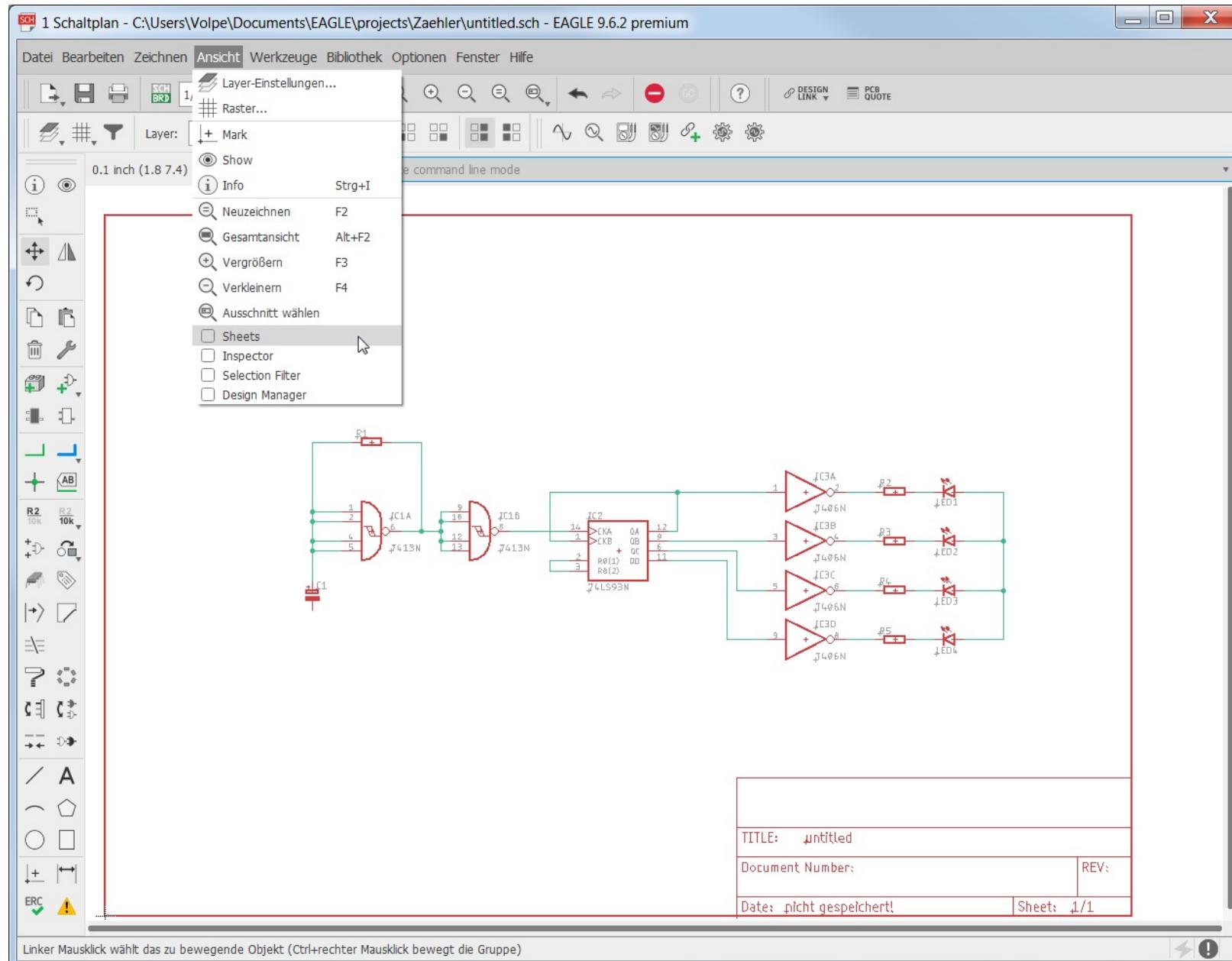


Bibliothek:
 -> led
 -> LED
 -> LED5MM

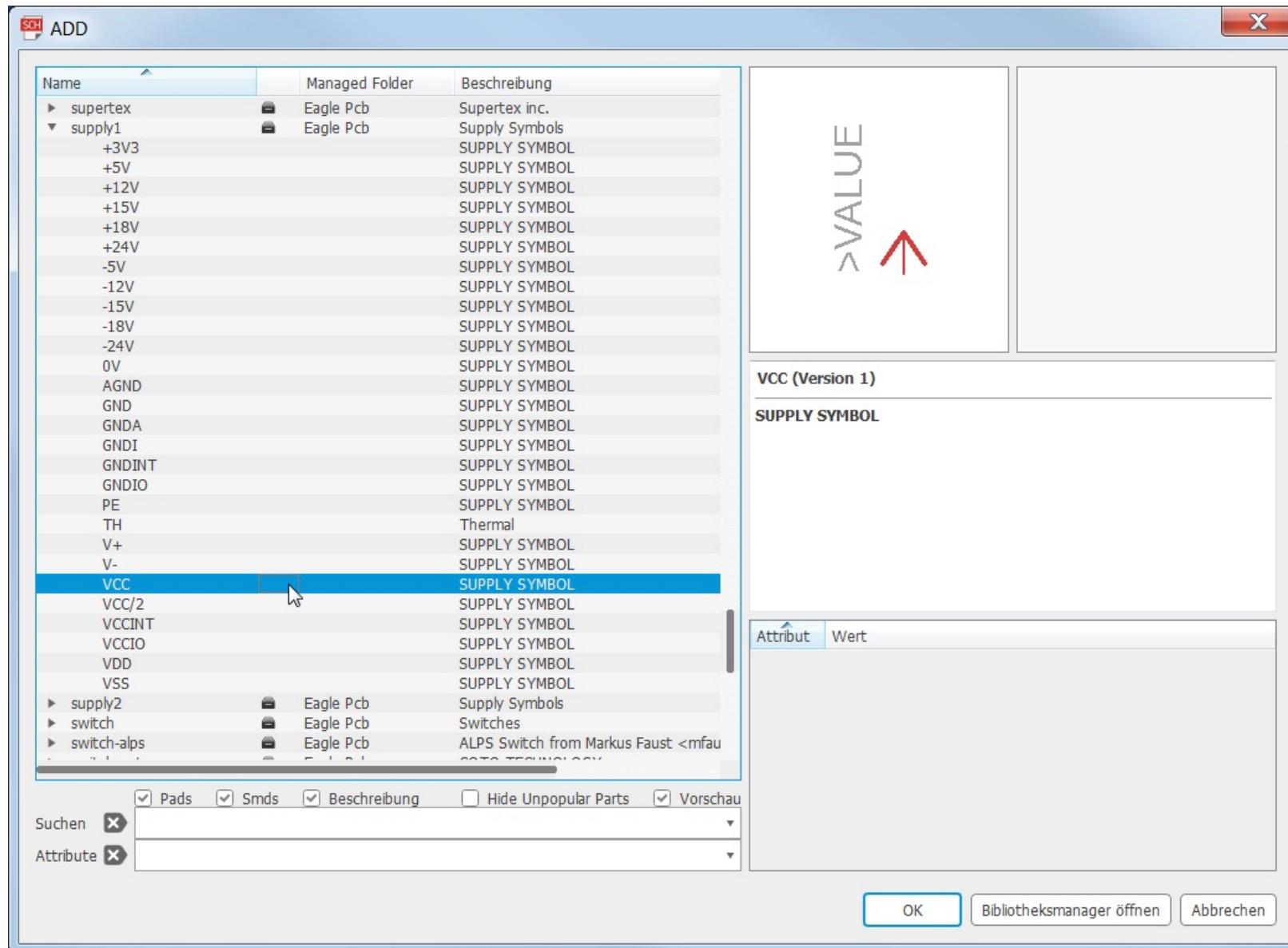
Netze zeichnen



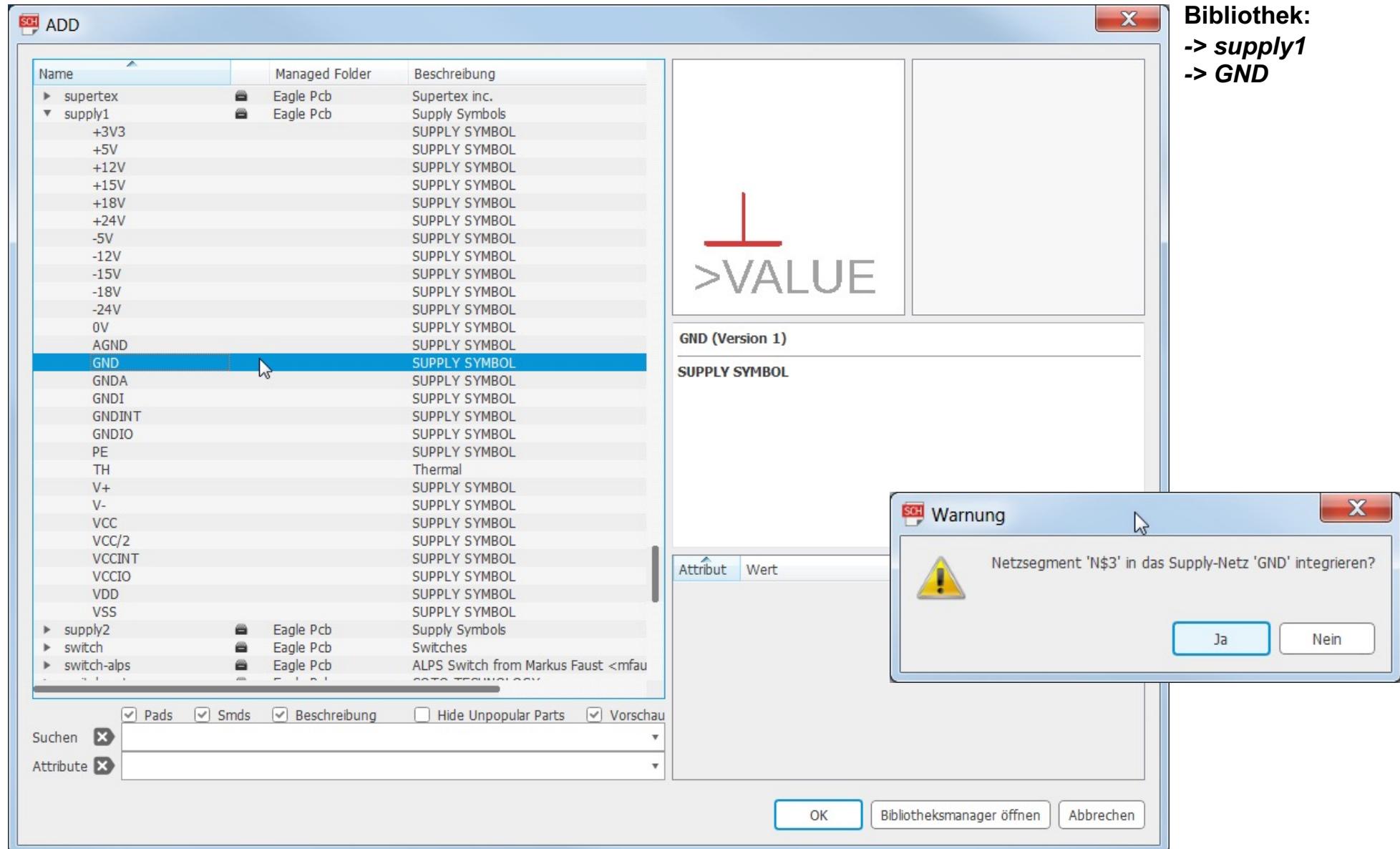
Bauteile platzieren und verdrahten



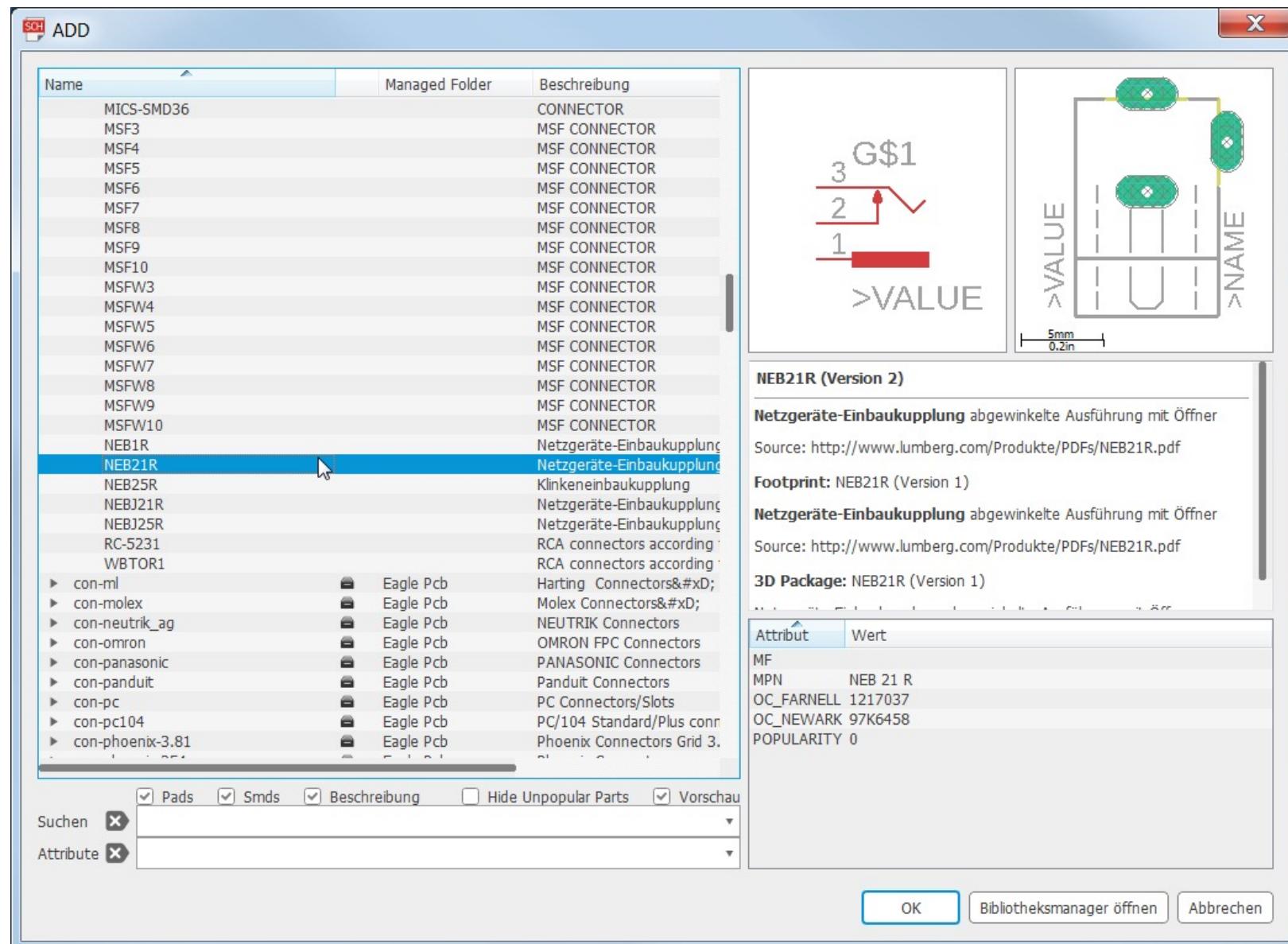
Versorgungssymbol Vcc auswählen



Massesymbol auswählen

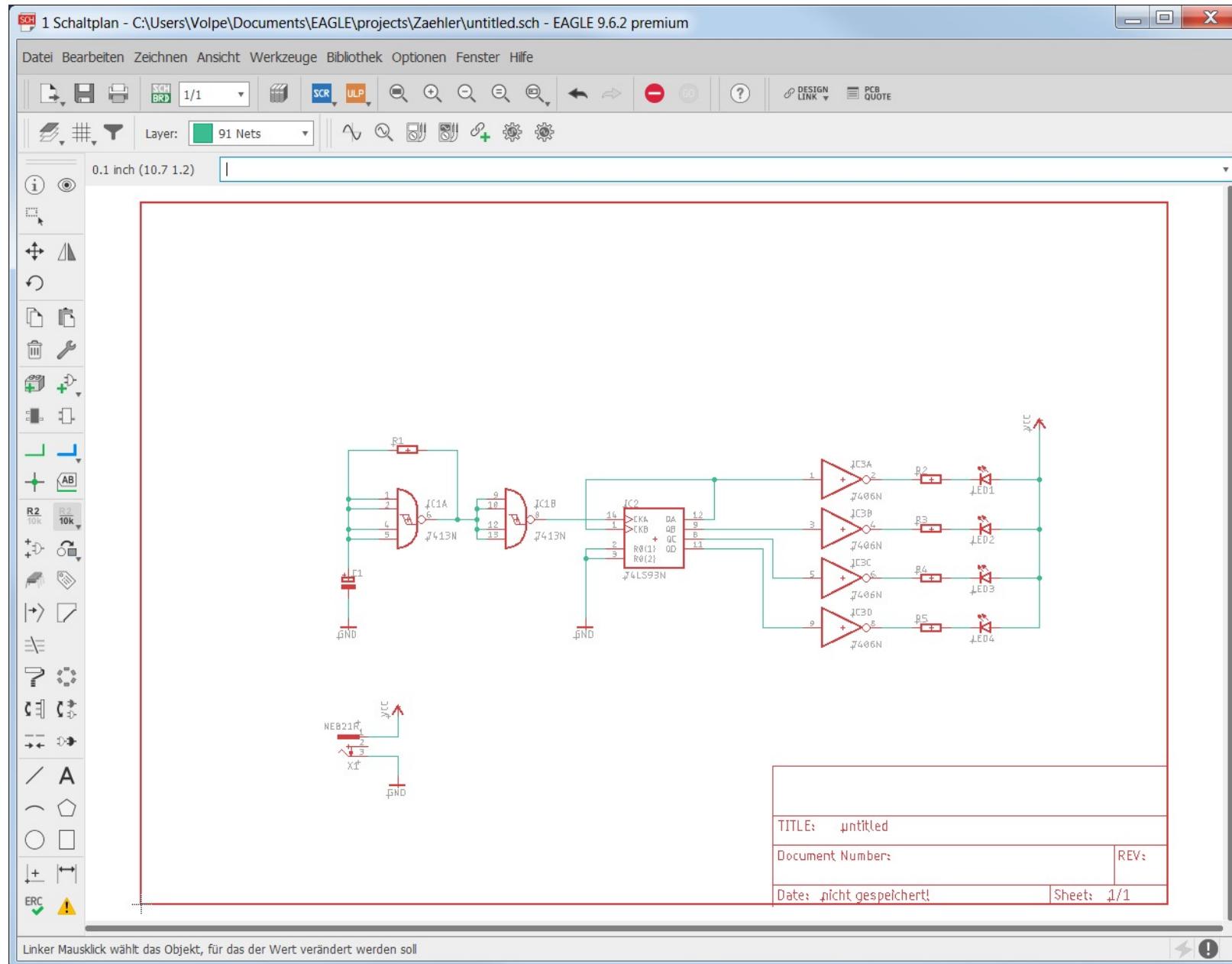


Buchse auswählen

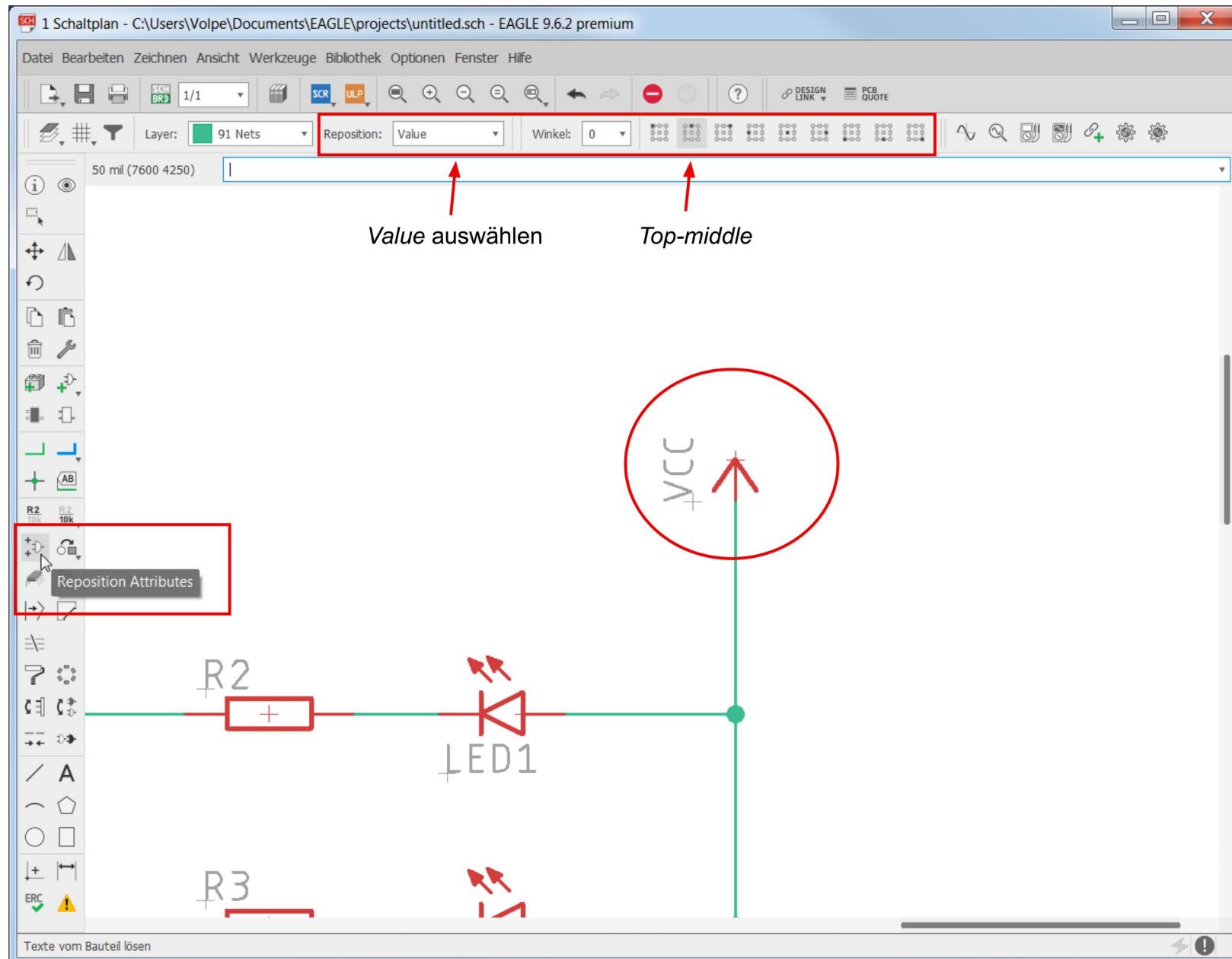


Aus Bibliothek
con-lumberg
-> Bauteil **NEB21R**

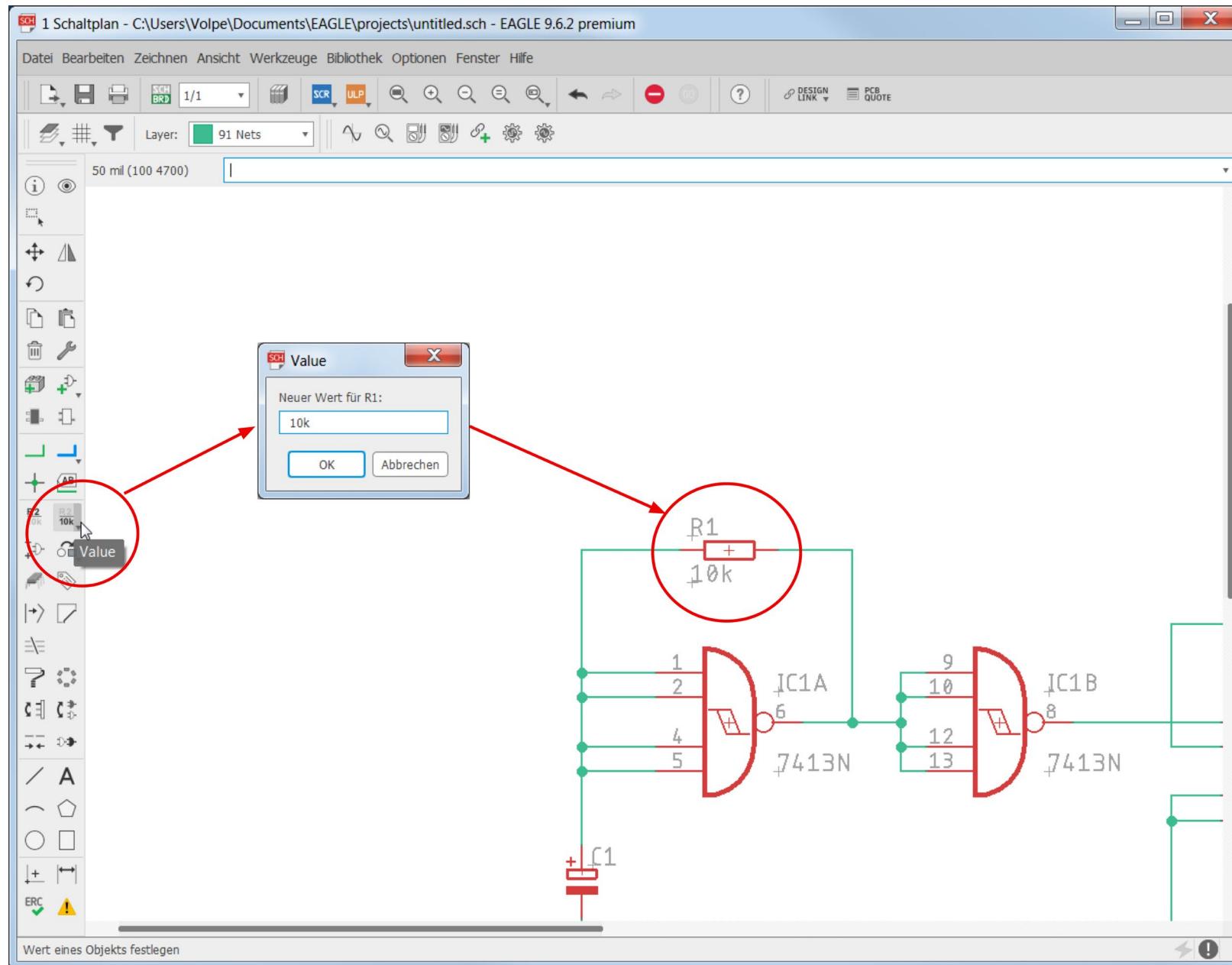
Vollständiger Schaltplan



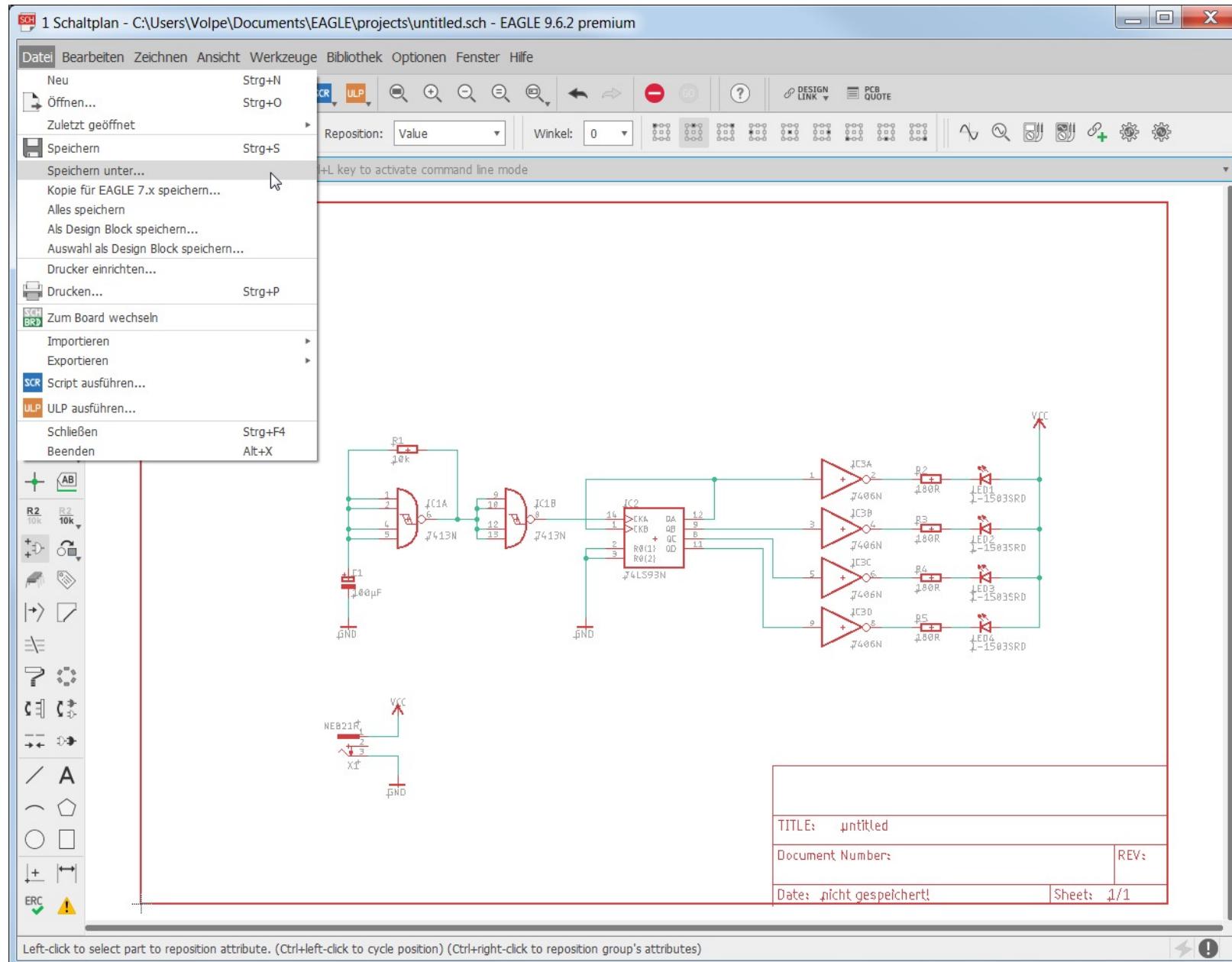
Attribute bearbeiten



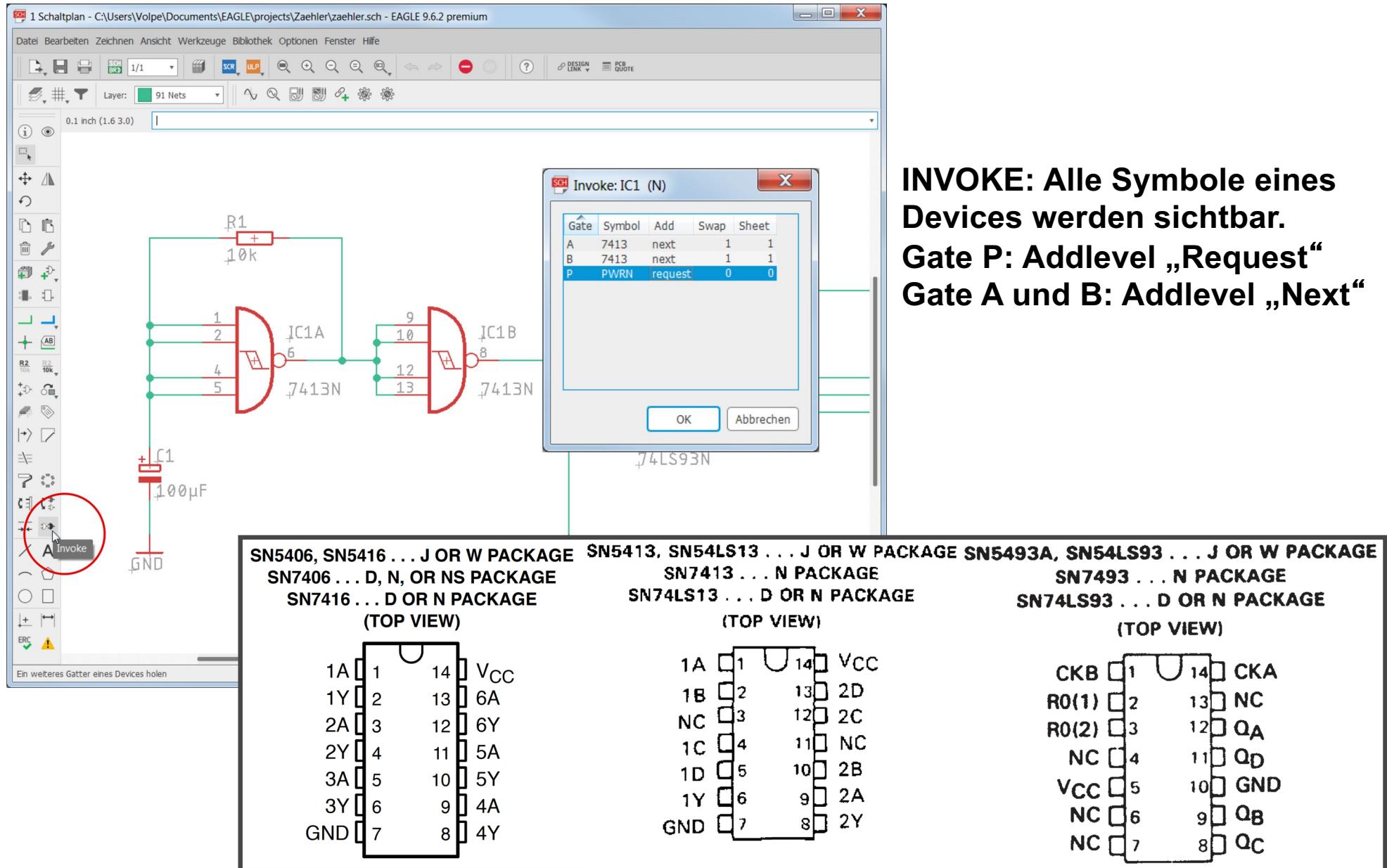
Bauteilwert zuweisen



Projekt sichern

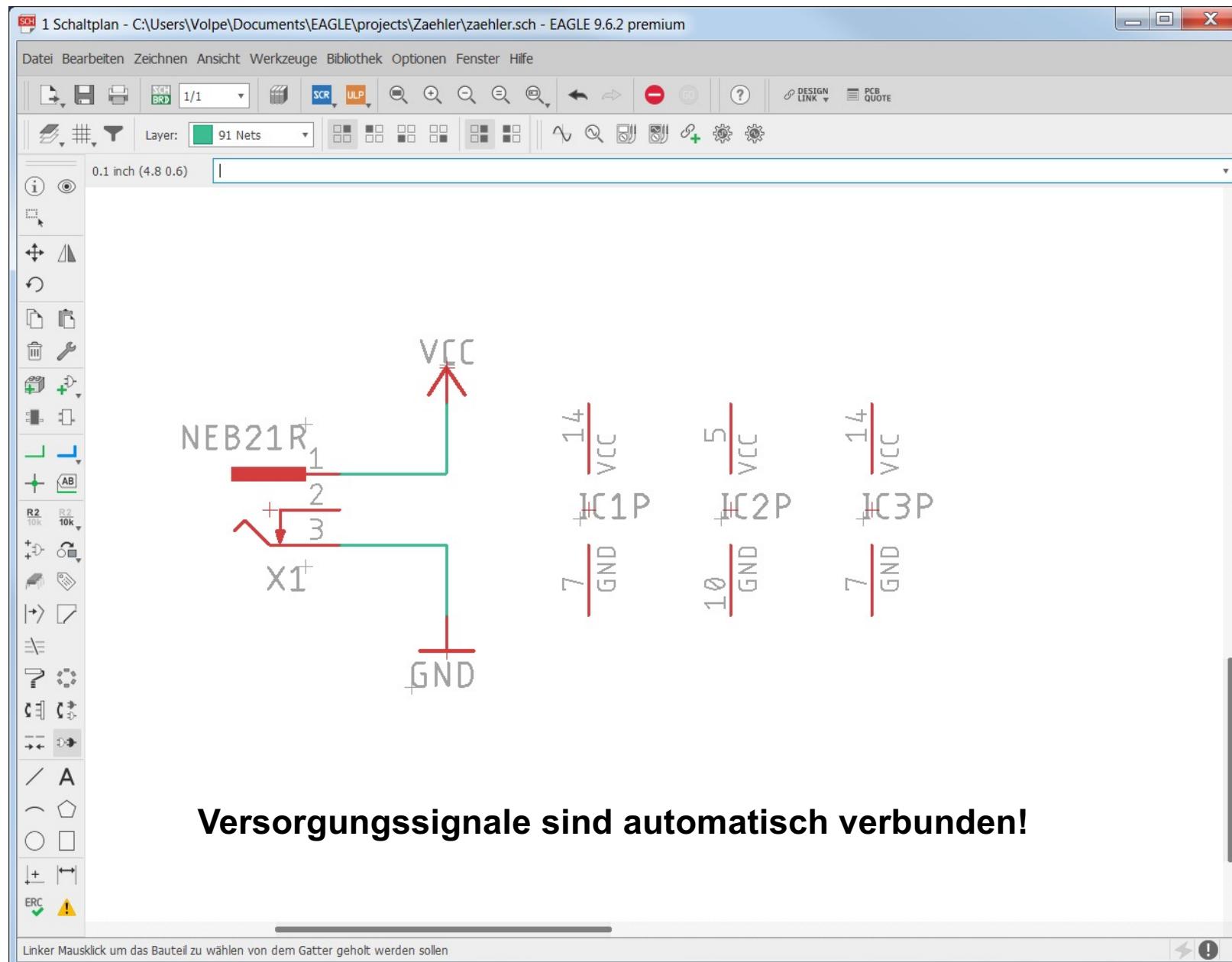


Versteckte Gatter aufrufen (1)

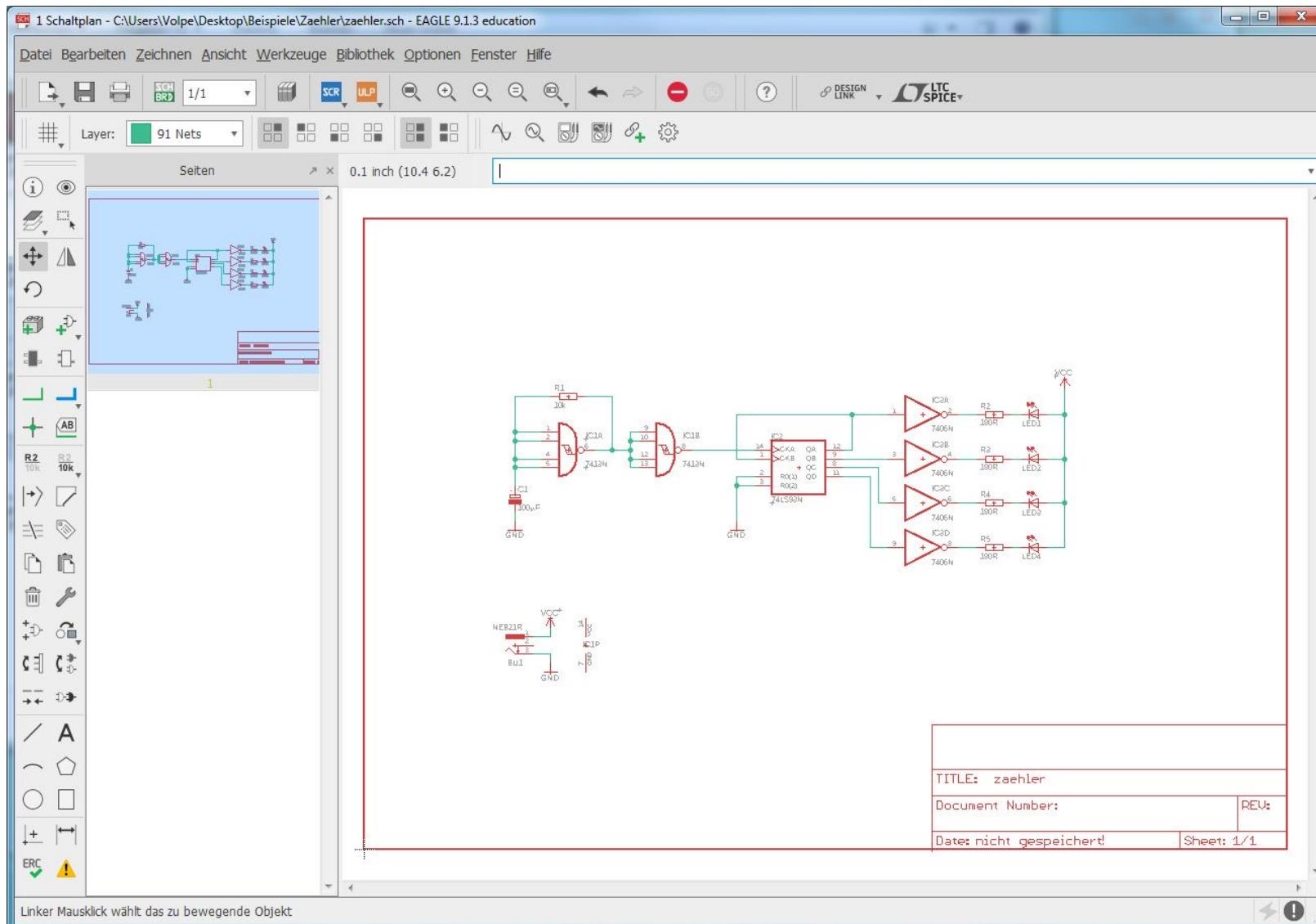


INVOKE: Alle Symbole eines Devices werden sichtbar.
Gate P: Addlevel „Request“
Gate A und B: Addlevel „Next“

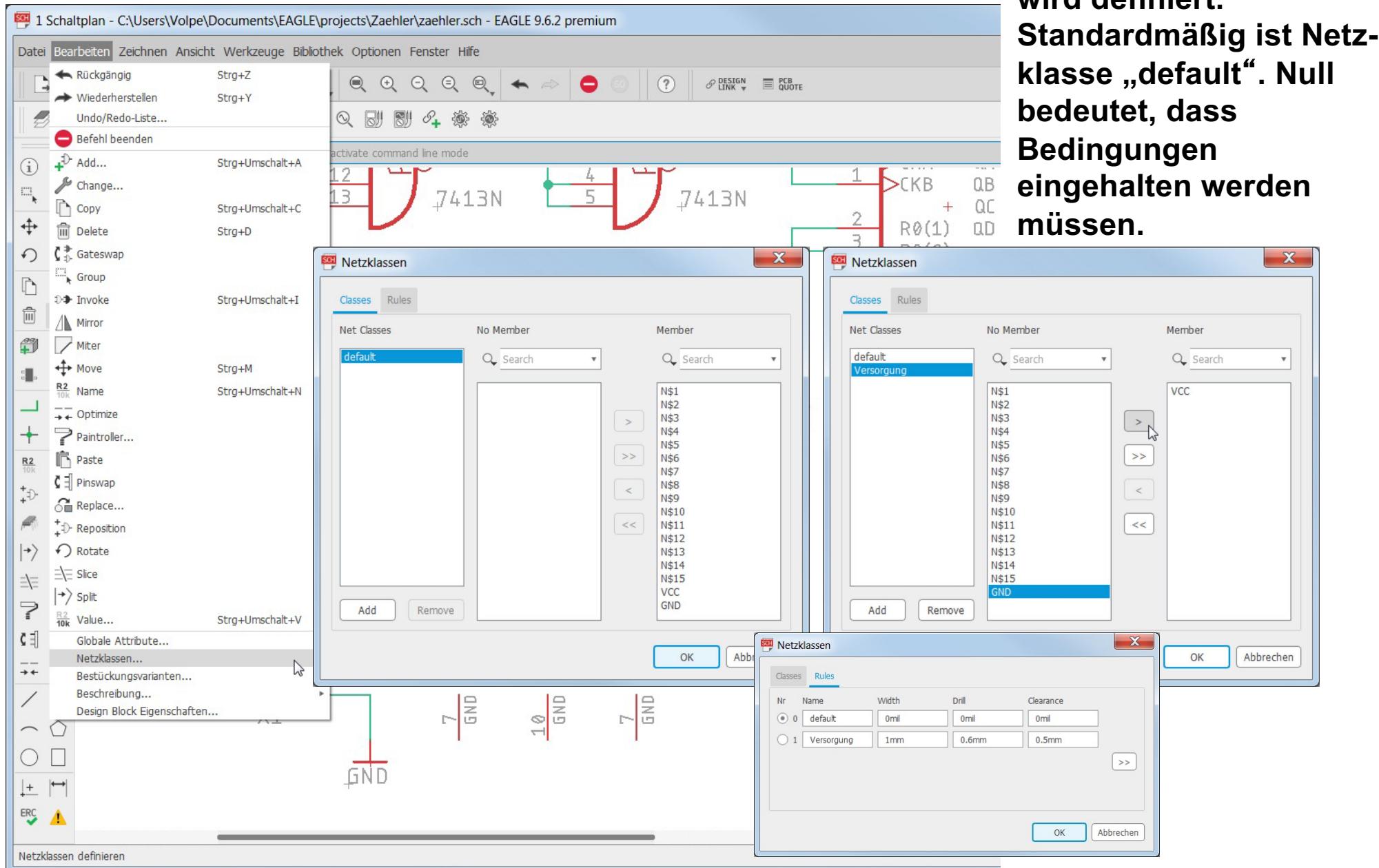
Versteckte Gatter aufrufen (2)



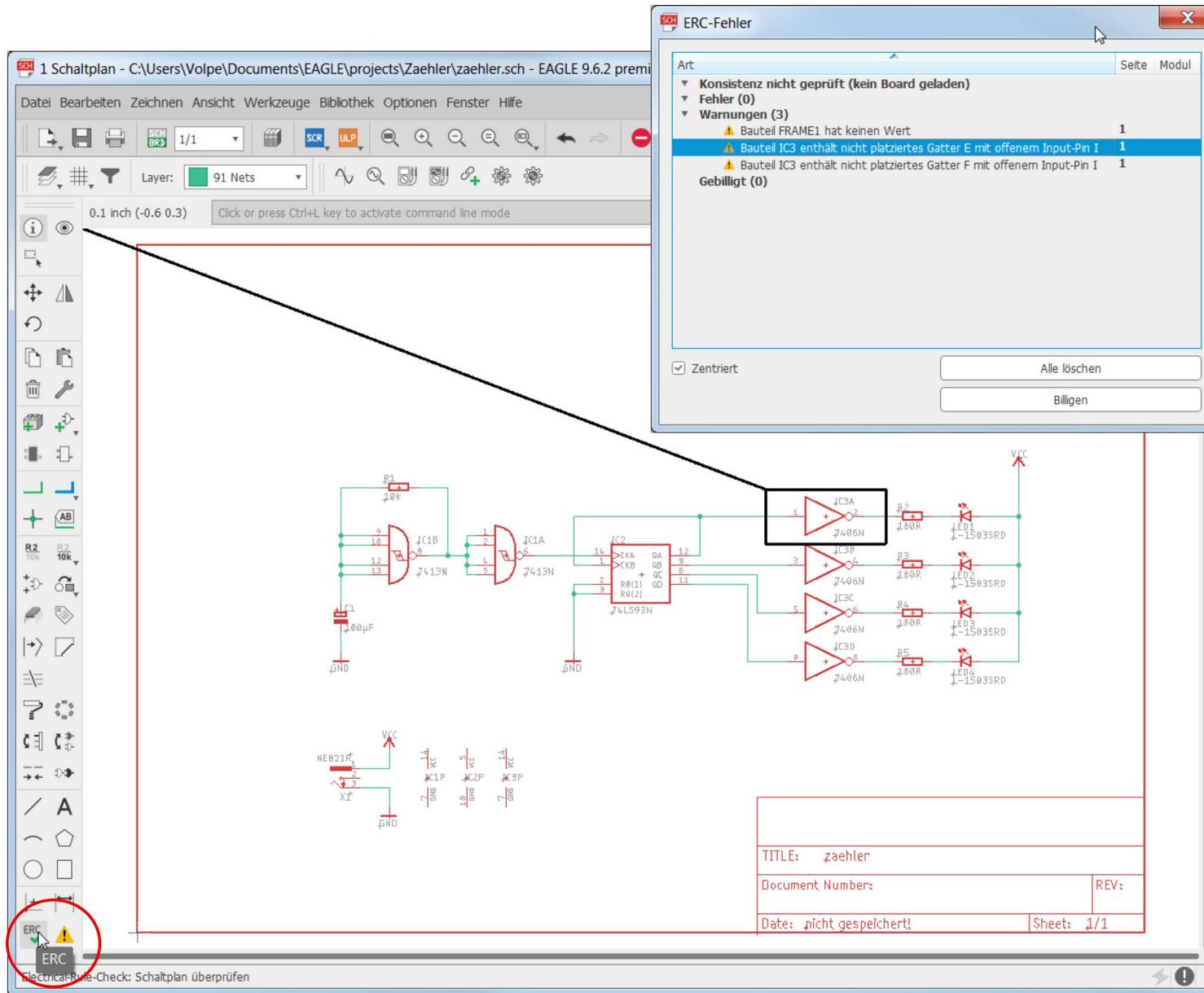
Fertiger Schaltplan



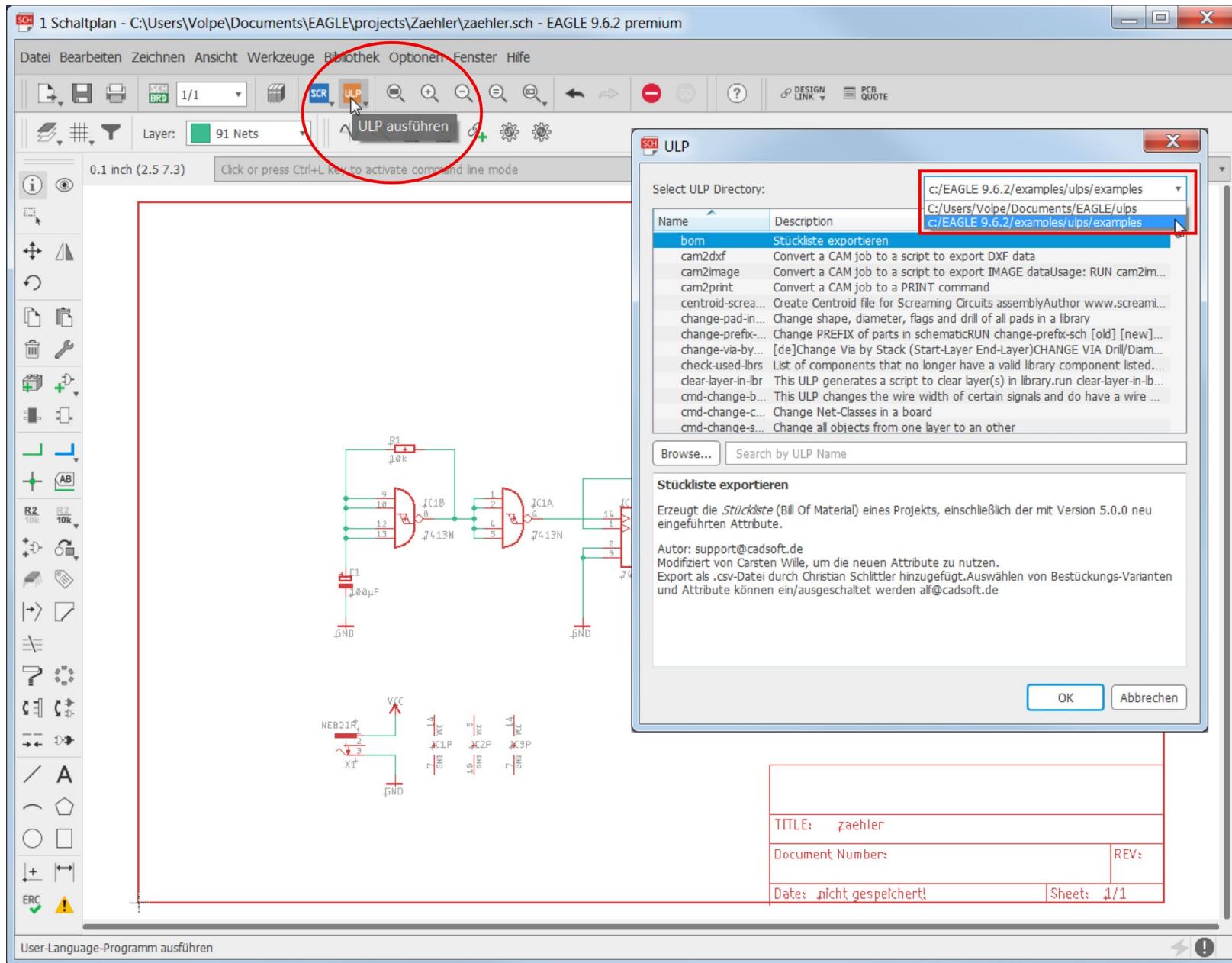
Netzklassen



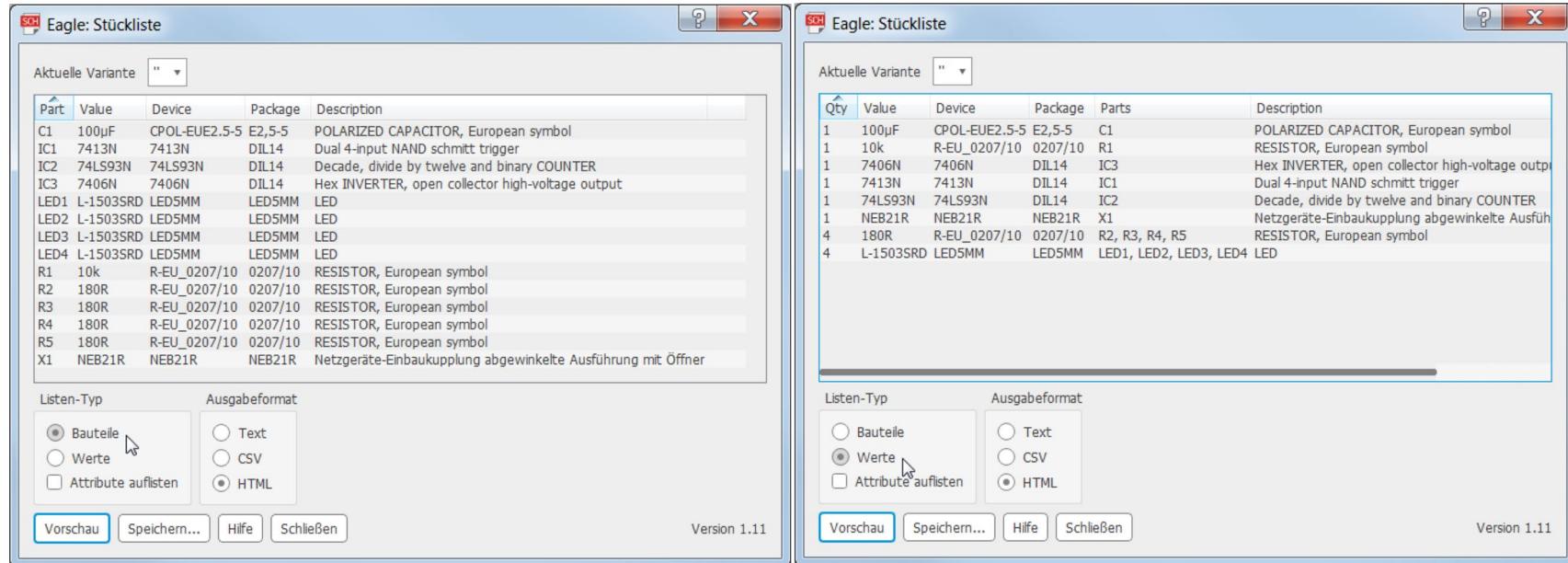
Electrical Rule Check (ERC)



Materialliste (B.O.M) (1)



Materialliste (B.O.M) (2)



Left Screenshot (Sorted by Part Name):

Part	Value	Device	Package	Description
C1	100µF	CPOL-EUE2.5-5	E2,5-5	POLARIZED CAPACITOR, European symbol
IC1	7413N	7413N	DIL14	Dual 4-input NAND schmitt trigger
IC2	74LS93N	74LS93N	DIL14	Decade, divide by twelve and binary COUNTER
IC3	7406N	7406N	DIL14	Hex INVERTER, open collector high-voltage output
LED1	L-1503SRD	LED5MM	LED5MM	LED
LED2	L-1503SRD	LED5MM	LED5MM	LED
LED3	L-1503SRD	LED5MM	LED5MM	LED
LED4	L-1503SRD	LED5MM	LED5MM	LED
R1	10k	R-EU_0207/10	0207/10	RESISTOR, European symbol
R2	180R	R-EU_0207/10	0207/10	RESISTOR, European symbol
R3	180R	R-EU_0207/10	0207/10	RESISTOR, European symbol
R4	180R	R-EU_0207/10	0207/10	RESISTOR, European symbol
R5	180R	R-EU_0207/10	0207/10	RESISTOR, European symbol
X1	NEB21R	NEB21R	NEB21R	Netzgeräte-Einbaukopplung abgewinkelte Ausführung mit Öffner

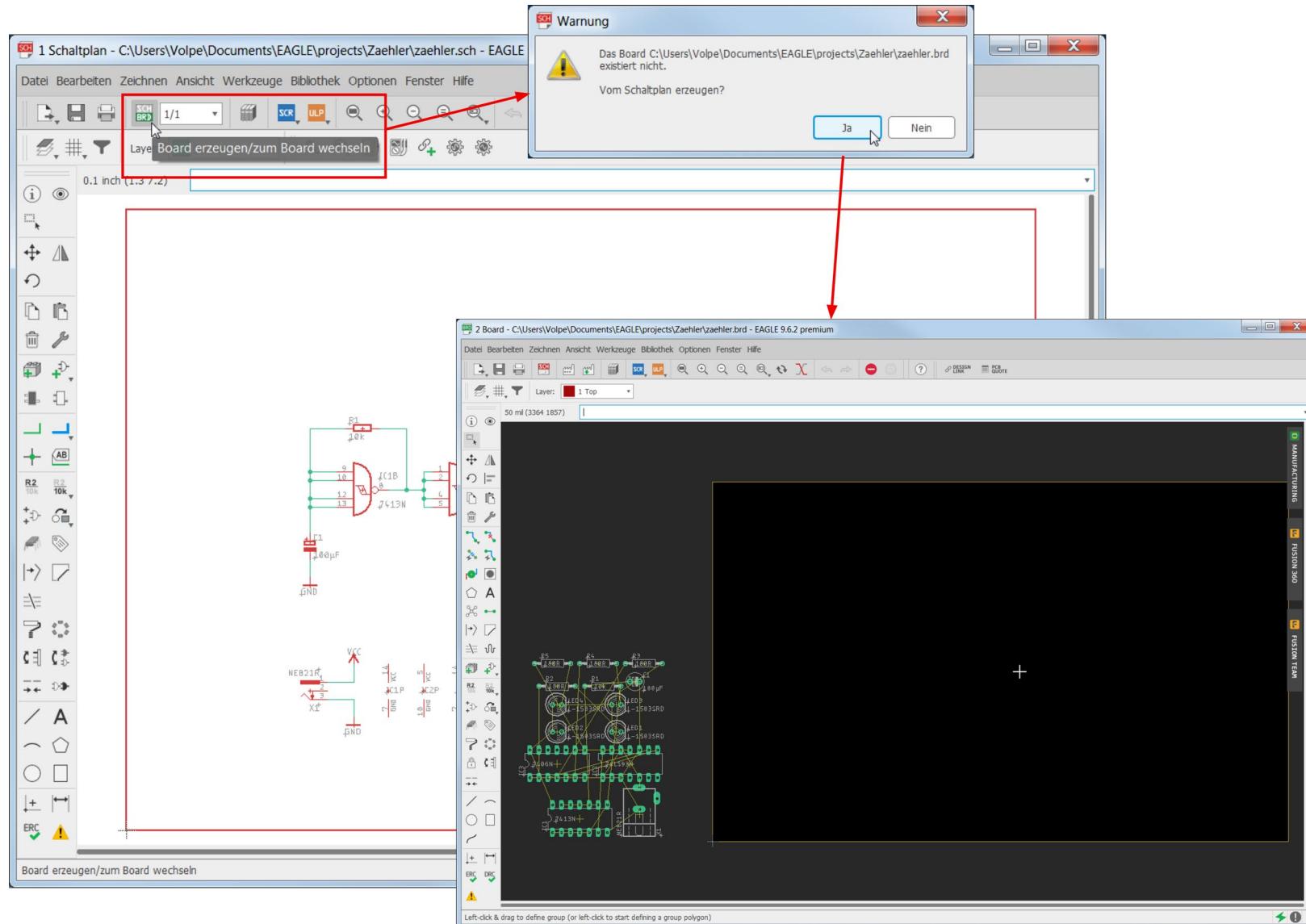
Right Screenshot (Sorted by Part Value):

Qty	Value	Device	Package	Parts	Description
1	100µF	CPOL-EUE2.5-5	E2,5-5	C1	POLARIZED CAPACITOR, European symbol
1	10k	R-EU_0207/10	0207/10	R1	RESISTOR, European symbol
1	7406N	7406N	DIL14	IC3	Hex INVERTER, open collector high-voltage output
1	7413N	7413N	DIL14	IC1	Dual 4-input NAND schmitt trigger
1	74LS93N	74LS93N	DIL14	IC2	Decade, divide by twelve and binary COUNTER
1	NEB21R	NEB21R	NEB21R	X1	Netzgeräte-Einbaukopplung abgewinkelte Ausführung mit Öffner
4	180R	R-EU_0207/10	0207/10	R2, R3, R4, R5	RESISTOR, European symbol
4	L-1503SRD	LED5MM	LED5MM	LED1, LED2, LED3, LED4	LED

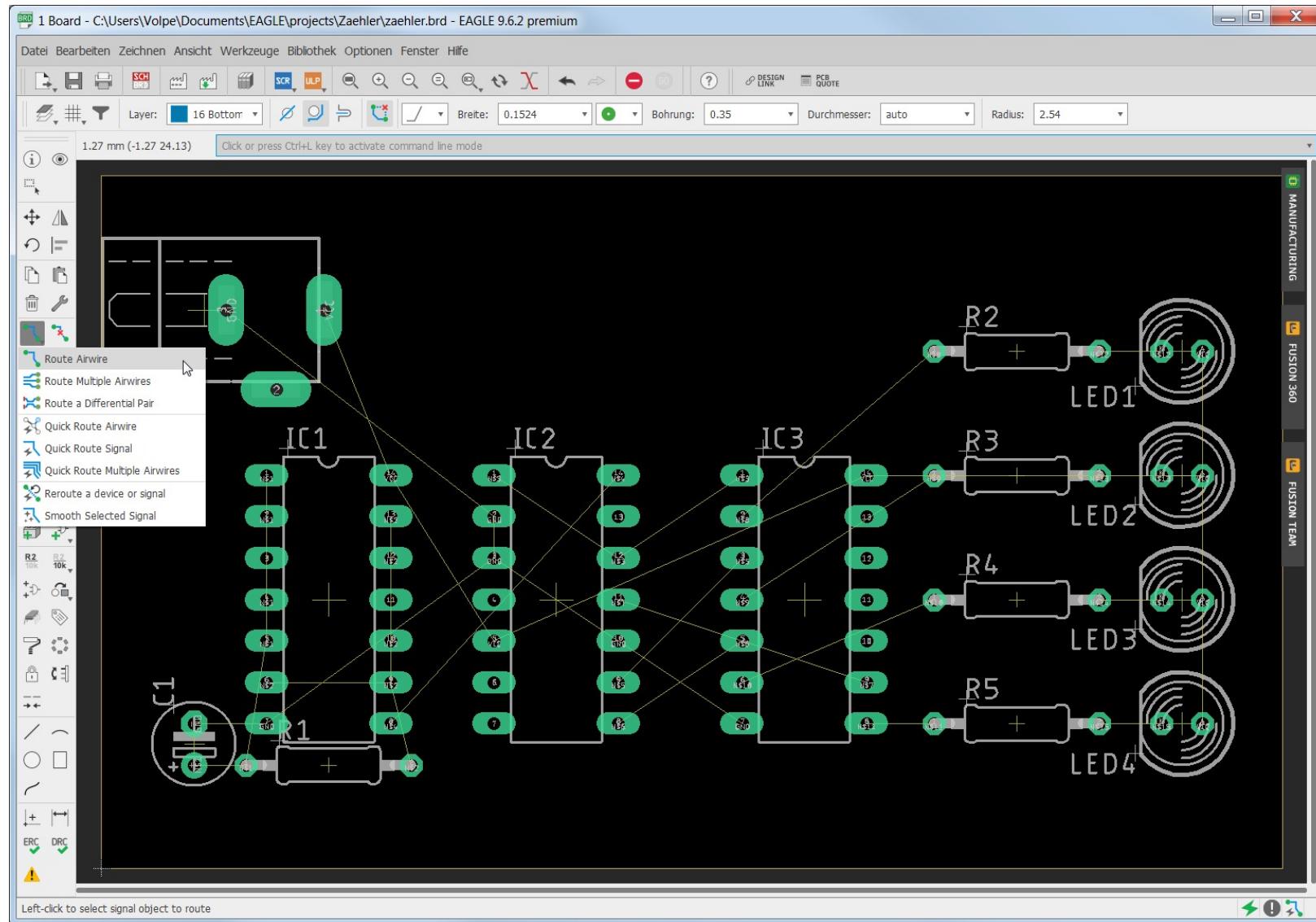
Nach Bauteilname sortiert.

Nach Bauteilwert sortiert.

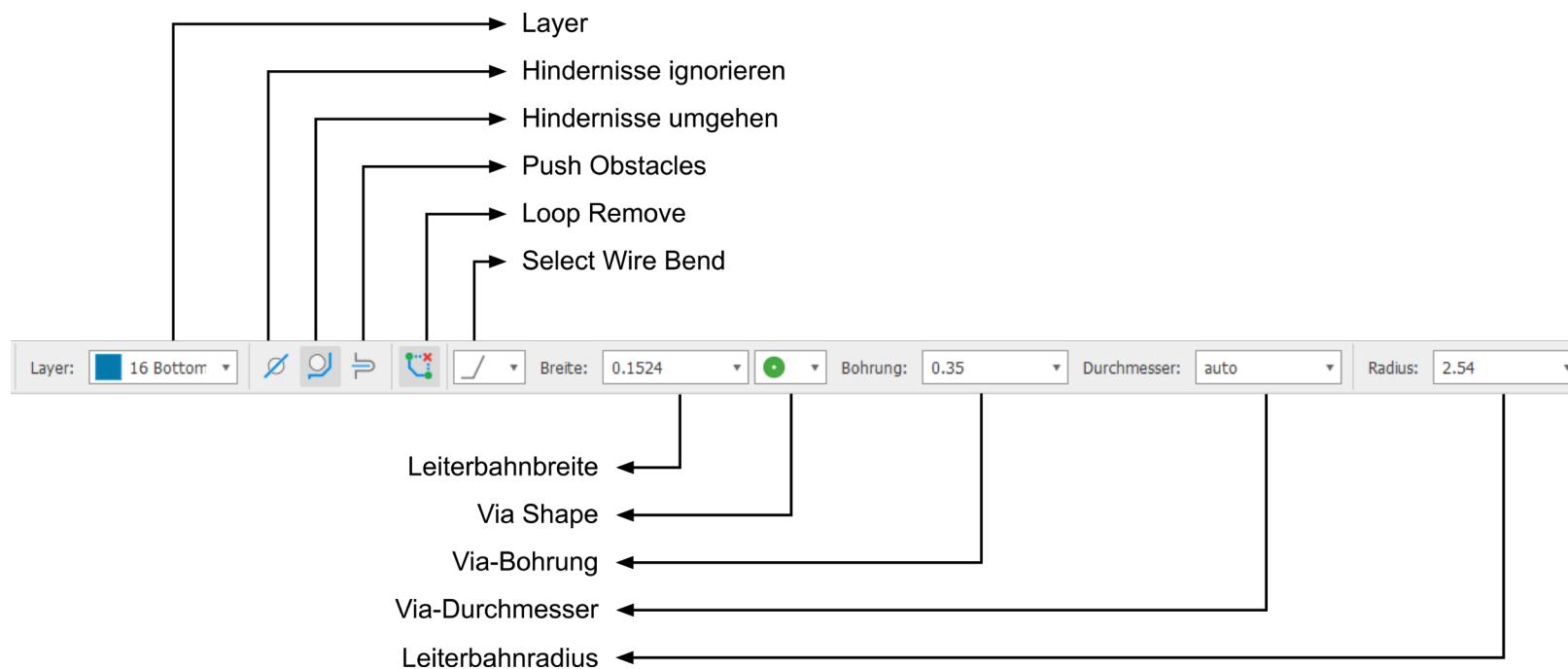
Board erzeugen



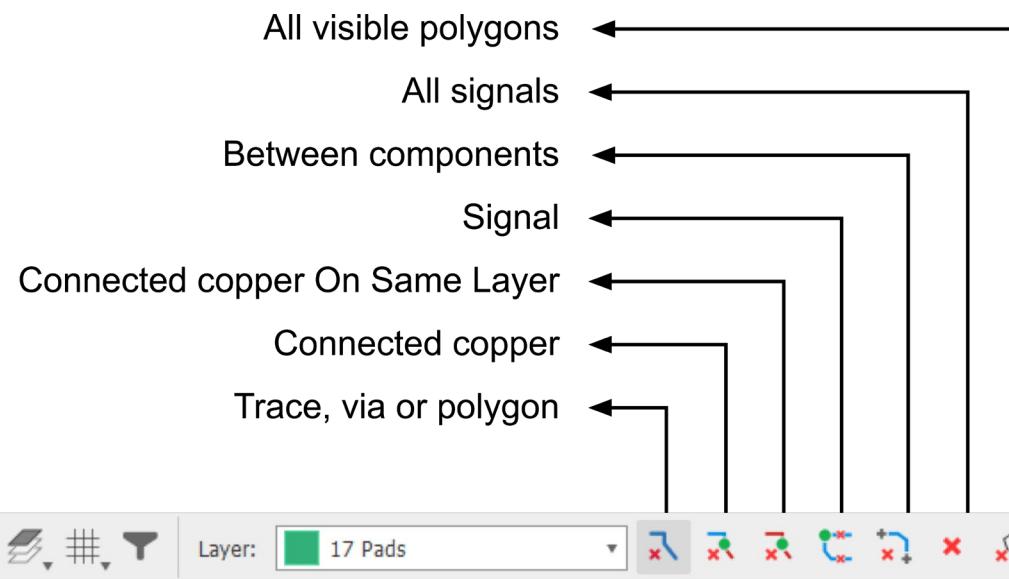
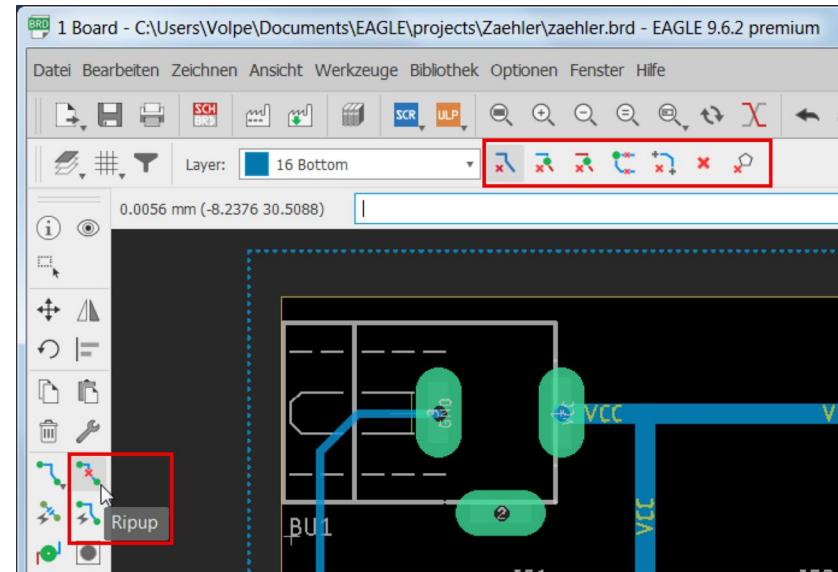
Leiterbahnen layouten



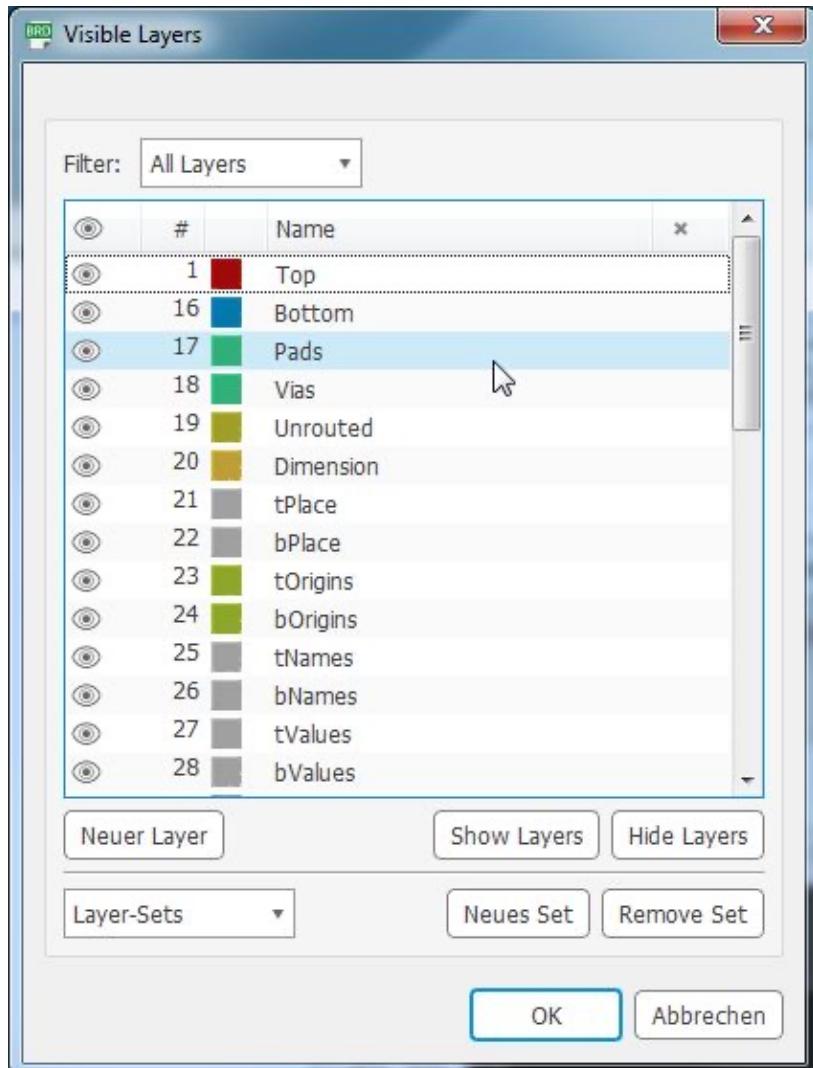
Parameterleiste Route-Befehl



Leiterbahn auflösen: Ripup-Befehl



Lagen beim Board



1 Top:
16 Bottom:
17 Pads:
18 Vias:
19 Unrouted:
20 Dimension:
21 tPlace:
22 bPlace:
23 tOrigins:
24 bOrigins:
25 tNames:
26 bNames:
...
44 Drills:
45 Holes:
46 Milling:
...

Kupfer Bestückungsseite
Kupfer Lötseite
Lötaugen
Durchkontaktierungen
Luftlinien
Platinenumrandung
Bestückungsdruck Top
Bestückungsdruck Bottom
Bauteilursprung Top
Bauteilursprung Bottom
Bauteilname Top
Bauteilname Bottom

Bohrungen
Löcher
Fräzung

Vorgehensweise beim Layouten

- Alle Bauteile auf die Platine (Board) platzieren
- Platinengröße an Platzbedarf anpassen
- Bauteile so platzieren, dass möglichst wenig Überschneidungen der Airwires entstehen
- Pin- oder Gateswap kann sinnvoll sein
- Schaltplan wird nicht geschlossen (Konsistenz)!!!

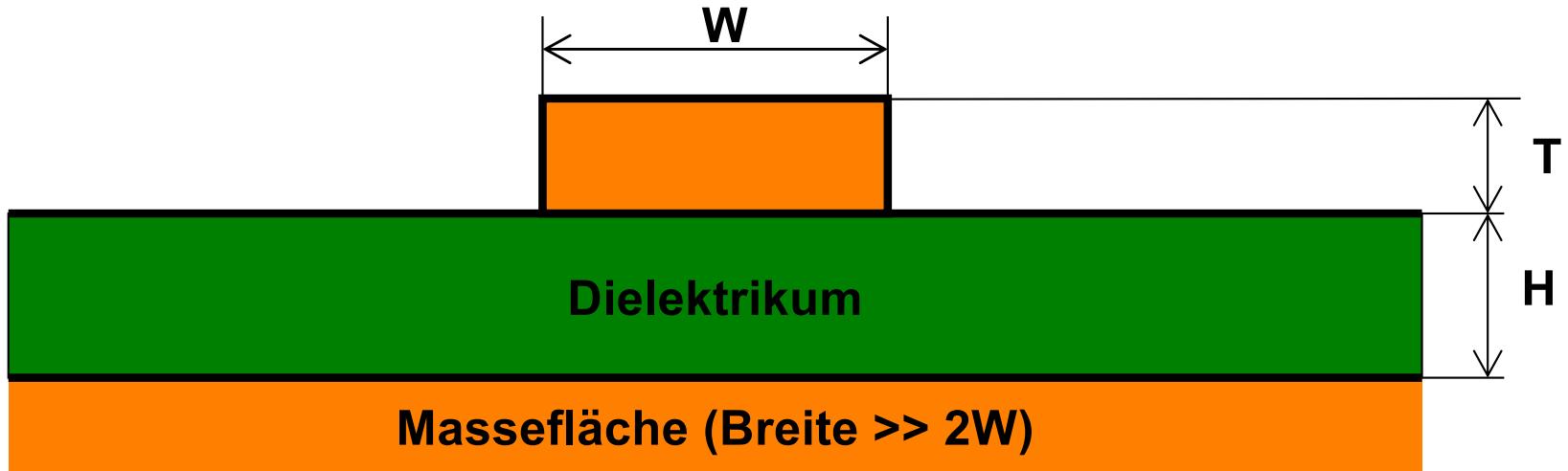
Übung

- **Erstellen Sie den Schaltplan des Zählers**
- **Erstellen Sie eine Materialliste für die benötigten Bauteile**
- **Erstellen Sie aus dem Schaltplan ein Board**
- **Layouten Sie das Board mit den Randbedingungen**
 - Einseitig (nur Bottom-Layer)
 - Board so klein wie möglich

Leistungswellenwiderstand

- In der Hochfrequenztechnik muss die Impedanz einer Leitung berücksichtigt werden
- Gebräuchliche Leitungsarten:
 - Microstrip-Leitung
 - Coplanar-Leitung
 - Strip Line

Beispiel: Microstrip-Leitung



W = Leiterbahnbreite

= 30 mils

T = Leiterbahnstärke

= 1.4 mils (1oz Cu = 35µm)

H = Abstand zur Massefläche

= 17 mils (ca. 0.44mm)

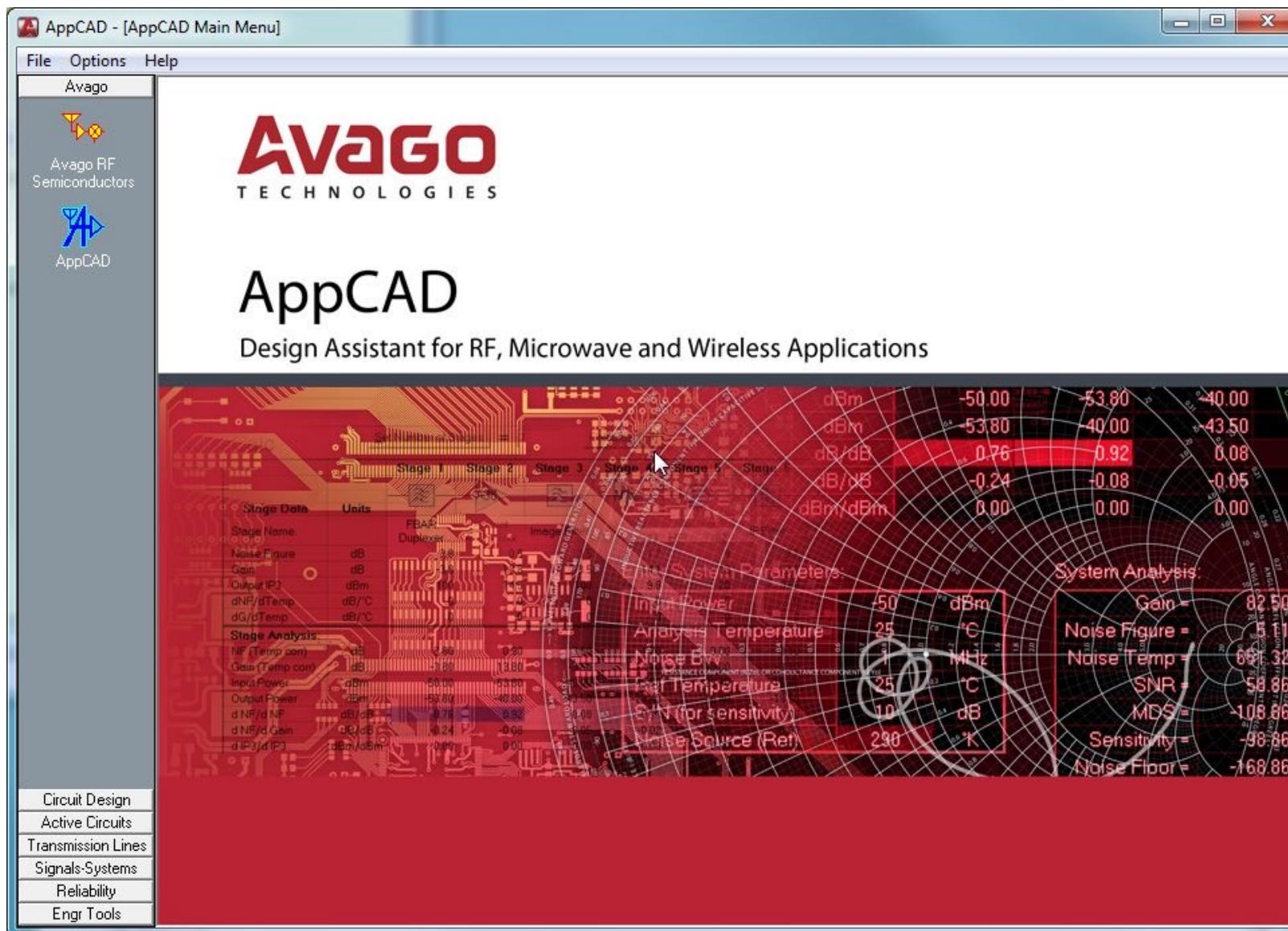
ϵ_r = rel. Dielektrizitätskonstante

= 4.6 (FR4)

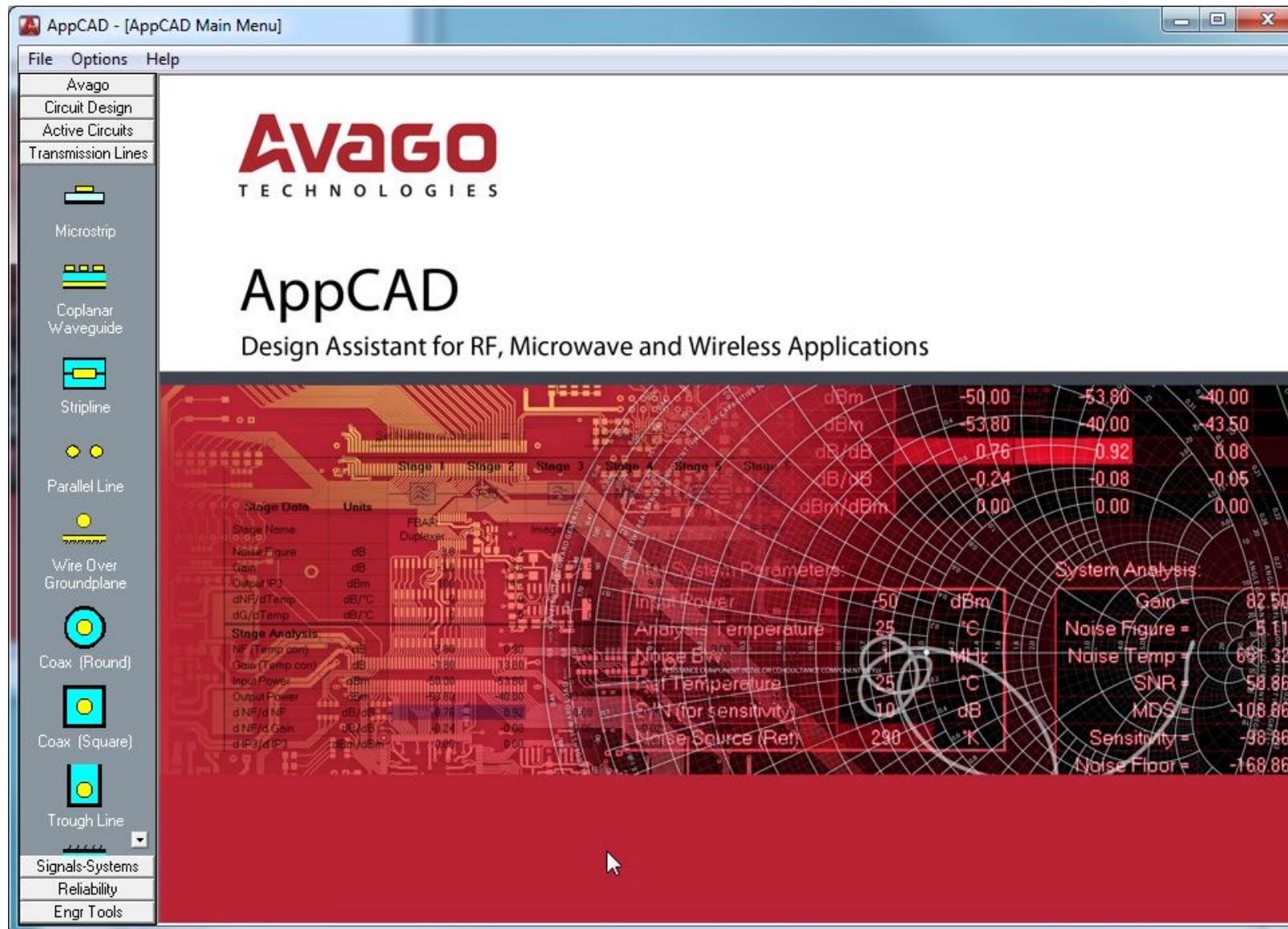
Ergebnis: $Z = 50,05\Omega$

Berechnungen sind aufwendig!

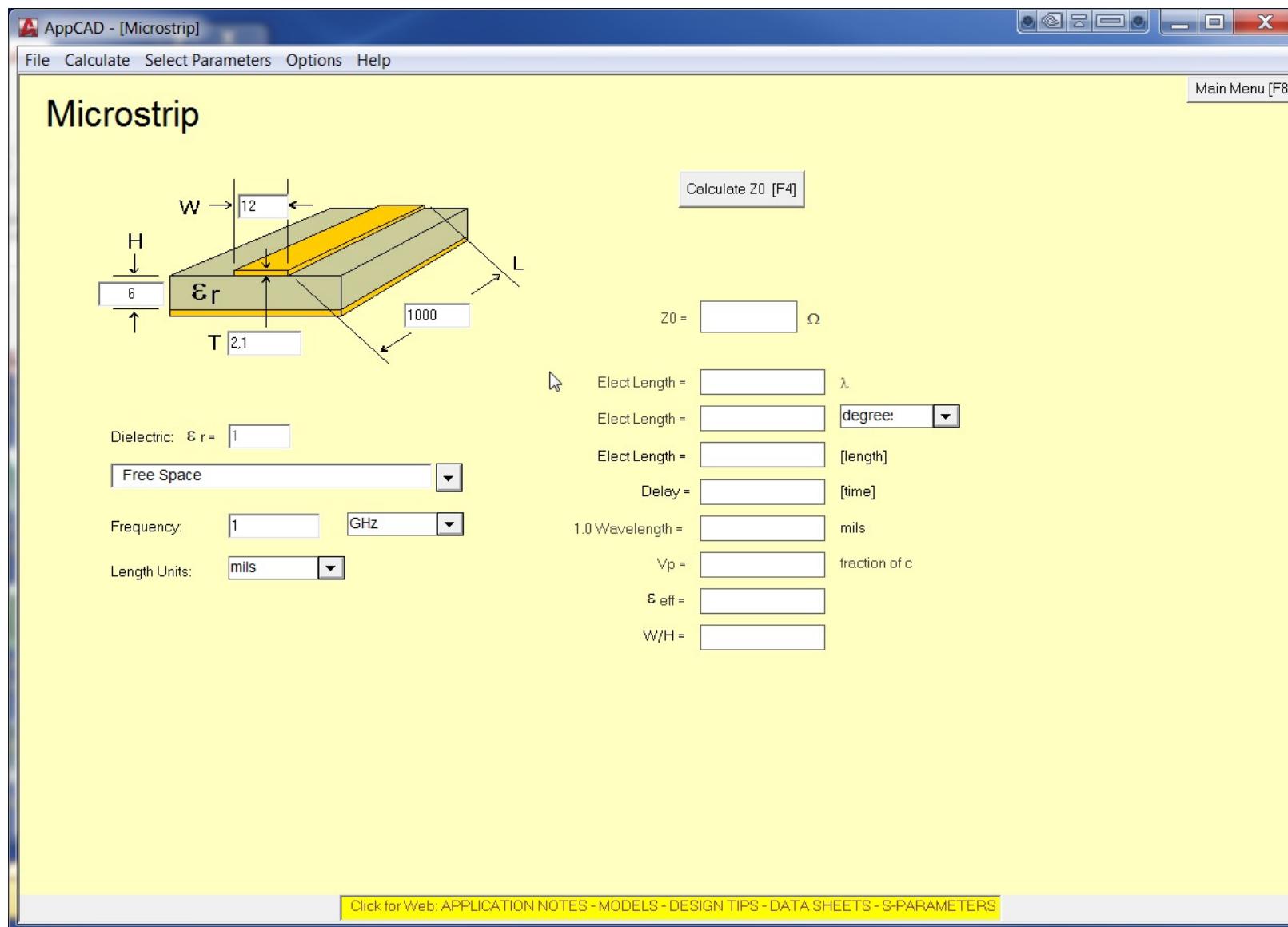
Programm AppCAD von Avago



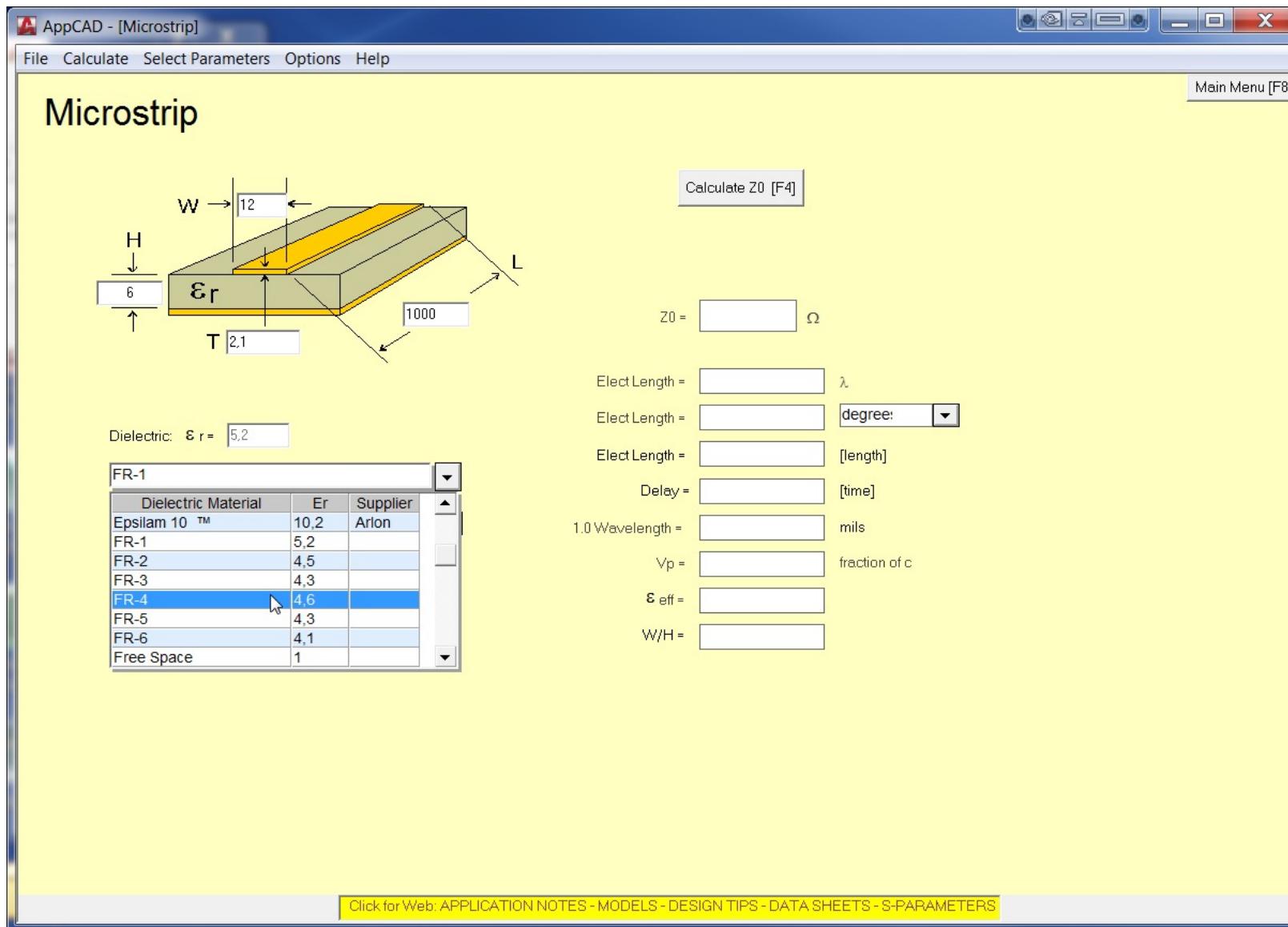
Programm AppCAD von Avago



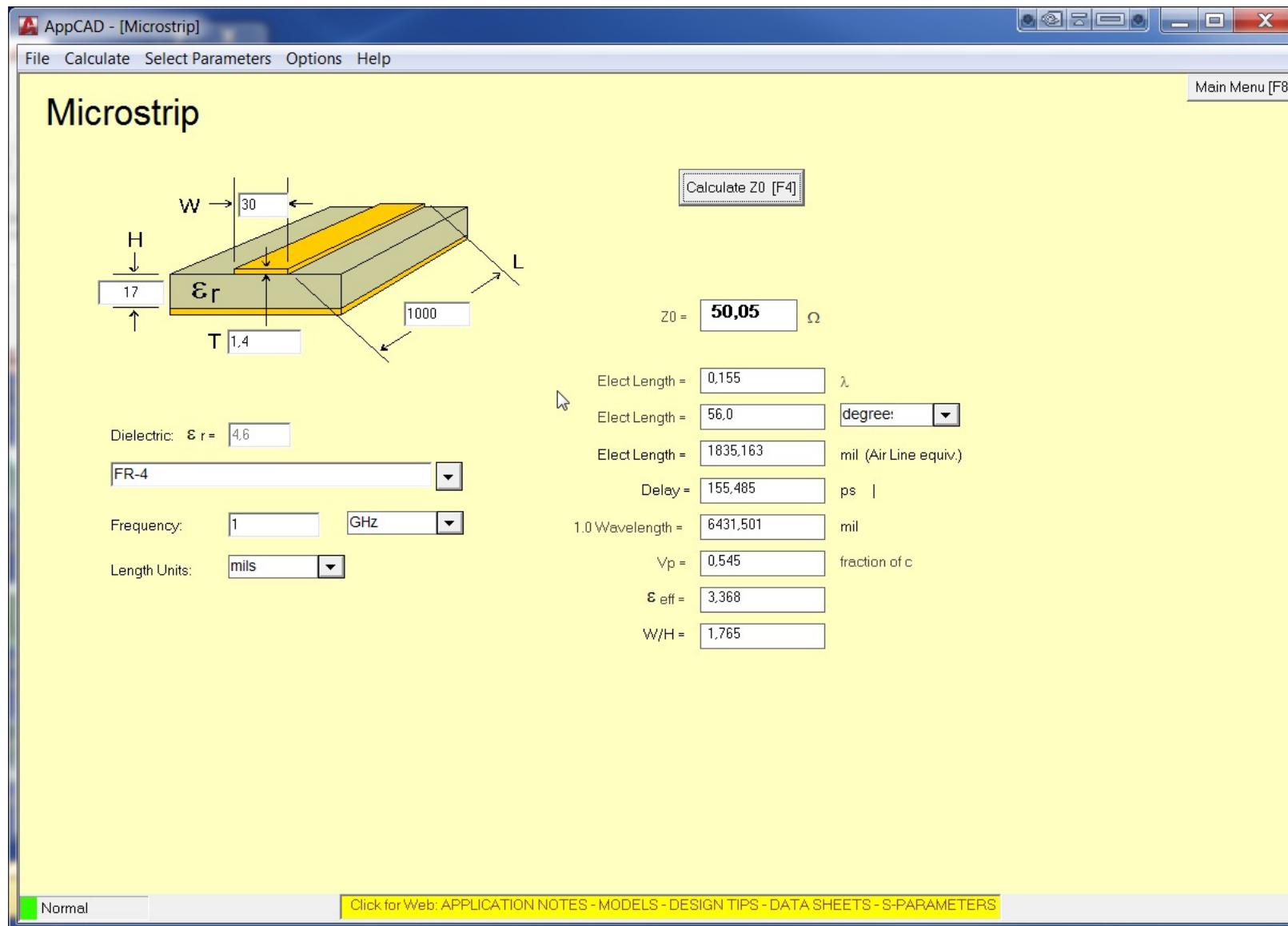
Microstrip-Leitung berechnen



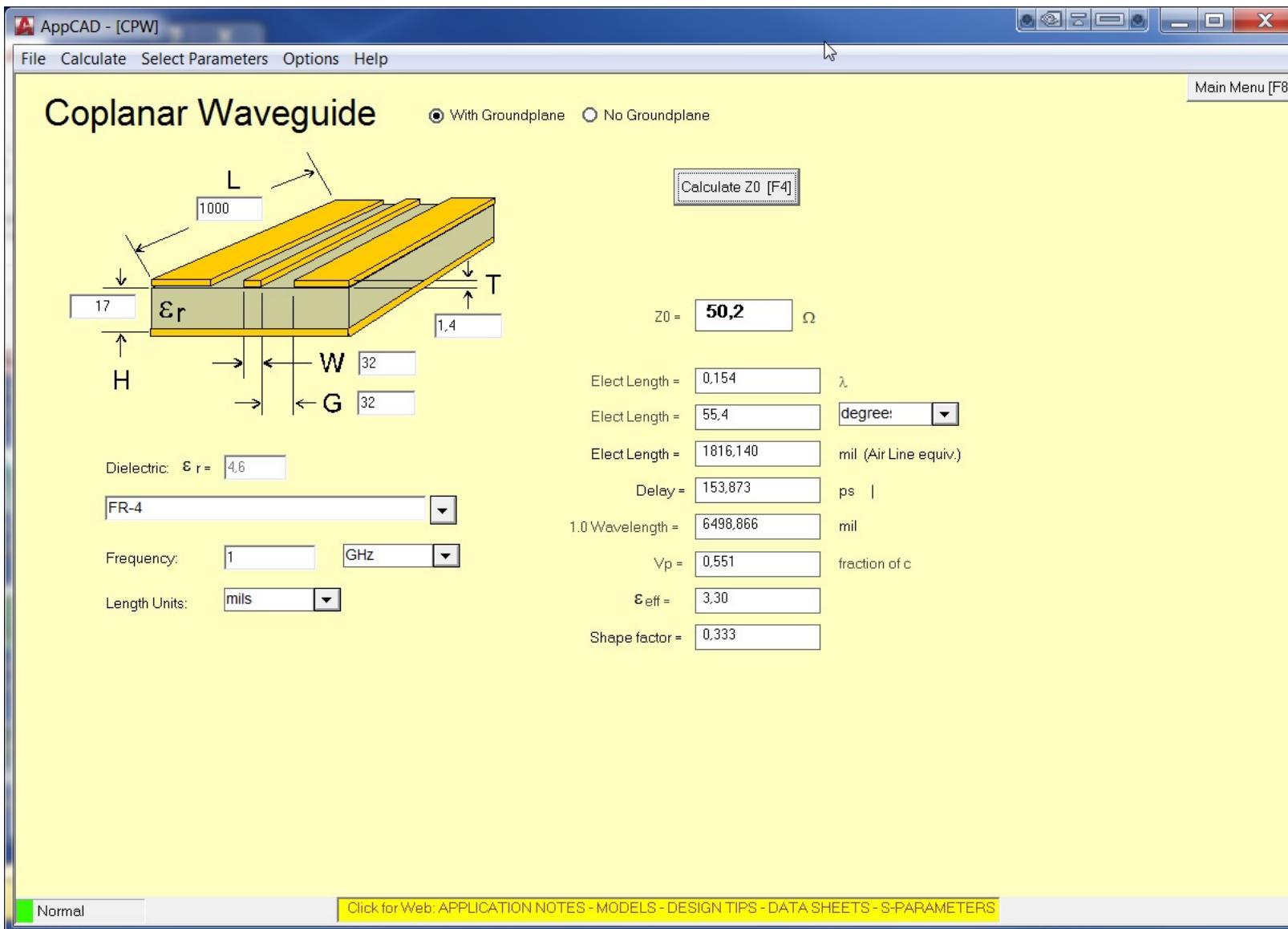
Materialparameter sind hinterlegt



Microstrip-Leitung Ergebnis



Berechnung Coplanar-Leitung

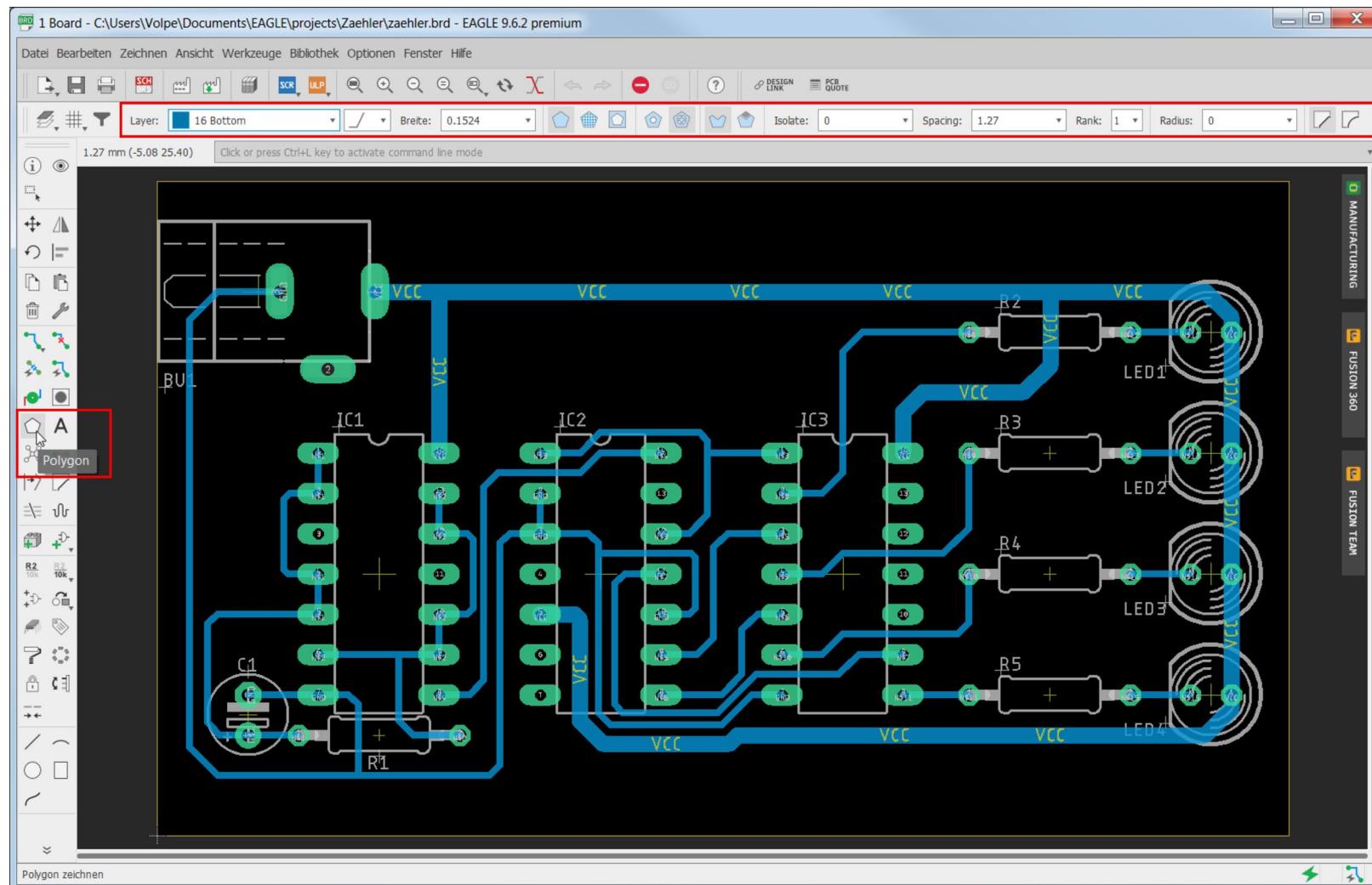


Strombelastbarkeit von Leiterbahnen auf FR4 (1)

Schicht-stärke <i>Thickness</i>	Leiterbahn-breite <i>Track-width</i>	Max. Strom in Abhängigkeit zur Temperaturerhöhung. <i>Max. current depending on temperature increase.</i>				
		10 °C	20 °C	30 °C	45 °C	60 °C
35 µm	0,25 mm	0,5 A	0,8 A	1,0 A	1,3 A	1,6 A
	0,50 mm	1,0 A	1,6 A	2,0 A	2,5 A	3,0 A
	1,00 mm	2,2 A	3,0 A	3,6 A	4,2 A	4,8 A
	1,50 mm	3,0 A	3,8 A	4,6 A	5,3 A	6,5 A
	2,00 mm	3,8 A	5,0 A	6,5 A	7,5 A	8,5 A
	3,00 mm	4,5 A	6,5 A	8,0 A	9,5 A	11,0 A
	4,00 mm	6,0 A	8,5 A	10,0 A	12,0 A	13,5 A
	5,00 mm	7,0 A	10,0 A	12,0 A	14,5 A	16,0 A
	6,00 mm	7,5 A	11,0 A	14,0 A	16,0 A	18,0 A
	8,00 mm	9,0 A	14,0 A	17,0 A	20,0 A	22,5 A
	10,00 mm	10,0 A	16,0 A	20,0 A	23,0 A	26,0 A
70 µm	0,25 mm	1,0 A	1,6 A	2,0 A	2,5 A	3,0 A
	0,50 mm	2,0 A	2,8 A	3,5 A	4,0 A	4,5 A
	1,00 mm	3,5 A	4,7 A	5,8 A	6,8 A	8,0 A
	1,50 mm	4,5 A	6,2 A	7,5 A	9,0 A	10,5 A
	2,00 mm	6,0 A	8,5 A	10,0 A	12,0 A	13,5 A
	3,00 mm	7,5 A	11,0 A	14,0 A	16,0 A	18,0 A
	4,00 mm	9,0 A	13,5 A	17,0 A	19,0 A	22,0 A
	5,00 mm	10,0 A	15,0 A	19,0 A	23,0 A	25,0 A
	6,00 mm	11,0 A	18,0 A	22,0 A	26,0 A	28,0 A

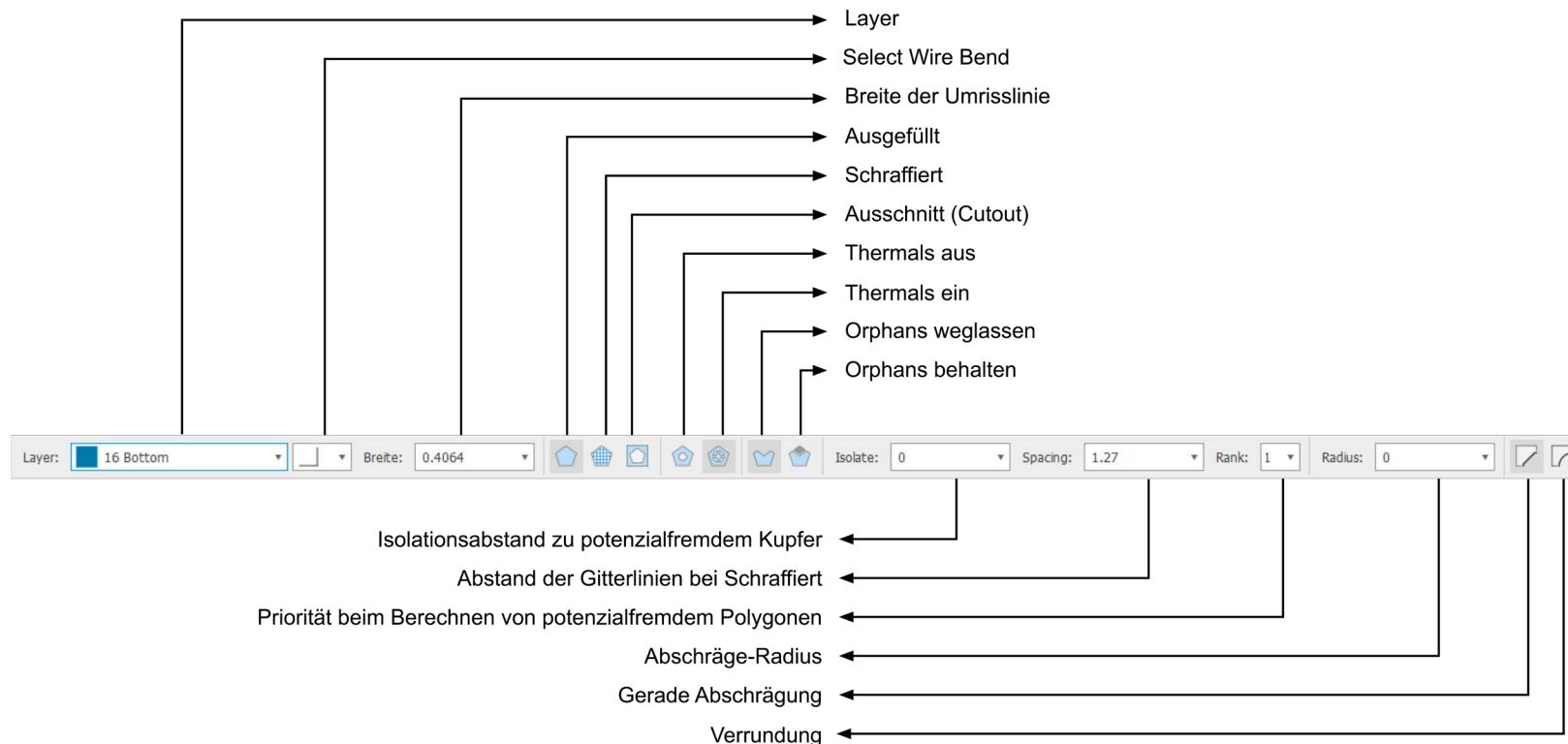
Quelle: PCB-Pool

Masste-Polygone (1)

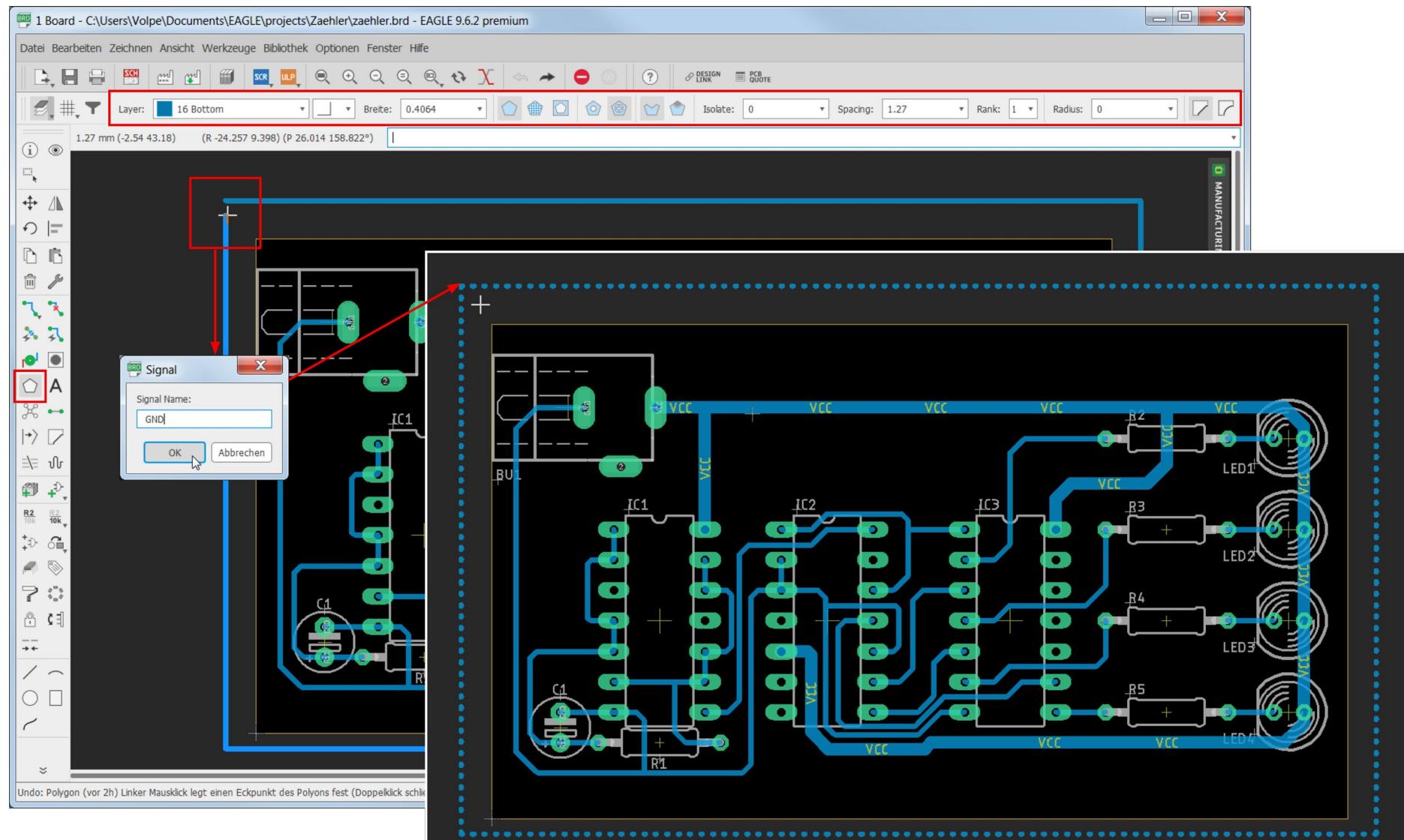


- **sinnvoll bei HF-Schaltungen (z.B. Leitungswellenwiderstand)**
- **niederohmige Verbindungen (z.B. Versorgungslayer)**

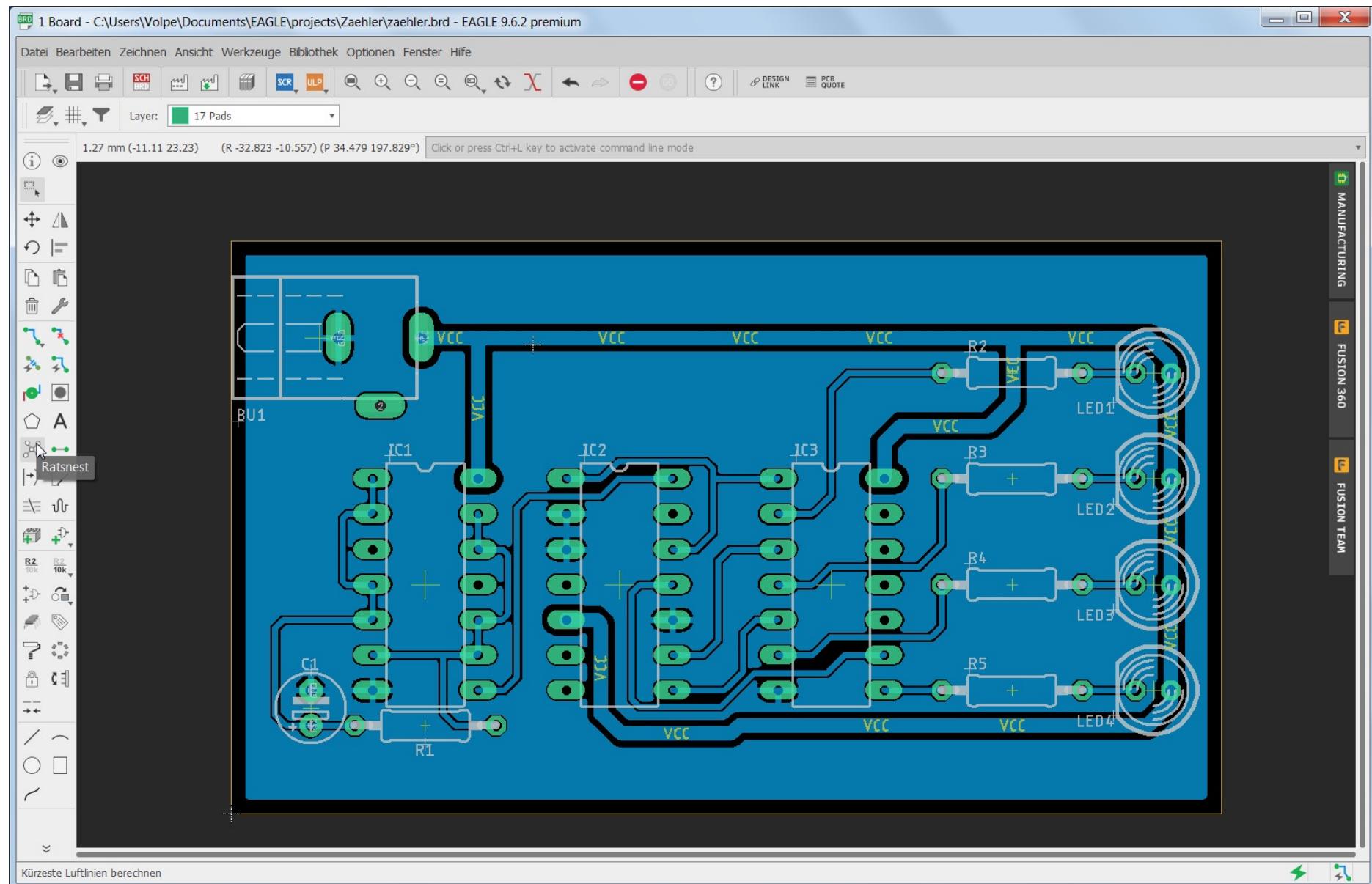
Masse-Polygone (2): Parameterleiste



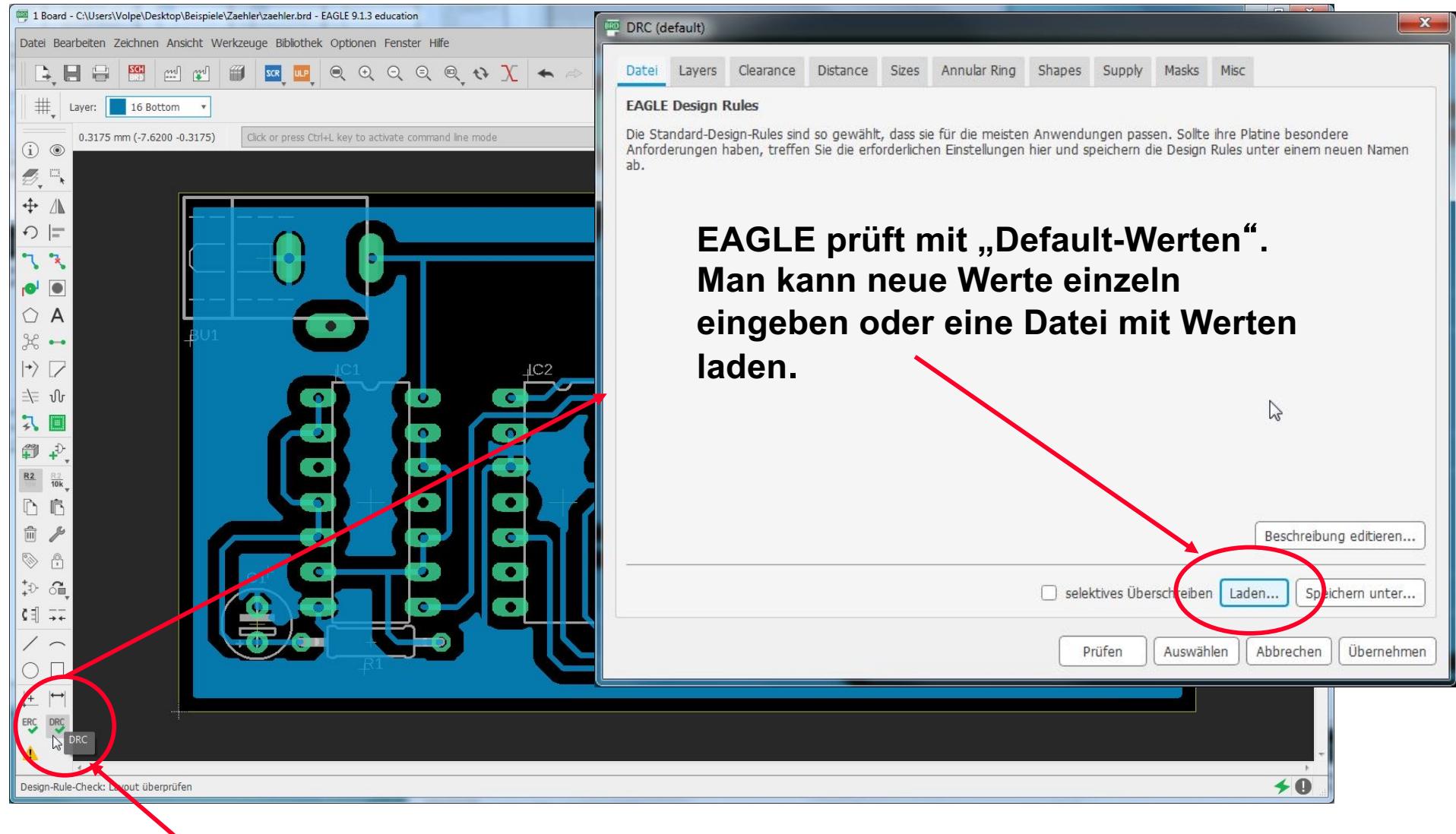
Masse-Polygone (3)



Masse-Flächen (3)

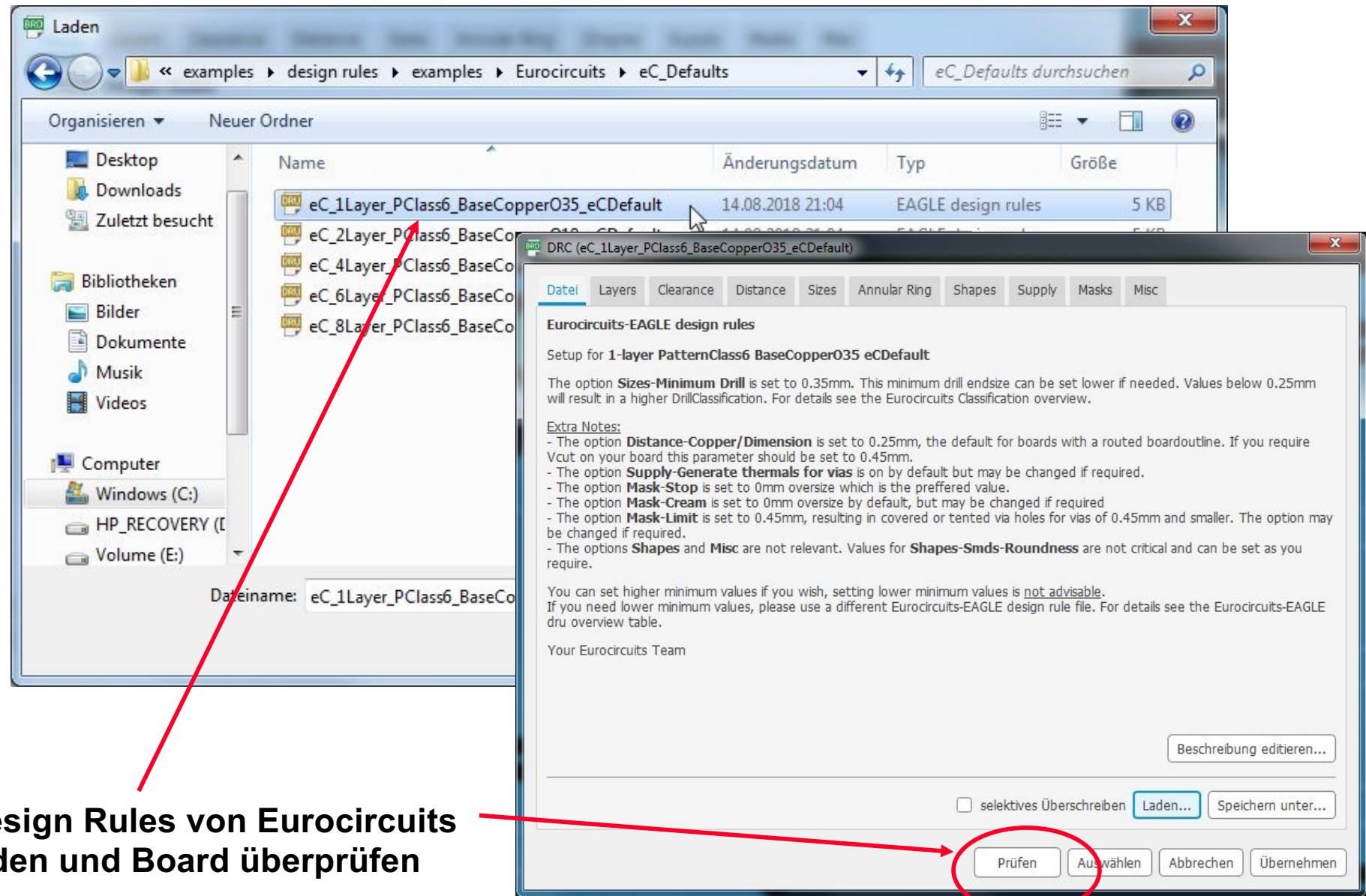


Design Rule Check (DRC)

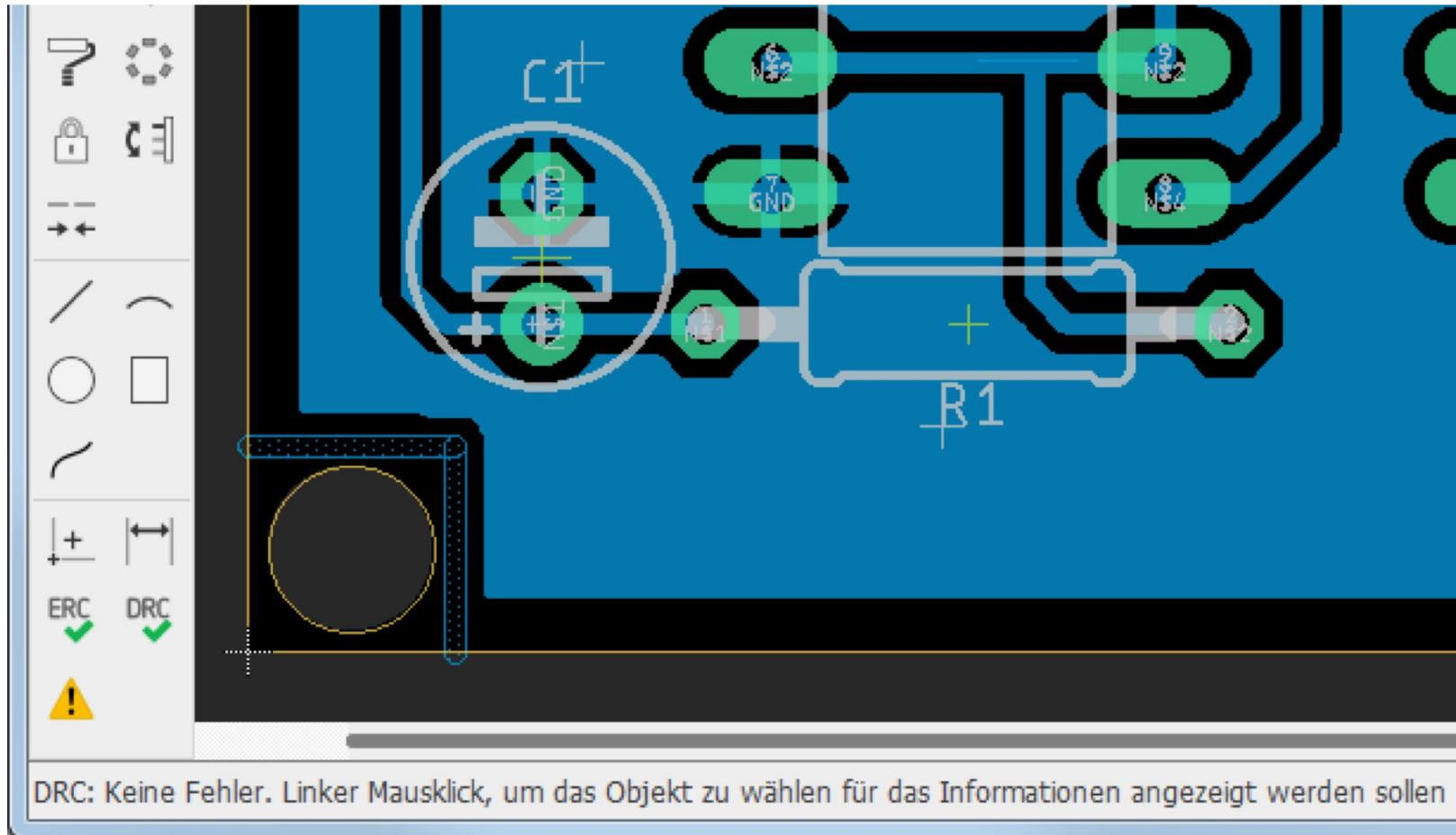


**DRC überprüft die Einhaltung der Technologieparameter
Wichtig: Müssen mit dem Platinenlieferanten abgestimmt sein!**

Design Rules laden und prüfen



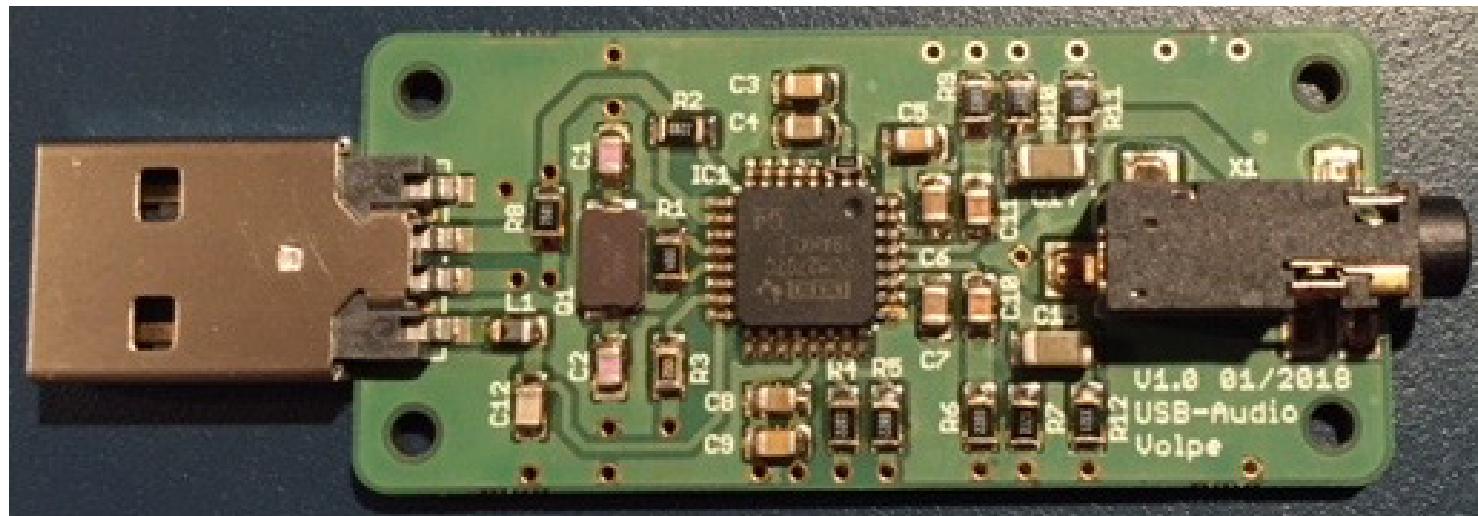
Ergebnis der Überprüfung



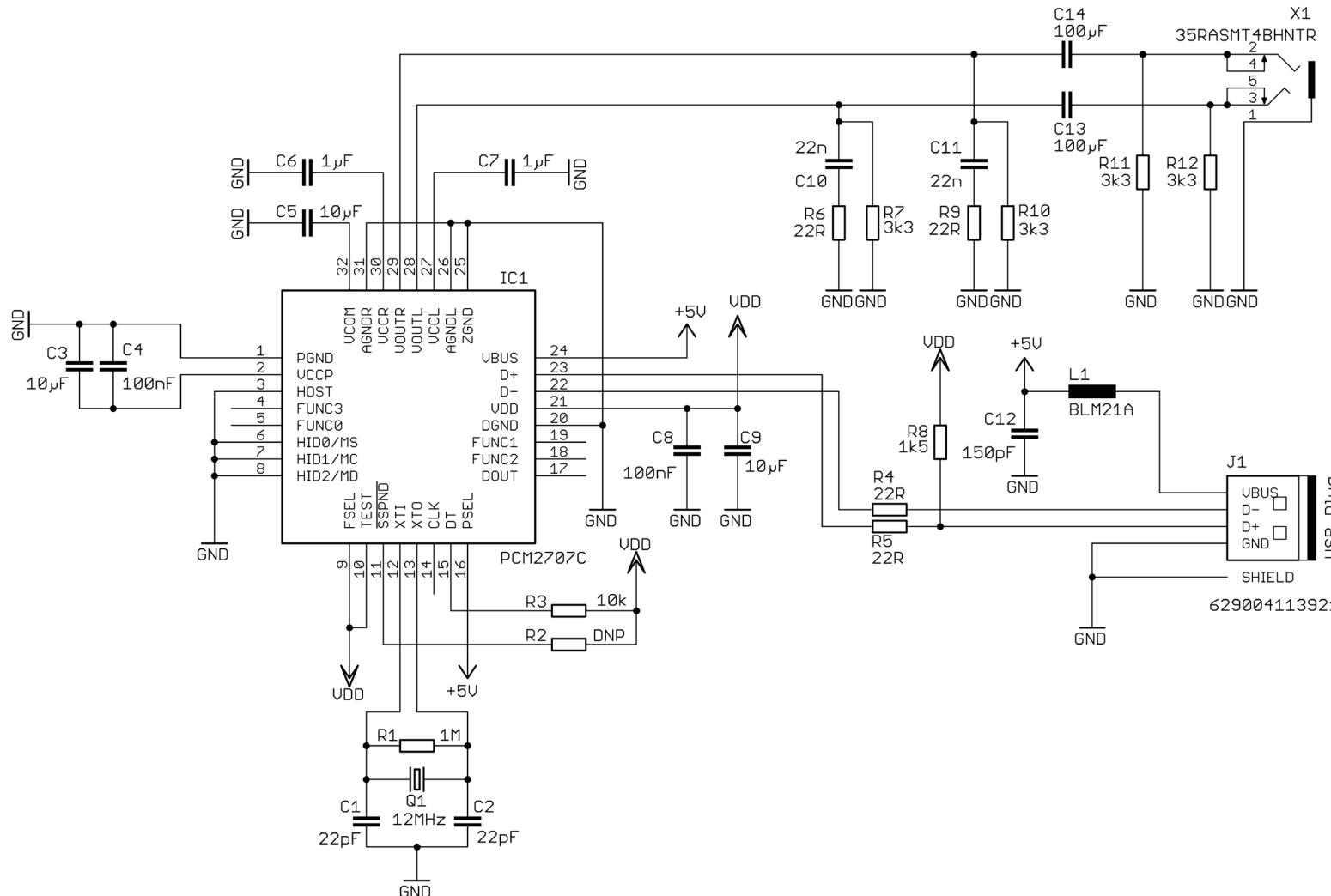
Übung

- Erstellen Sie ein Masse-Polygon in der Datei `zaehler.brd`.
- Führen Sie einen DRC durch mit den Design-Rules des Platinenlieferanten.
- Beseitigen Sie etwaige Fehler entweder durch Entschärfung der Netzklasse „Power“ oder überarbeiten Sie das Layout.
- Verwenden Sie das ULP `cmd-change-class`, wenn nötig.

USB-Sound-Stick

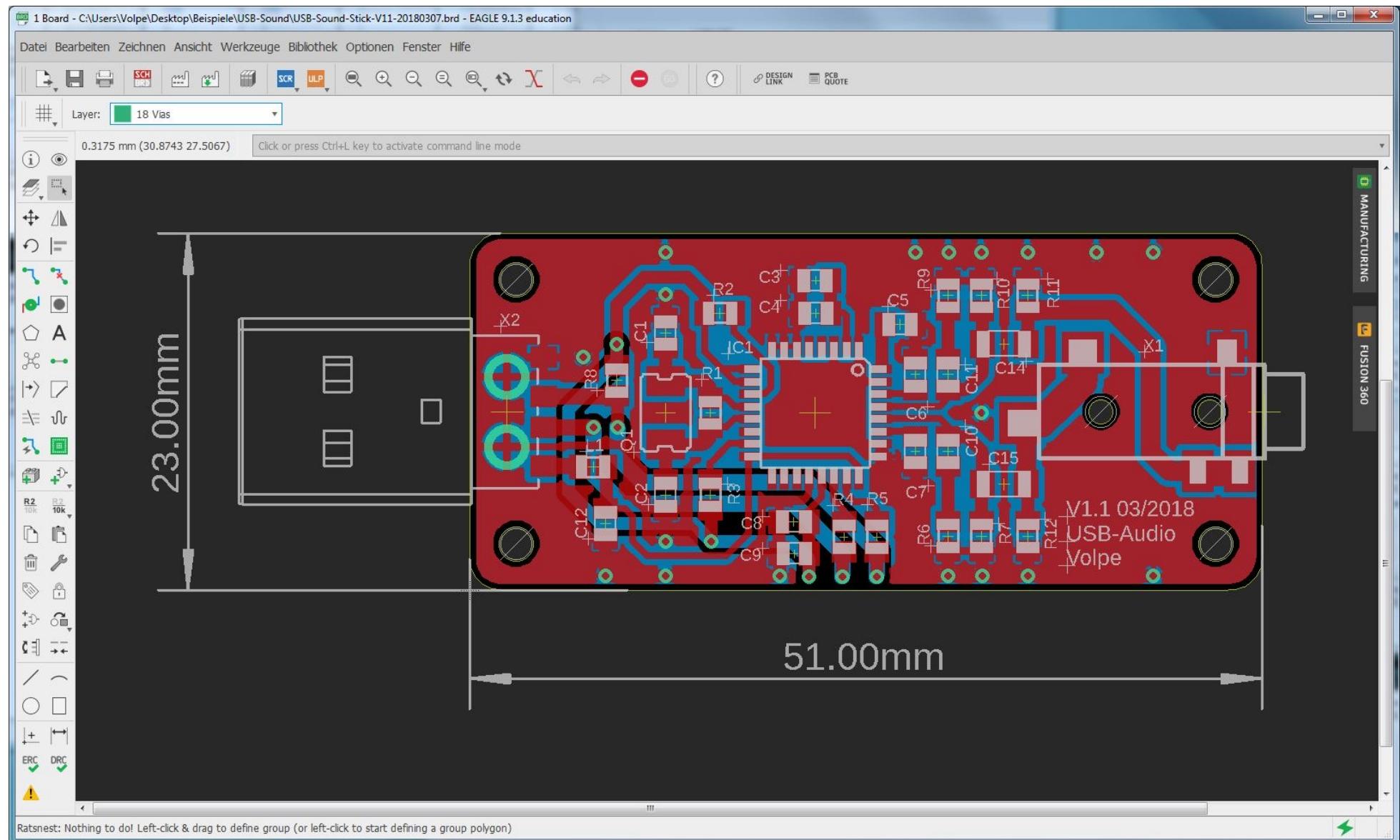


Zweites Projekt: USB-Sound-Stick Schaltplan

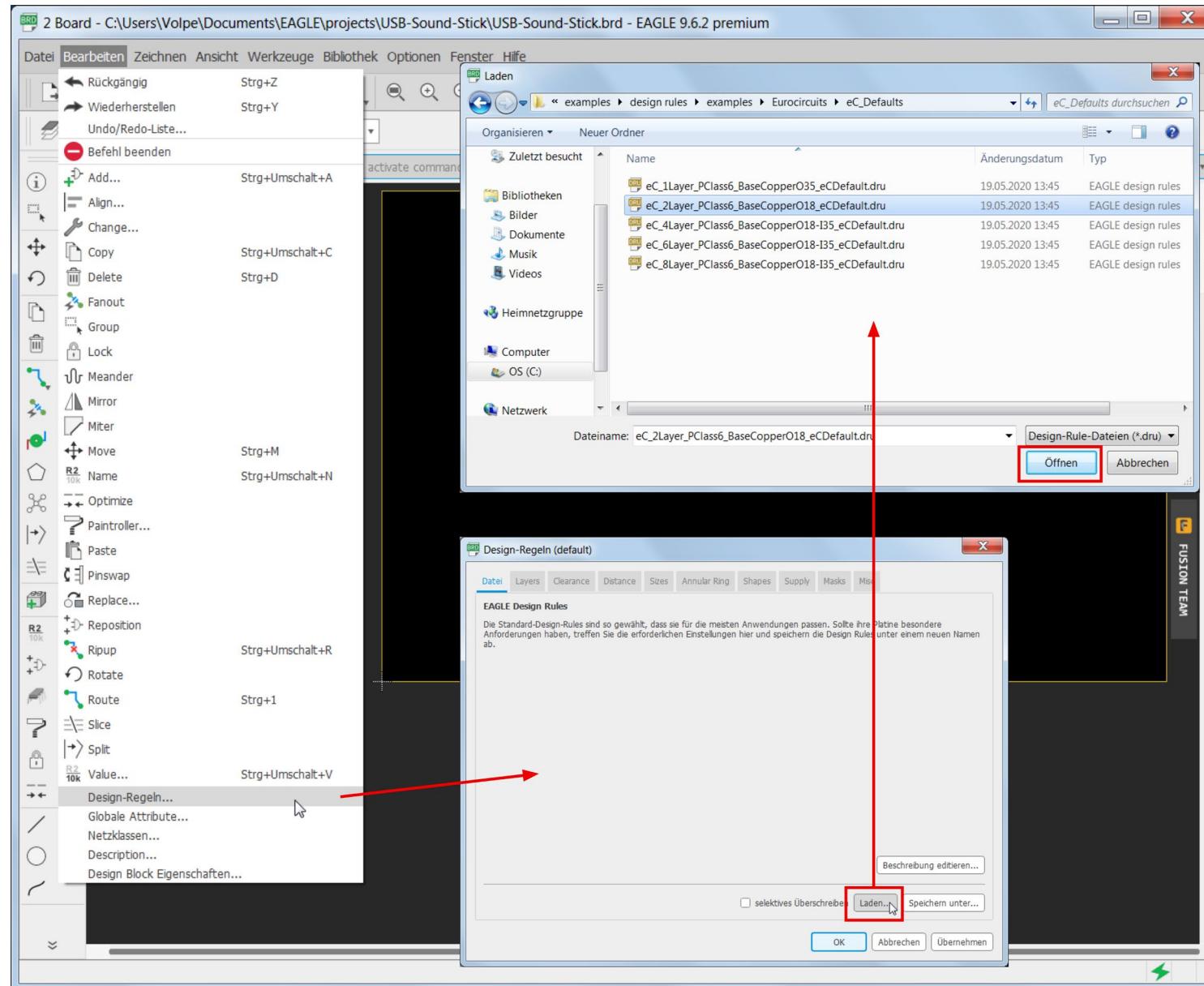


Alle benötigten Bauteile befinden sich in der Bibliothek „USB-Sound-Stick“. Mit dem Befehl „USE“ die Bibliothek „USB-Sound-Stick“ anwählen.

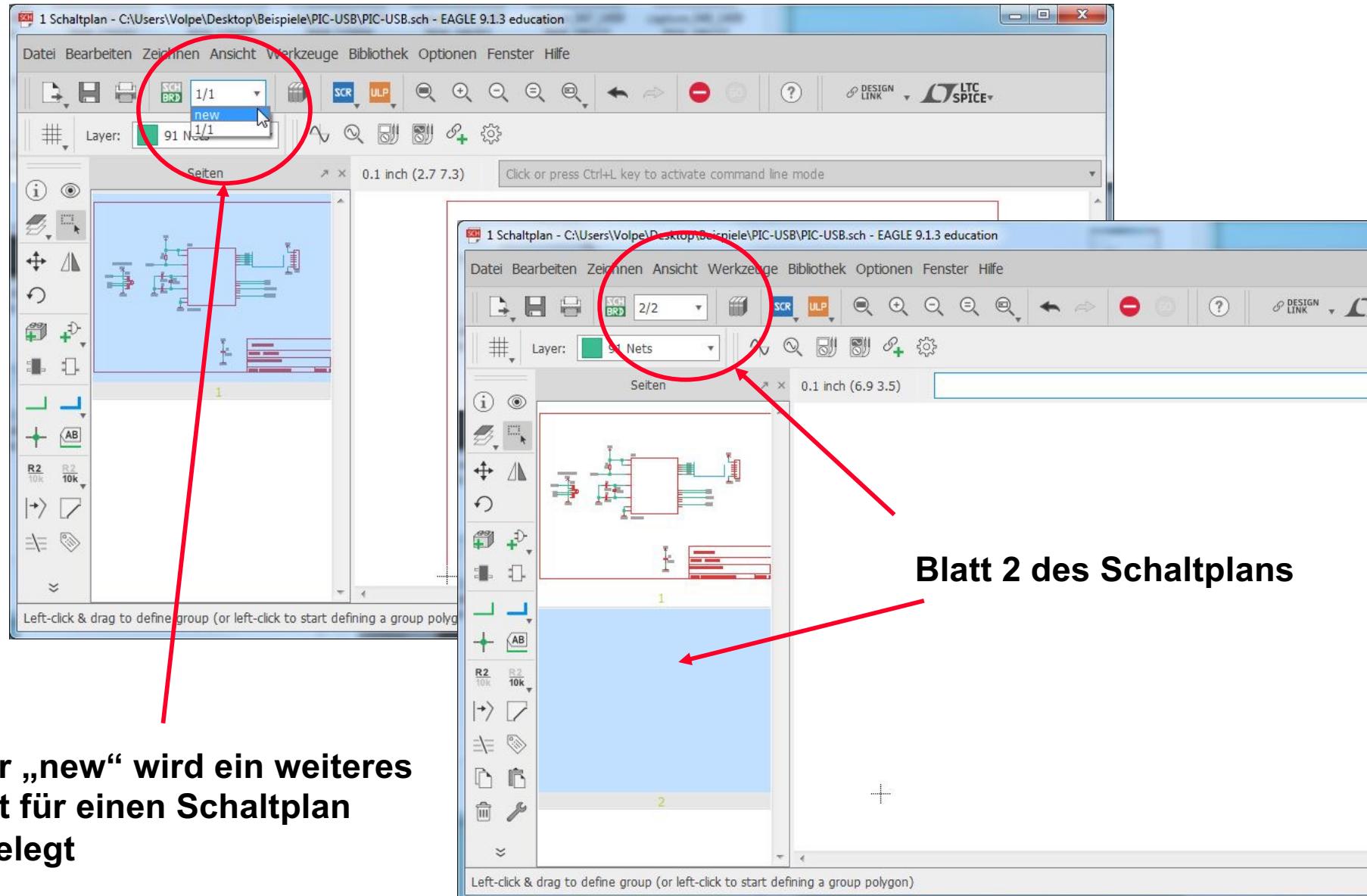
USB-Sound-Stick Layout



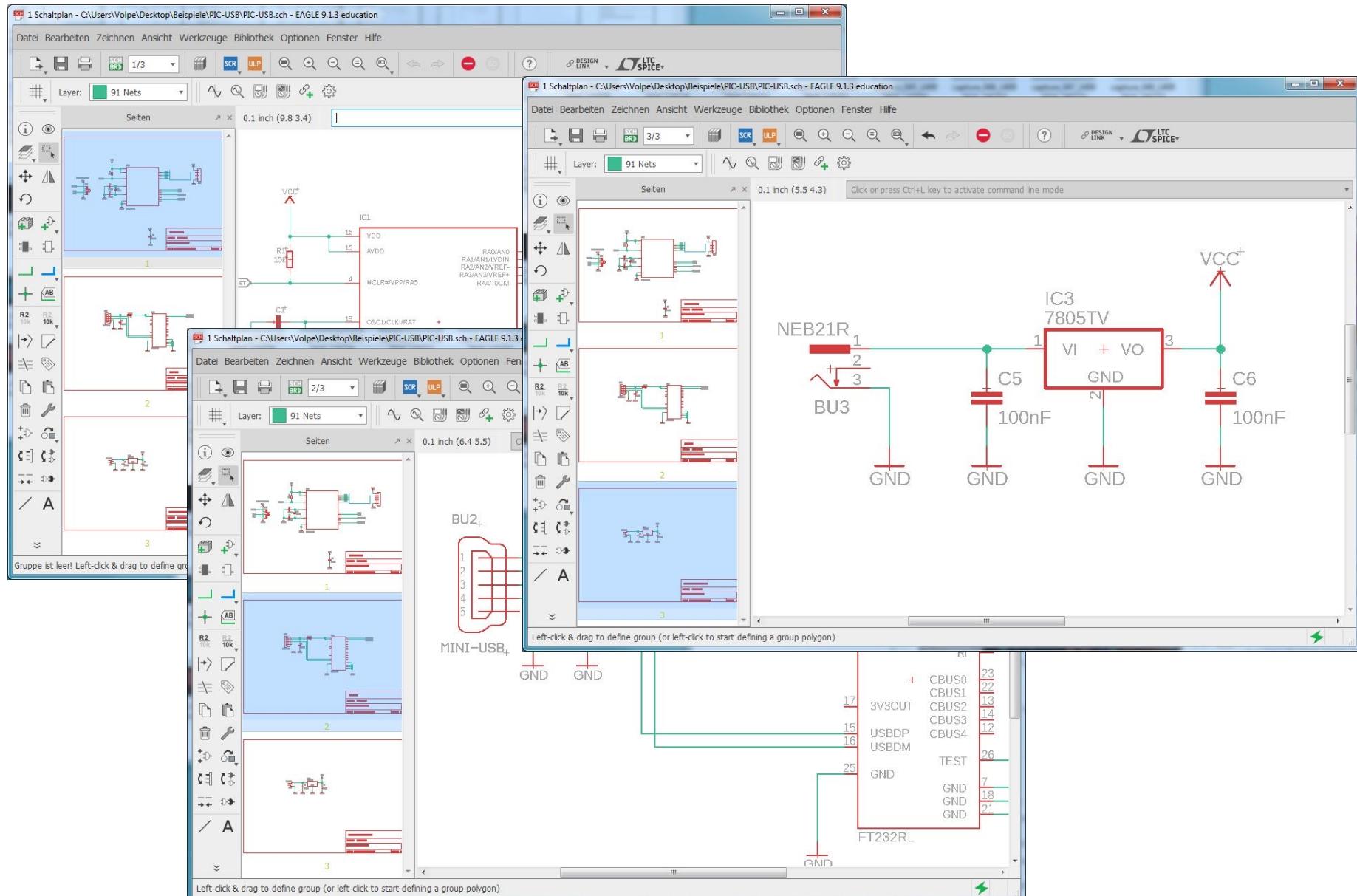
Design Rule Check: Daten laden



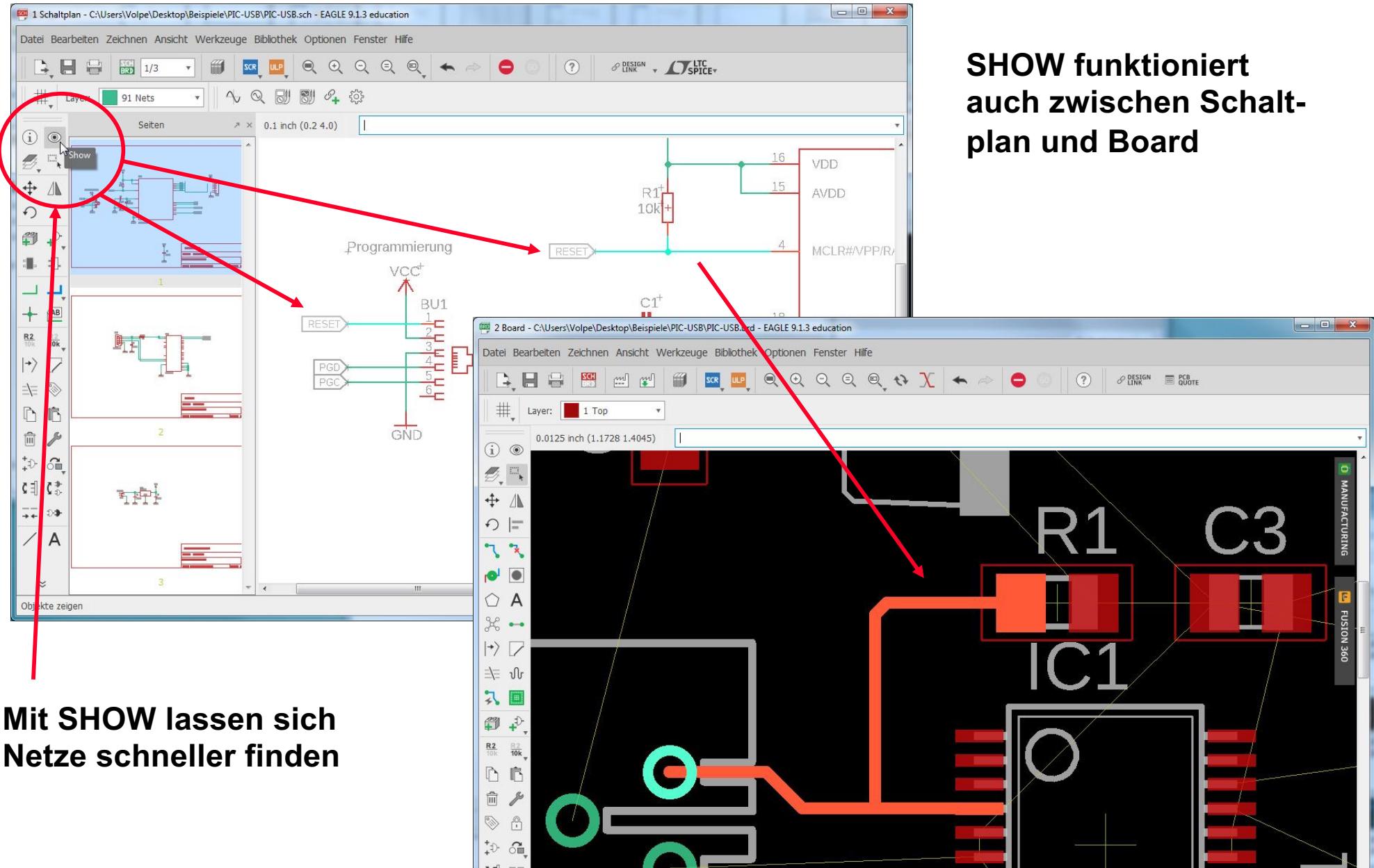
Schaltplan auf mehreren Seiten



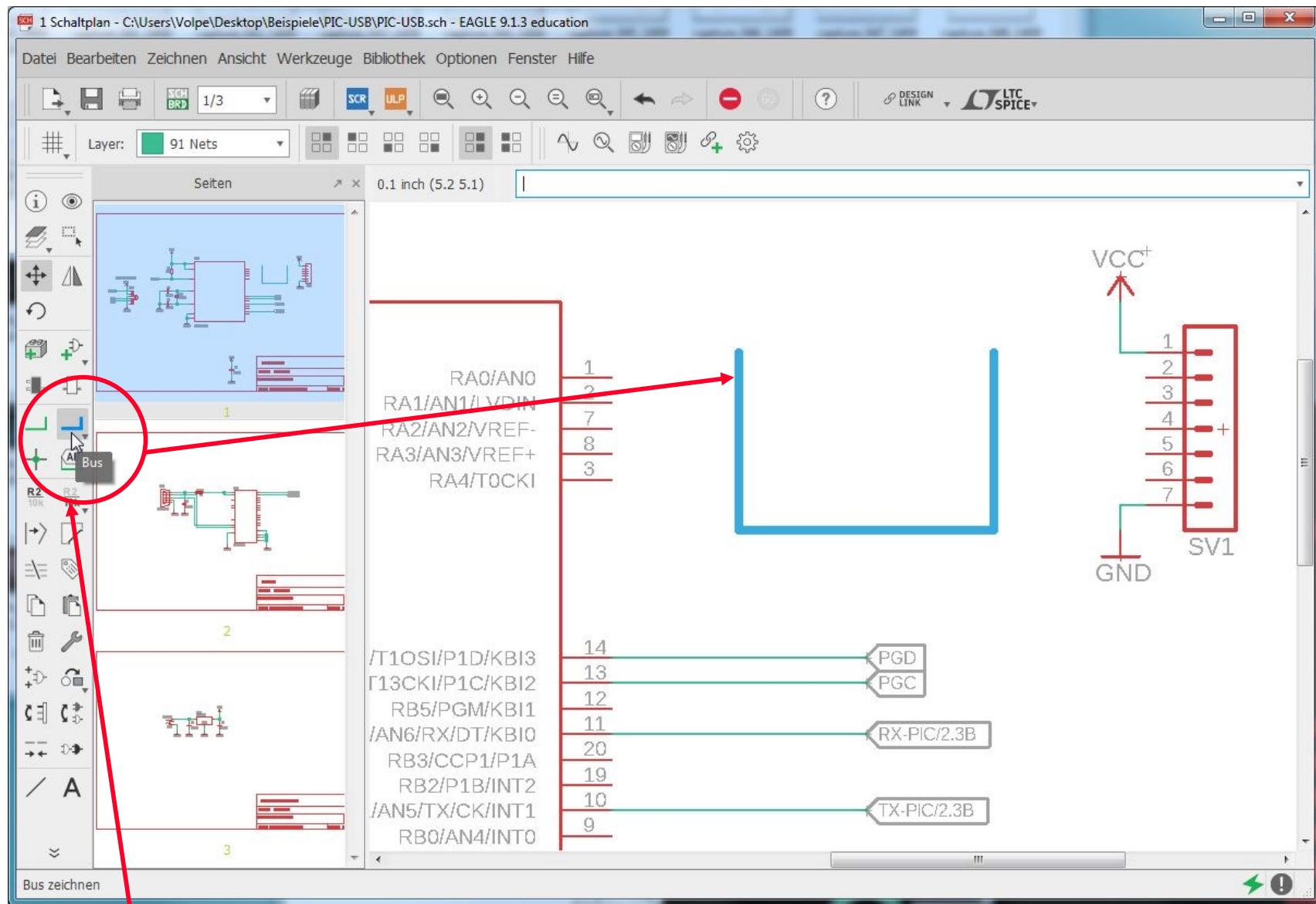
Schaltplan Seiten



Anzeigen von Netzen

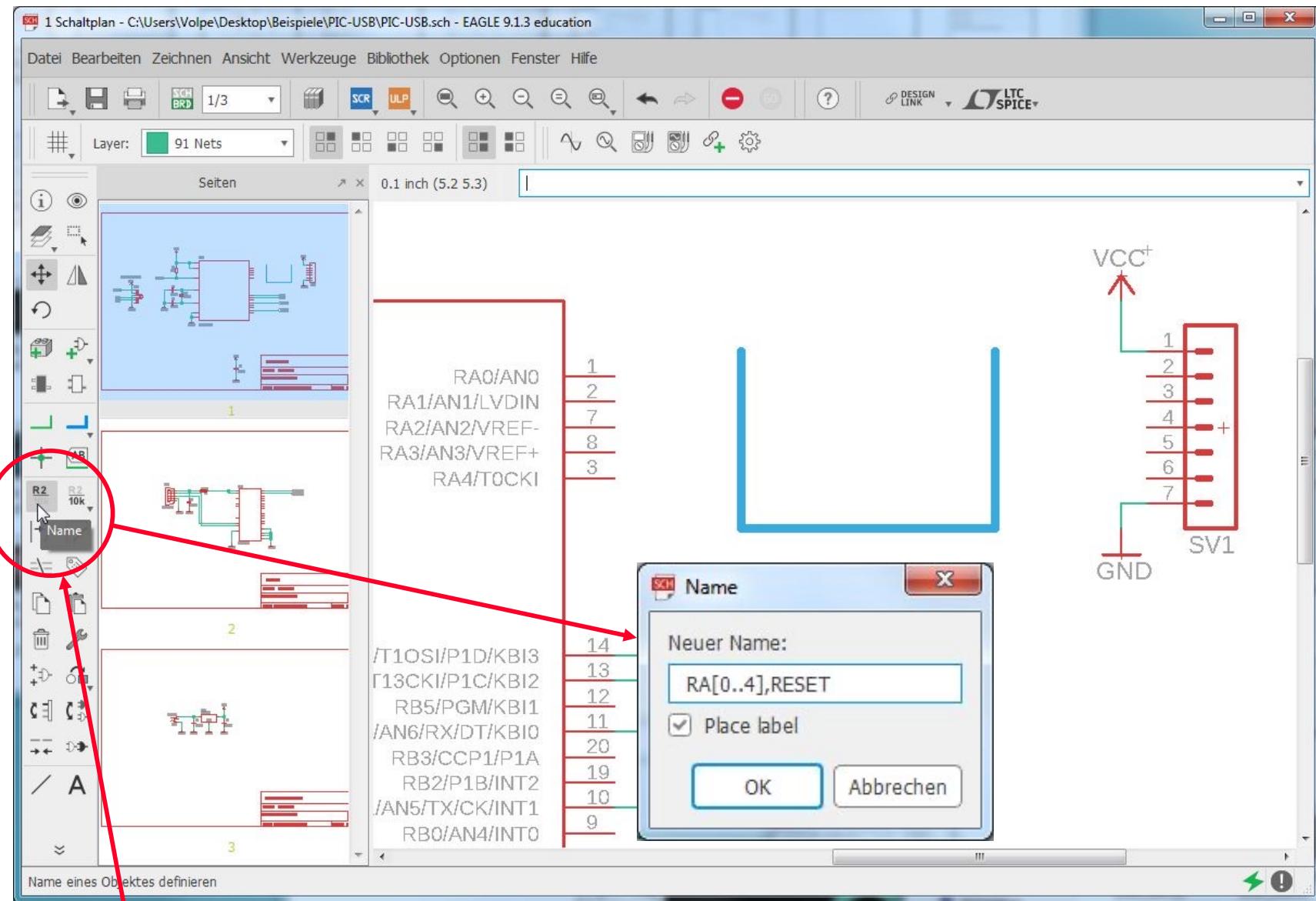


Bus definieren



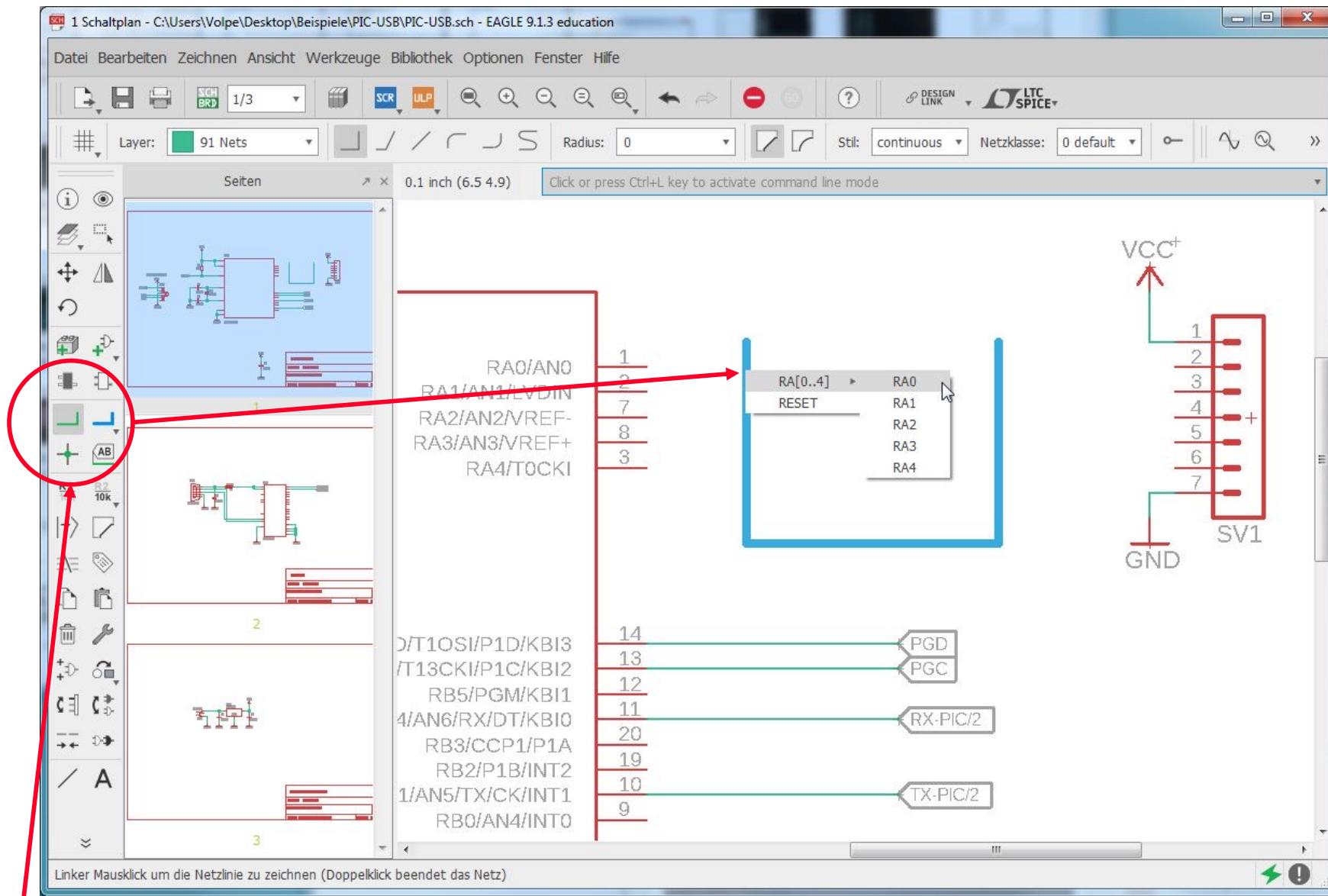
Schritt 1: Bus zeichnen

Bus Namen geben



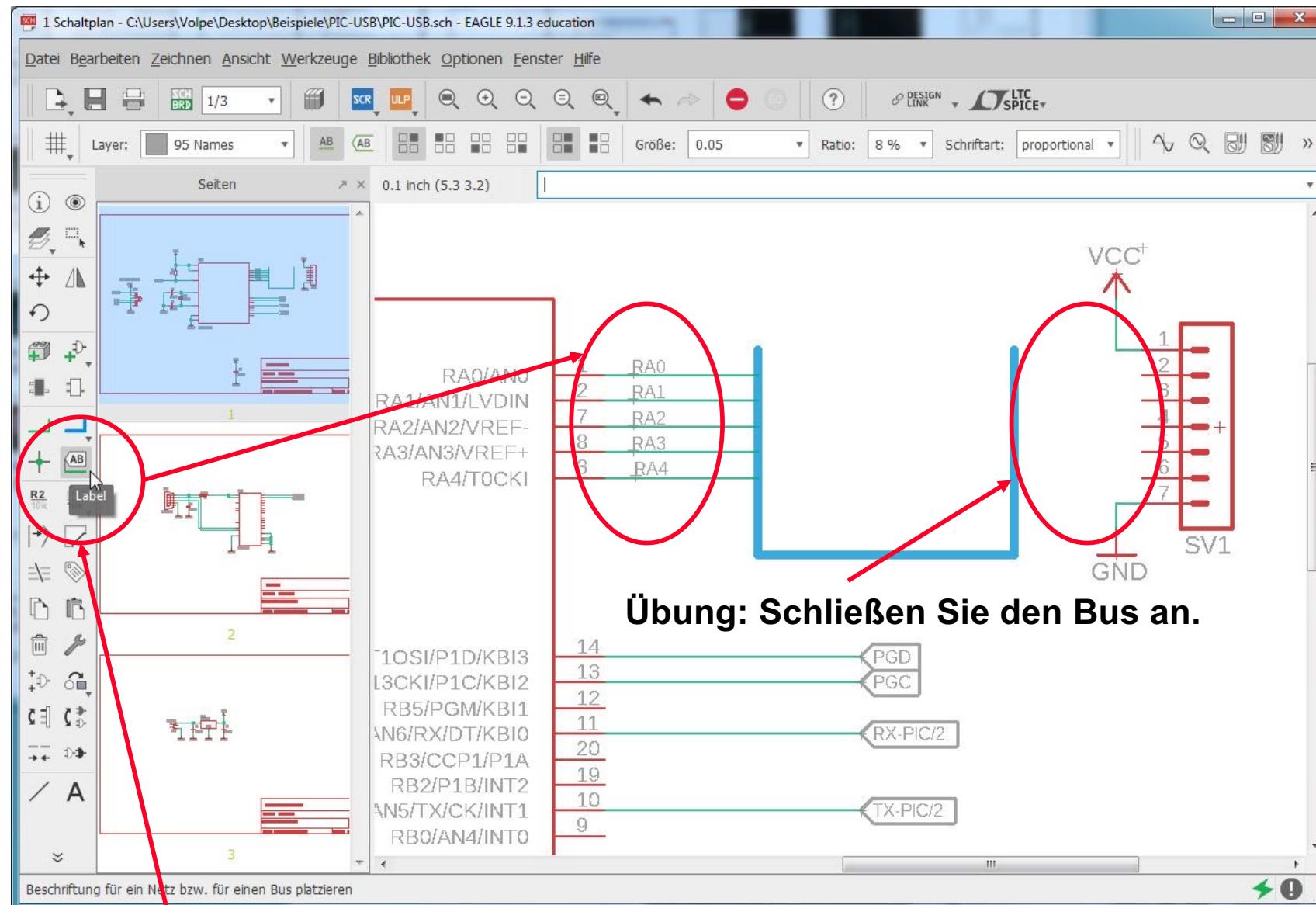
Schritt 2: Bus Namen geben

Netz aus dem Bus holen



Schritt 3: Mit NET entsprechendes Netz aus Bus holen und verbinden

Netze des Busses beschriften

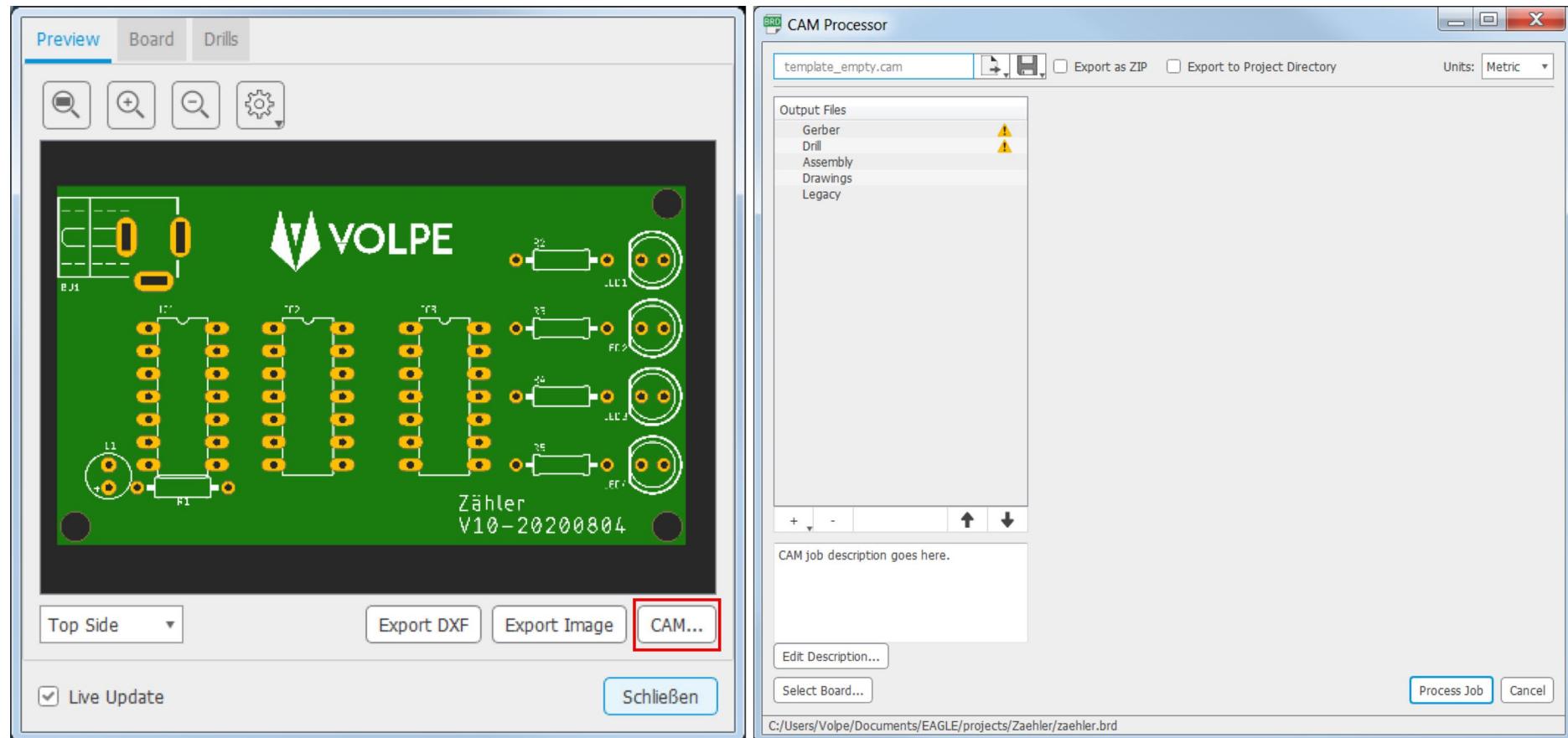


Schritt 4: Mit LABEL Netze beschriften

Übung

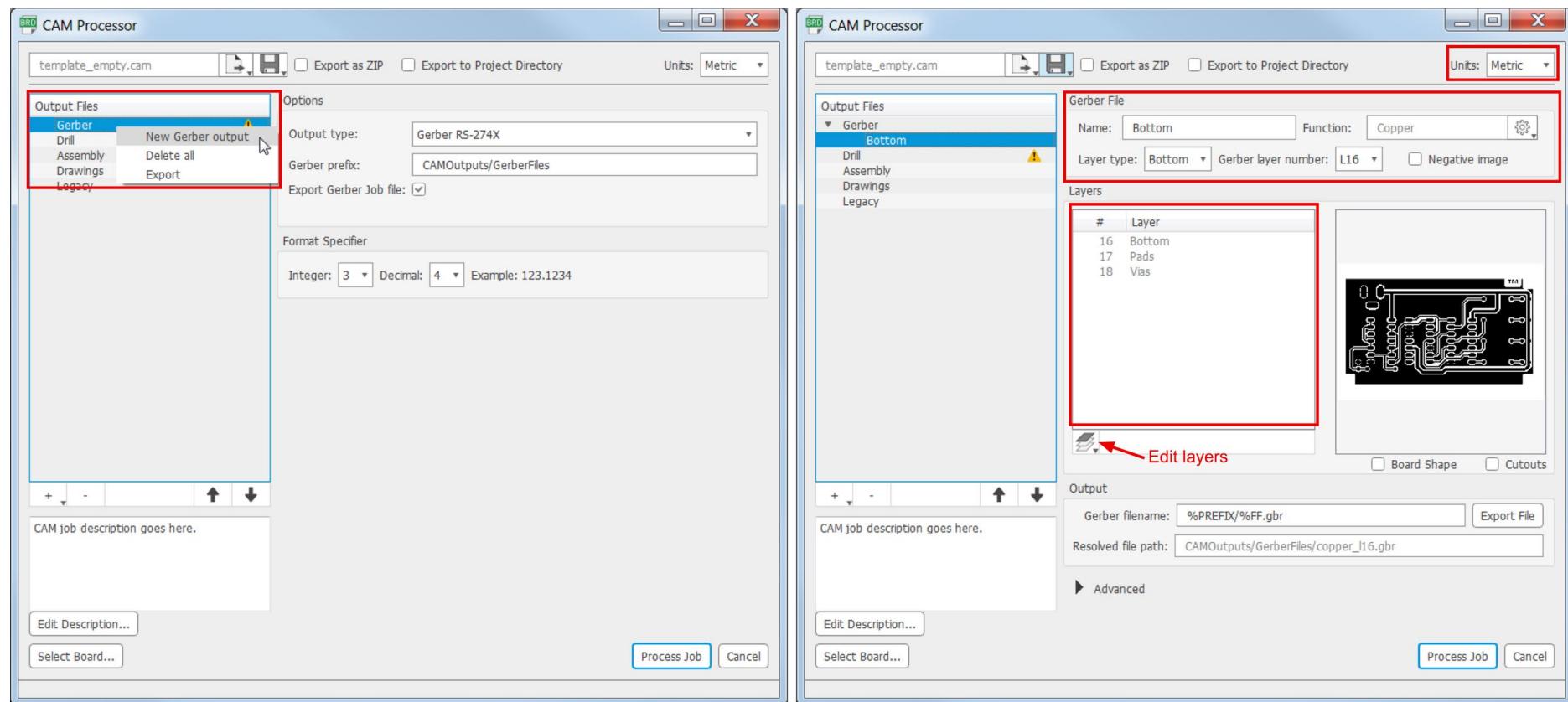
- Öffnen Sie die Datei **PIC-USB . SCH**
- Schließen Sie den Bus an den Pin-Header an
- Layouten Sie das Board

Produktionsdaten erstellen: CAM



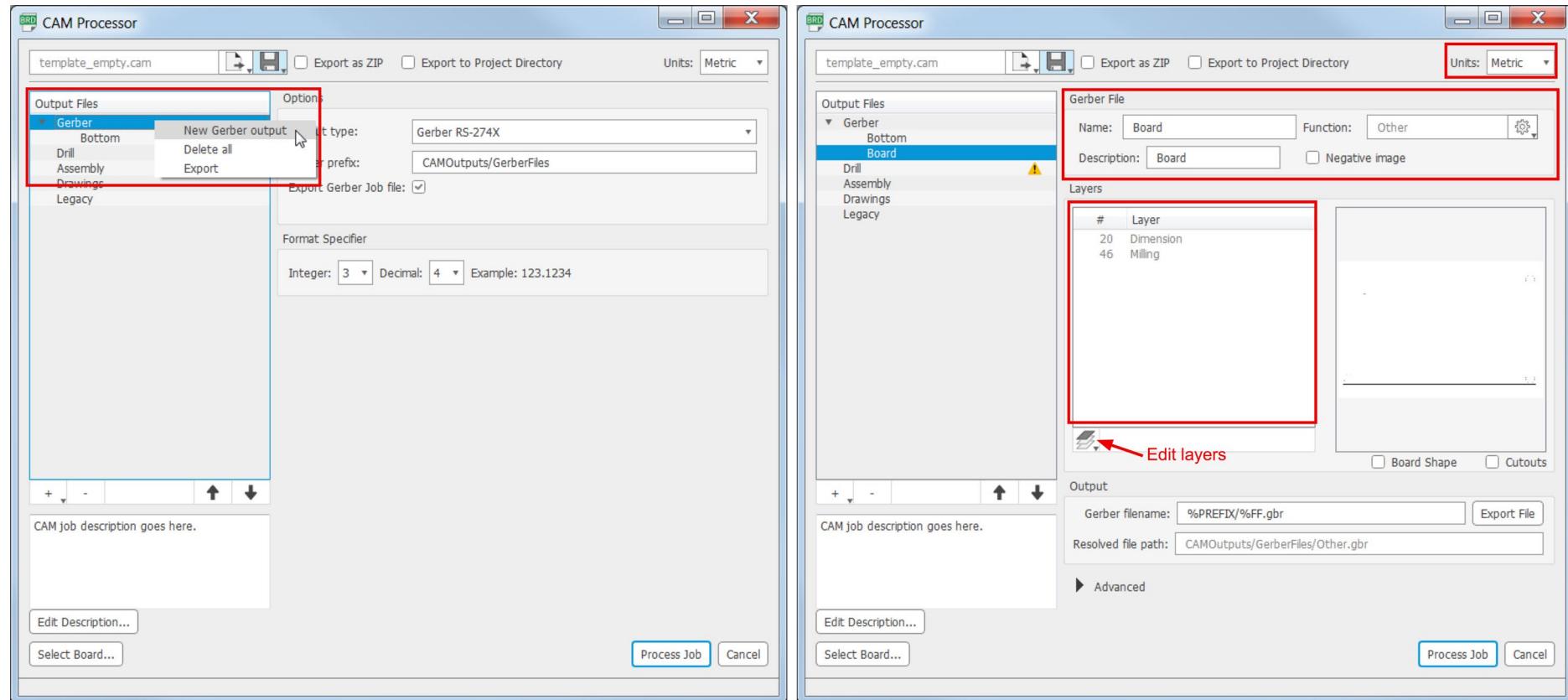
Vorschau- und CAM Processor-Fenster

Produktionsdaten erstellen: CAM



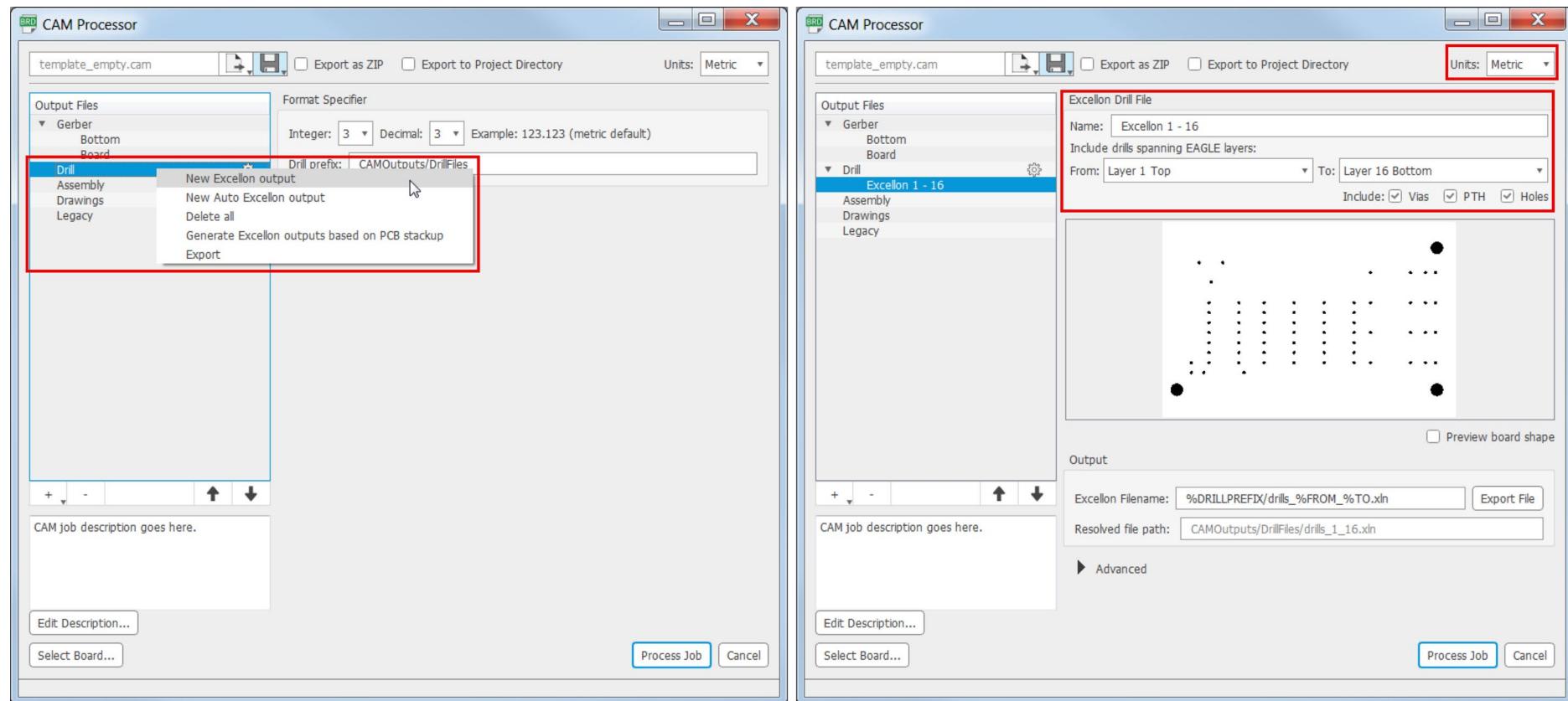
Für die Unterseite Lagen auswählen und Gerber-Daten erzeugen

Produktionsdaten erstellen: CAM



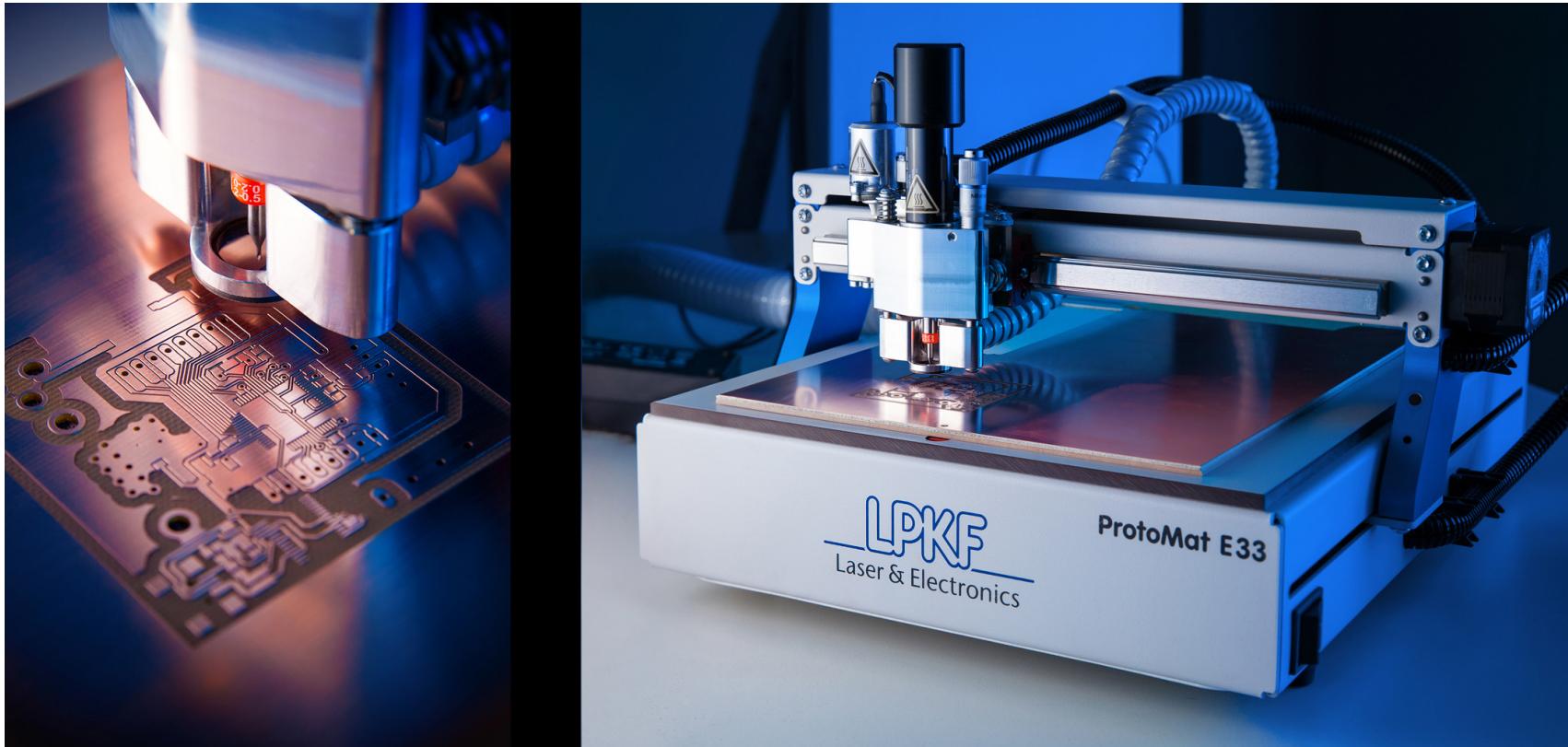
Für Leiterplattenriss und Fräslagen Lagen auswählen
und Gerber-Daten erzeugen

Produktionsdaten erstellen: CAM



Ausgabe der Bohrungen im Excellon-Format

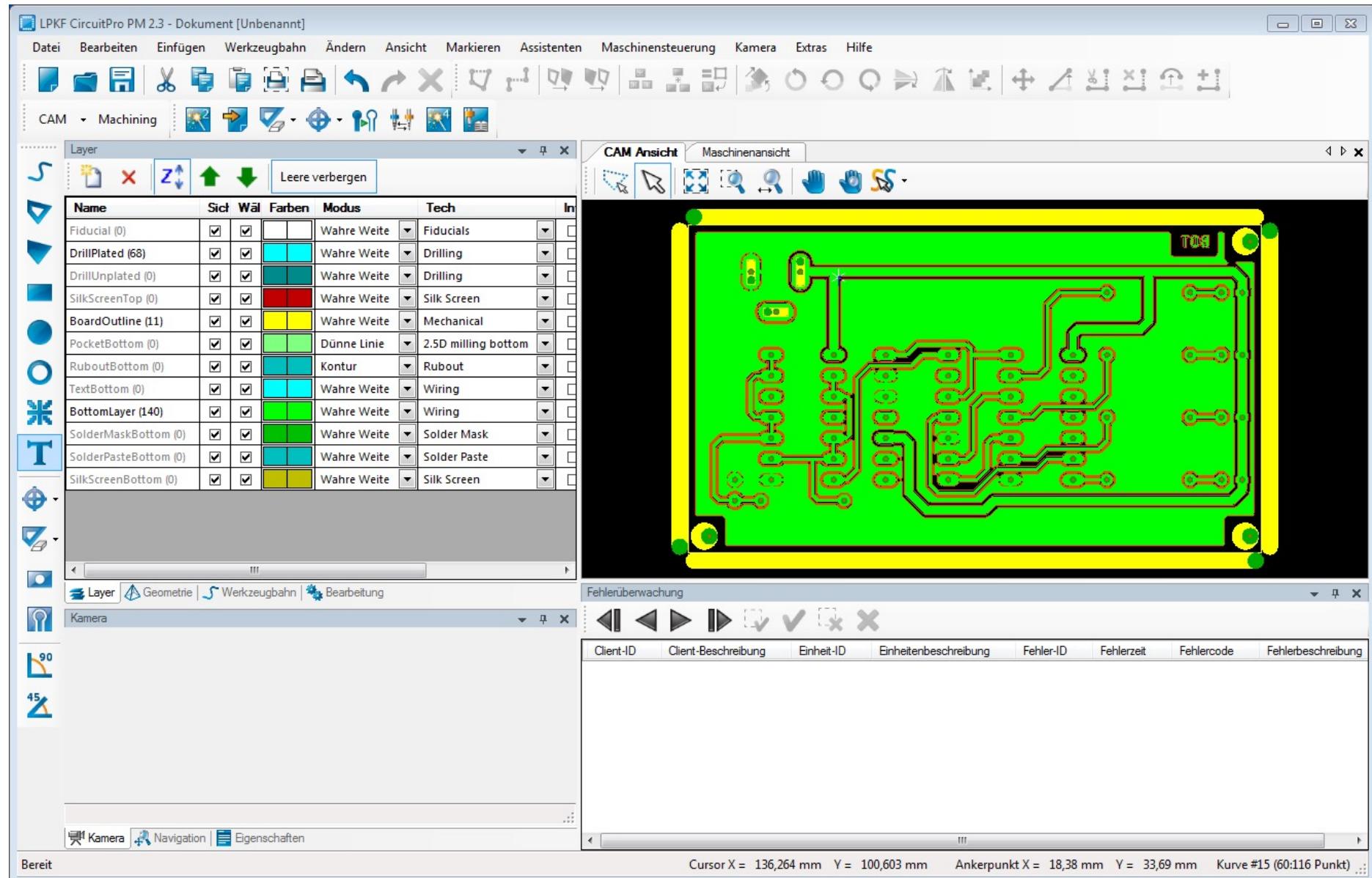
Fräsböhrplotter



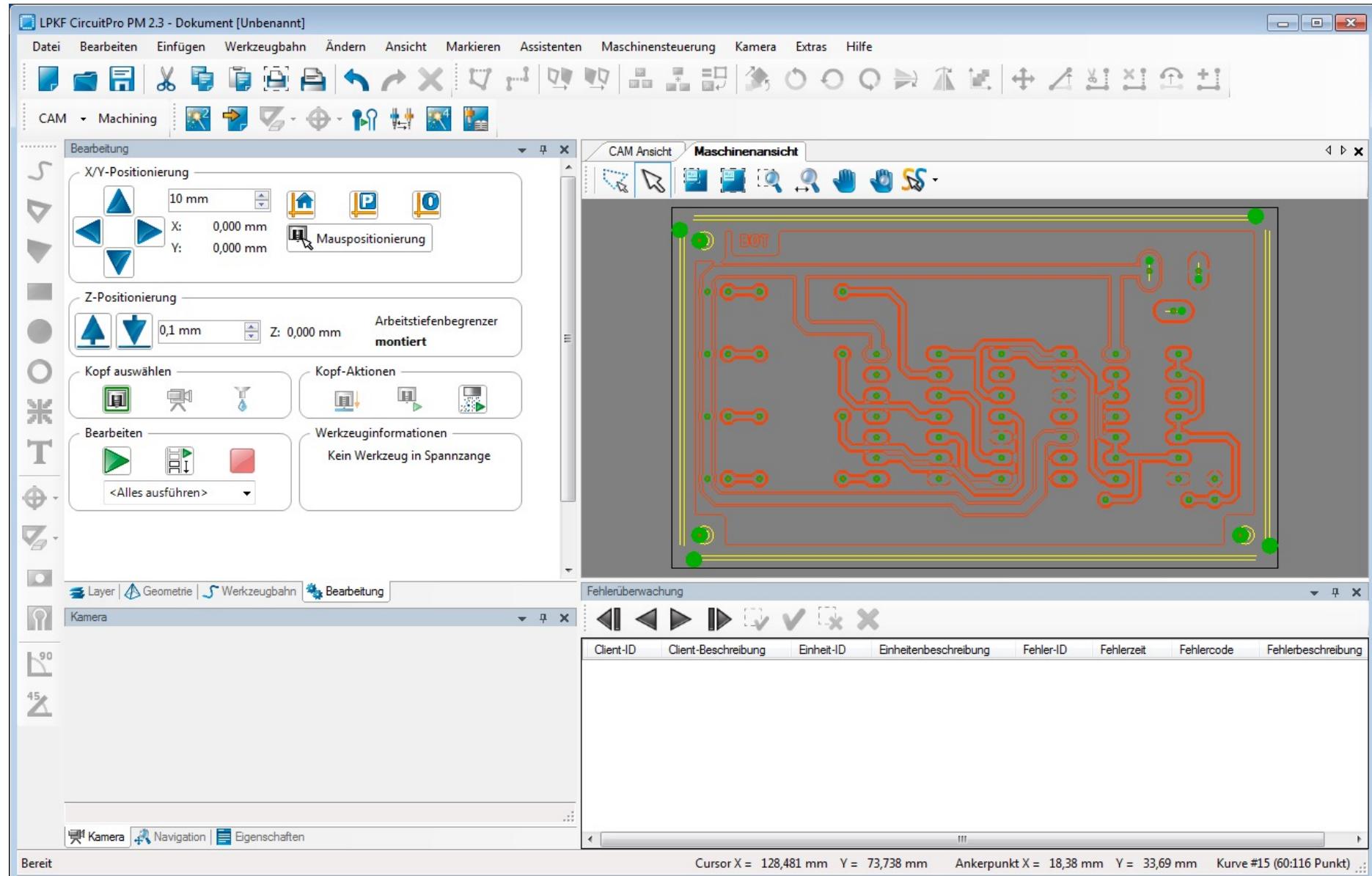
- **Leiterplatte schnell verfügbar**
- **Durchkontaktierungen schwierig, aber möglich**
- **Layout muss angepasst werden**

Bildquelle: Tilo Gockel, fotopraxis.net

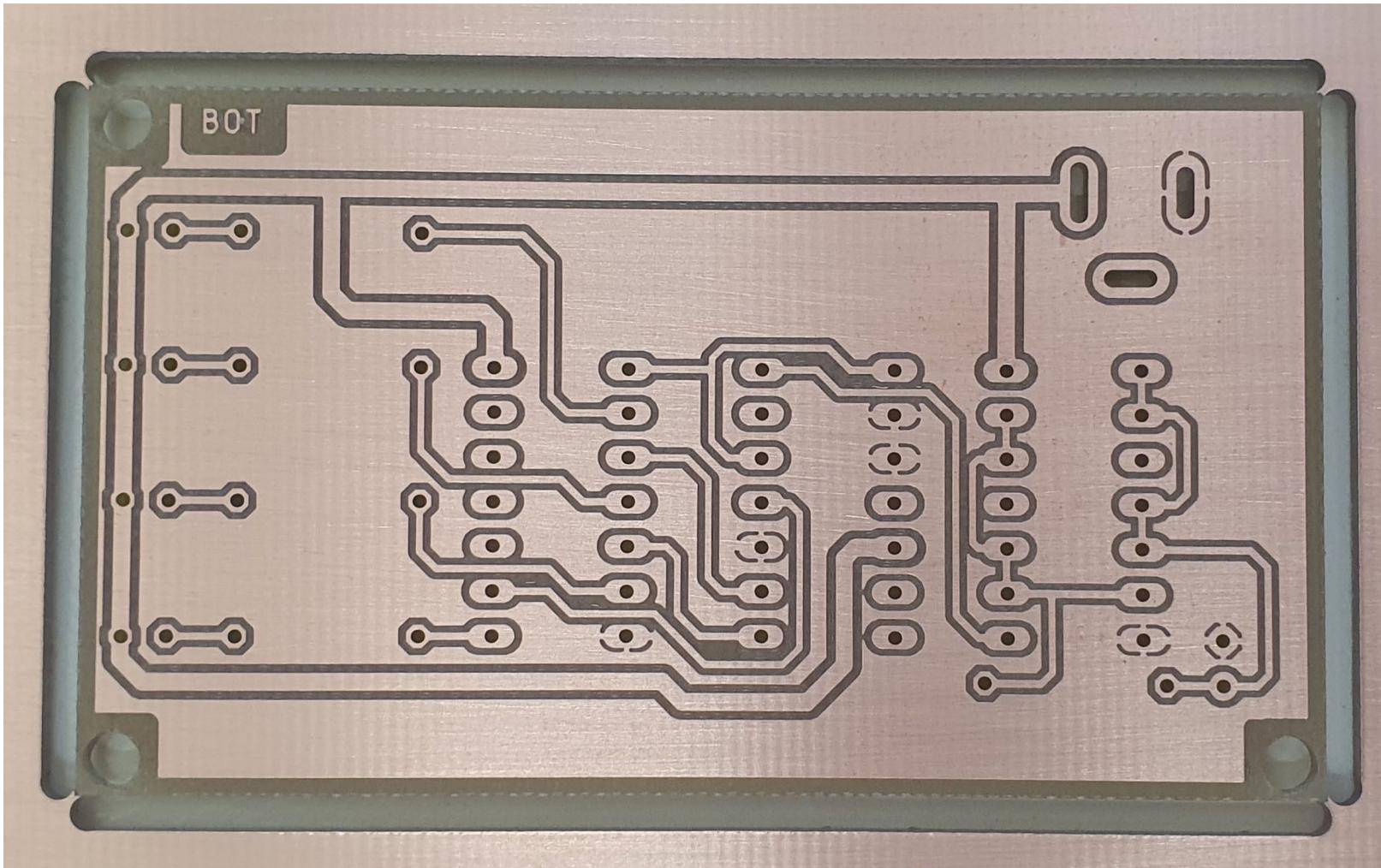
Fräsböhrplotter: Gerber importieren



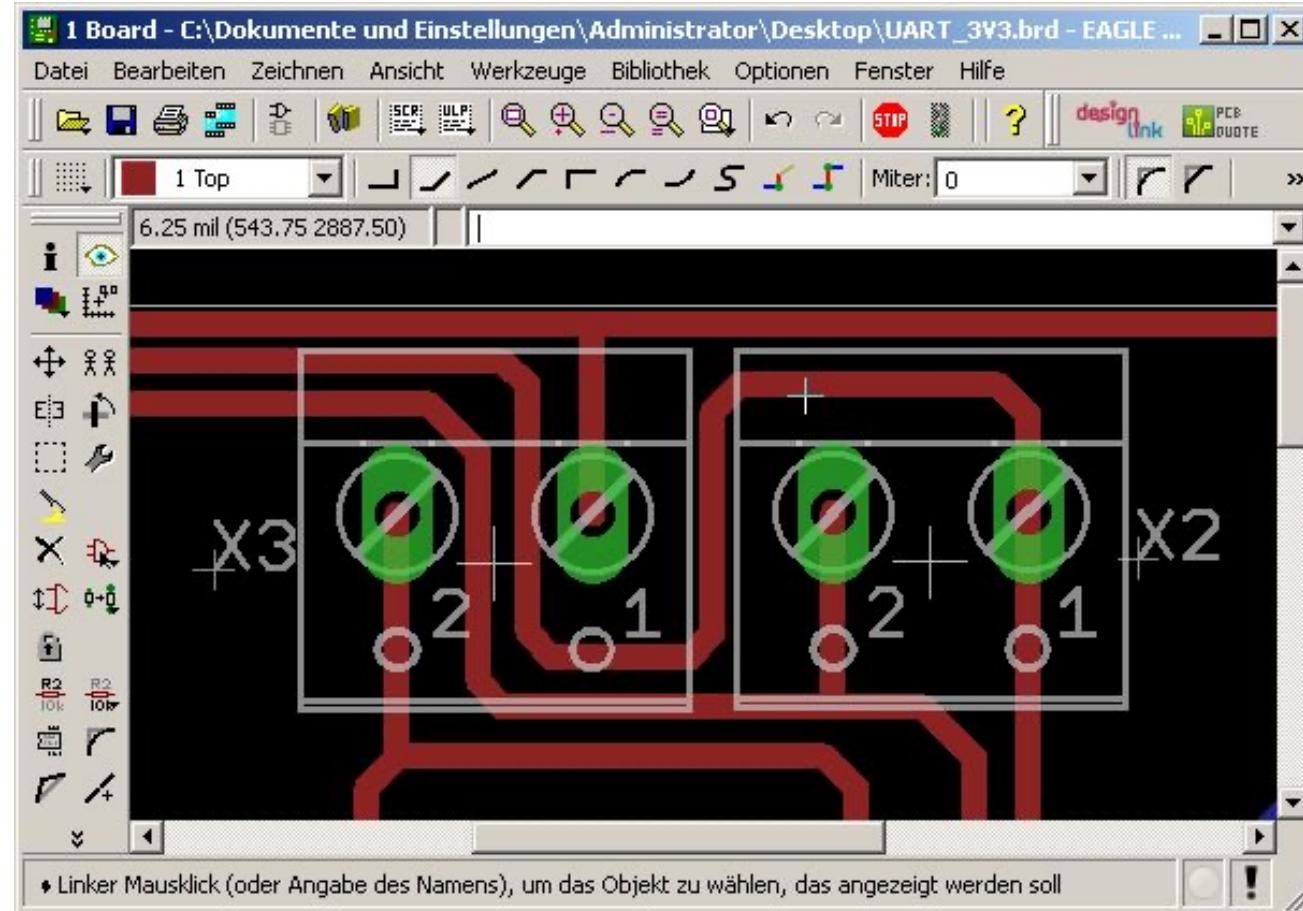
Fräsböhrplotter: Maschinenansicht



Fräsböhrplotter: Gefertigte Platine

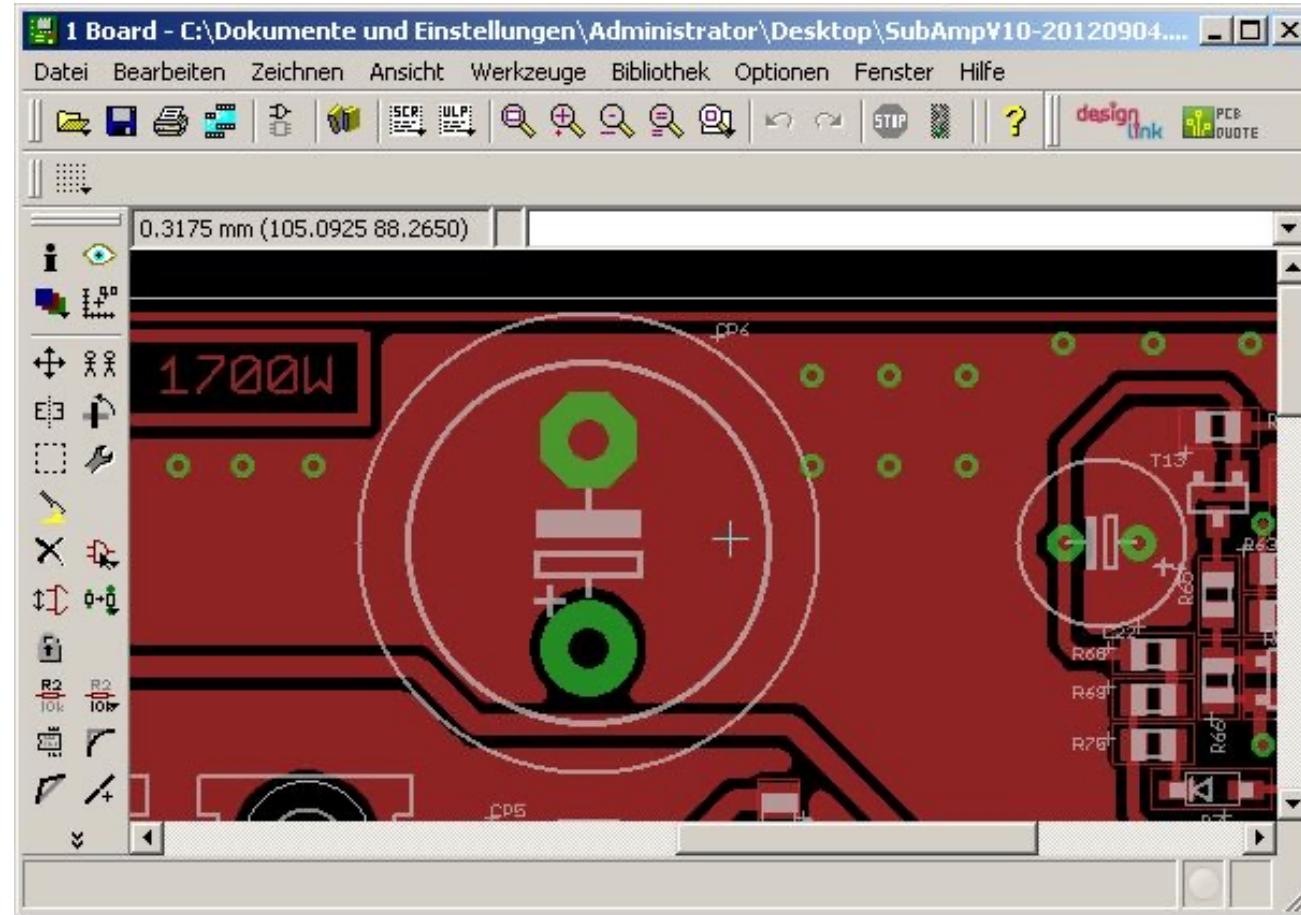


Randbedingungen beim Fräsen



**Schraubklemmen lassen sich von oben nicht löten, da das Bauteil im Weg ist.
Von unten ist keine Durchkontaktierung an den Pads vorhanden.**

Randbedingungen beim Fräsen



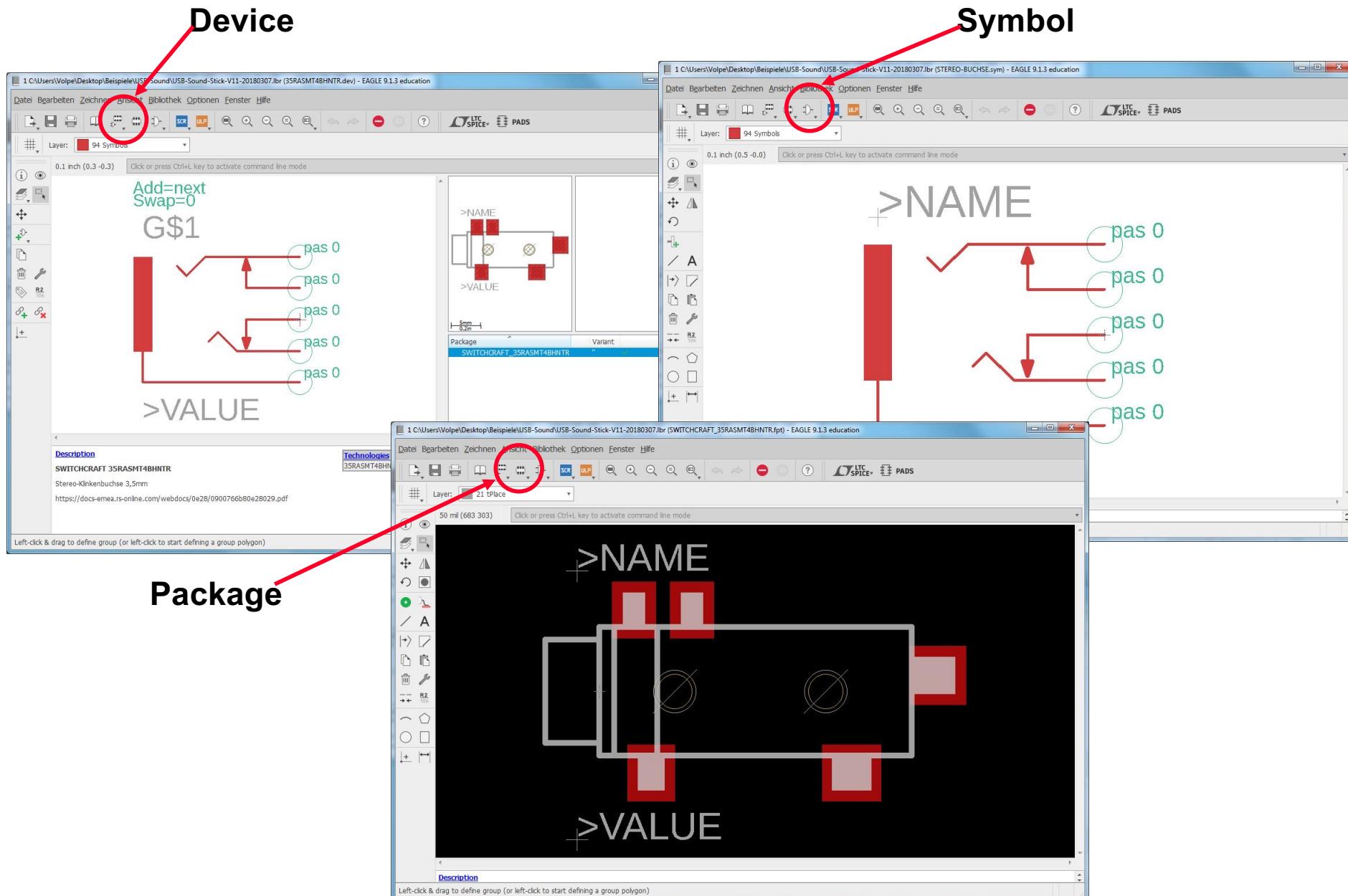
**Elkos lassen sich von oben nicht löten, da die Bauteile im Weg ist.
Von unten ist keine Durchkontaktierung an den Pads vorhanden.**

Platinen online bestellen

The image displays four browser windows side-by-side, each showing a different online platform for ordering printed circuit boards (PCBs):

- Eurocircuits (Left):** Shows a green-themed interface with a search bar and a sidebar containing links for Home, Registration/Login, and various services like Prototypen- and Kleinserien-Services, CADSoft Eagle DRU Datei, Altium Designer - Design Vorlage, and more.
- PCB-POOL.COM (Second from Left):** Shows a blue-themed interface with a sidebar for cooperation partners (Conrad Electronic, WATCH'urPCB) and product categories (PCB-POOL - Shop, LASER-STENCIL - Shop, REFLUX-KIT - Shop, FRONTPANEL - Shop). The main area is titled "LEITERPLATTEN" and includes a list of 14 specification items from "Lagenzahl" to "Free Stencil".
- Basista.de (Second from Right):** Shows a dark-themed interface for "Leiterplatten Prototypen - Preise und Angebot online". It features a cartoon owl mascot and sections for "UNSER LEITERPLATTEN ANGEBOT" (PCB Prototypes, Sparklassen Fertigung, Leiterplatten Serien) and a "Bestellung / Angebot erstellen" (Order/Quote creation) form.
- Multipcb.de (Right):** Shows a green-themed interface for "Leiterplatten Online Kalkulation". It includes a "Preis Berechnen" (Calculate Price) button, a section for "Feste Parameter und Inklusivoptionen im SINGLE-POOL" (Fixed Parameters and Inclusive Options in SINGLE-POOL) with specific settings for material, thickness, and surface, and a large form for entering order details like project name, dimensions, and drilling requirements.

Bibliotheken (1)



Bibliotheken (2)

Vorgehensweise bei der Definition eines neuen Bauteils:

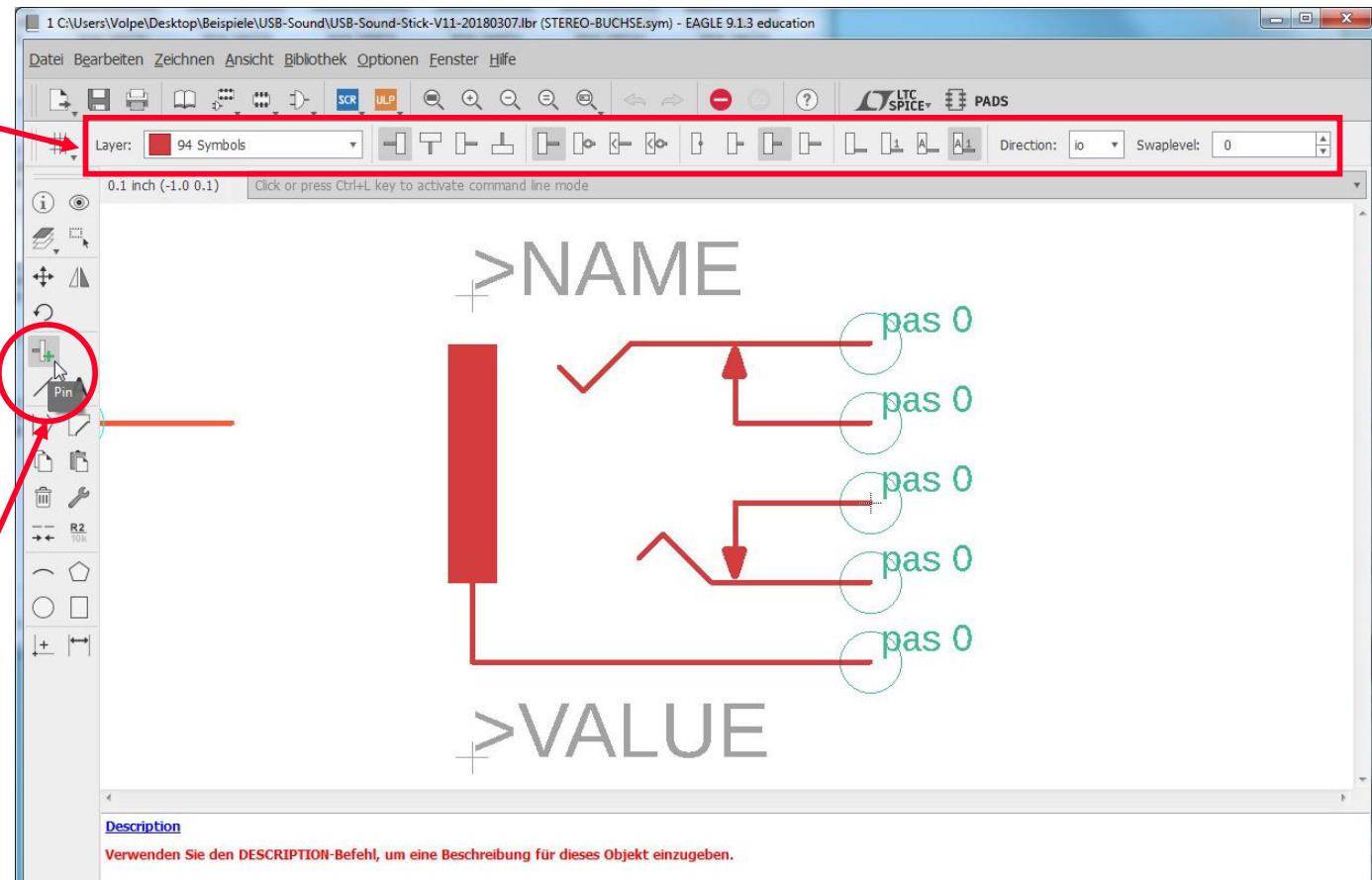
- Prüfen, ob es bei www.cadsoft.de das Bauteil bereits gibt
- Symbol zeichnen
- Package zeichnen (in Lib „ref-packages.lbr“ sind fast alle Packages zu finden (bei V7))
- Device aus Symbol und Package zusammensetzen

Stereo-Buchse definieren (1)

Im Control-Panel: Datei/Neu/Bibliothek
anschließend neues Symbol

Funktion der Pins
Wichtig für den ERC

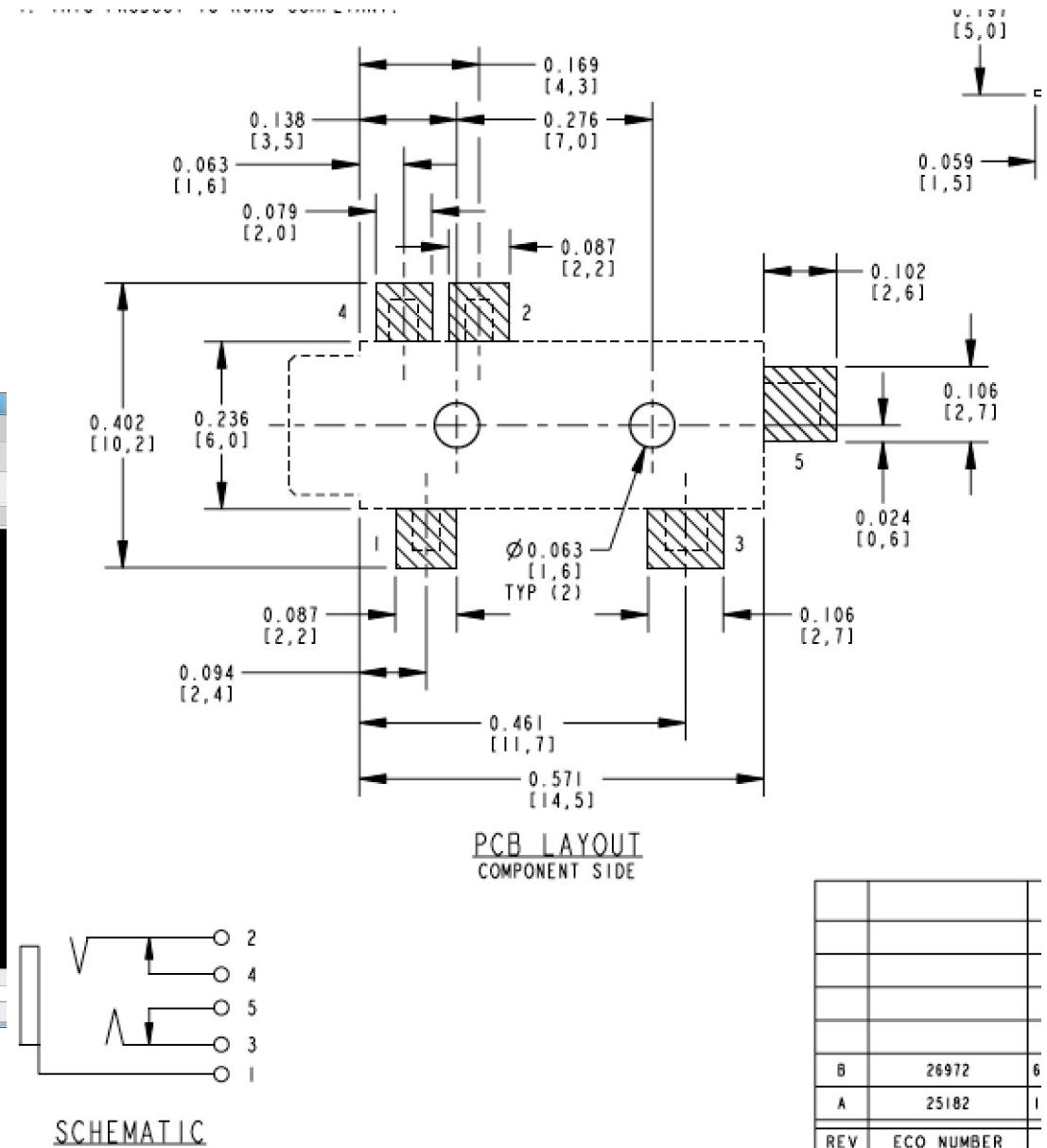
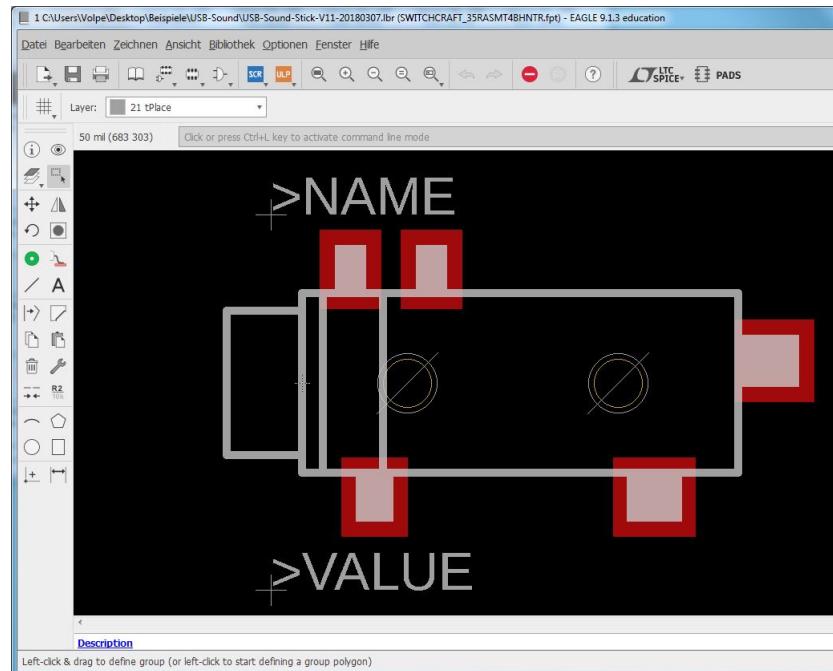
Pins setzen



Symbol ist aus Bibliothek „con-lumberg“ importiert und abgeändert.

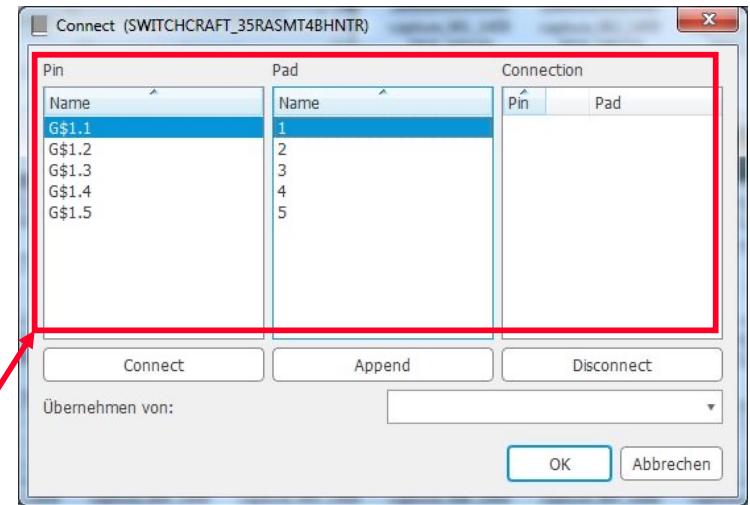
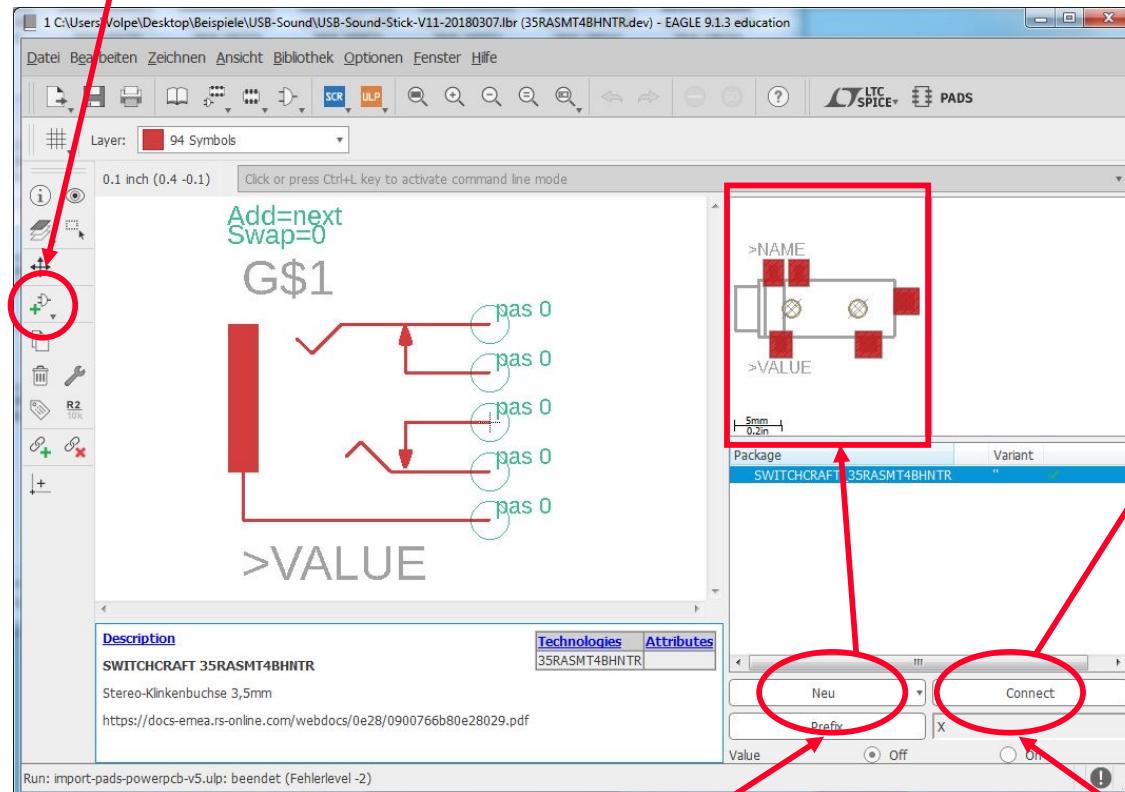
Stereo-Buchse definieren (2)

Neues Package
(Footprint)
zeichnen.



Stereo-Buchse definieren (3)

Mit ADD wird Symbol ins Device geholt



Mit „Neu“ wird Package ins Device geholt

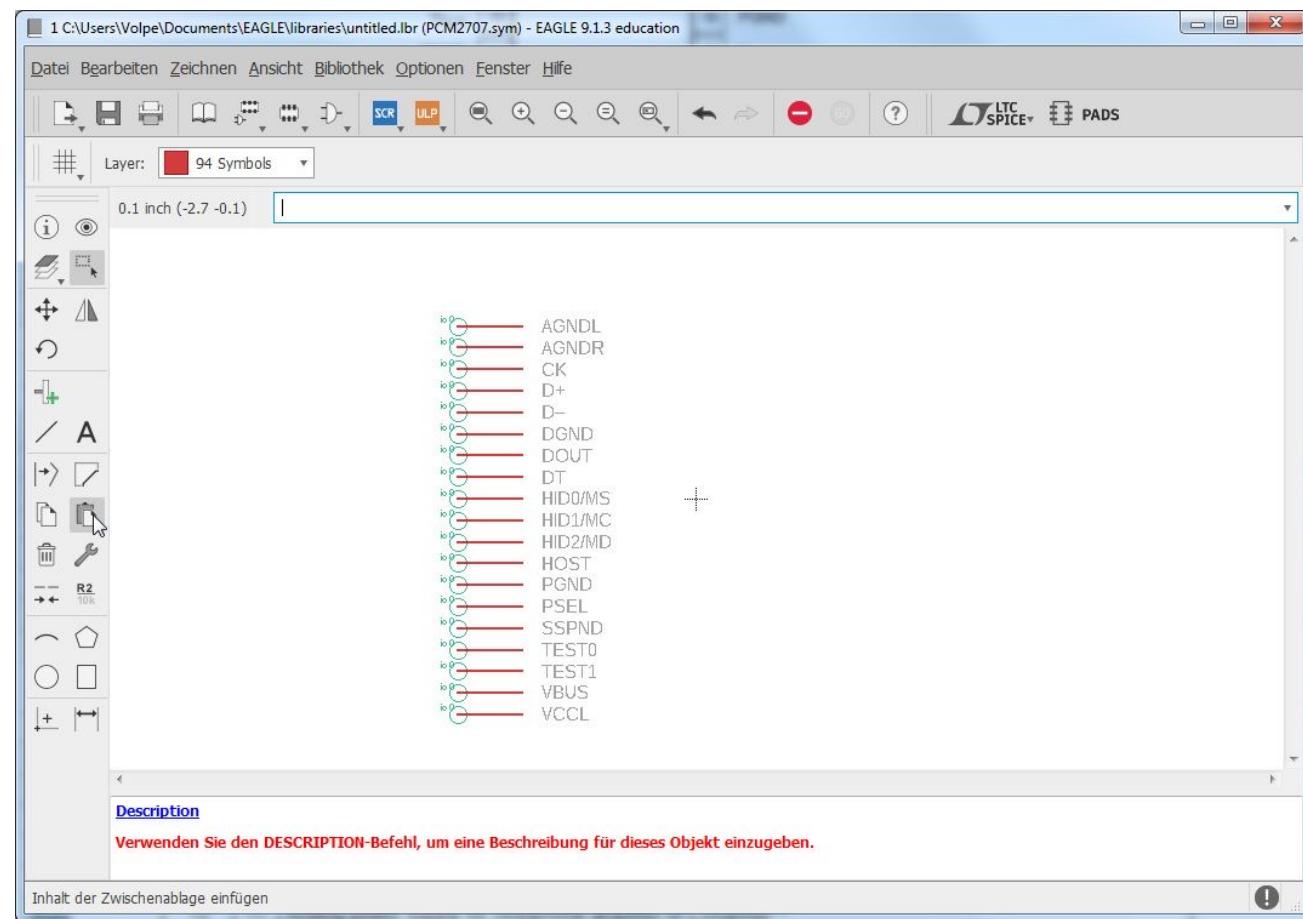
Mit „Connect“ Pins des Symbols ein Pad im Package zugeordnet

DAC PCM2707C definieren (1)

1. Im Datenblatt S. 6 Pin-Namen mit STRG-C kopieren

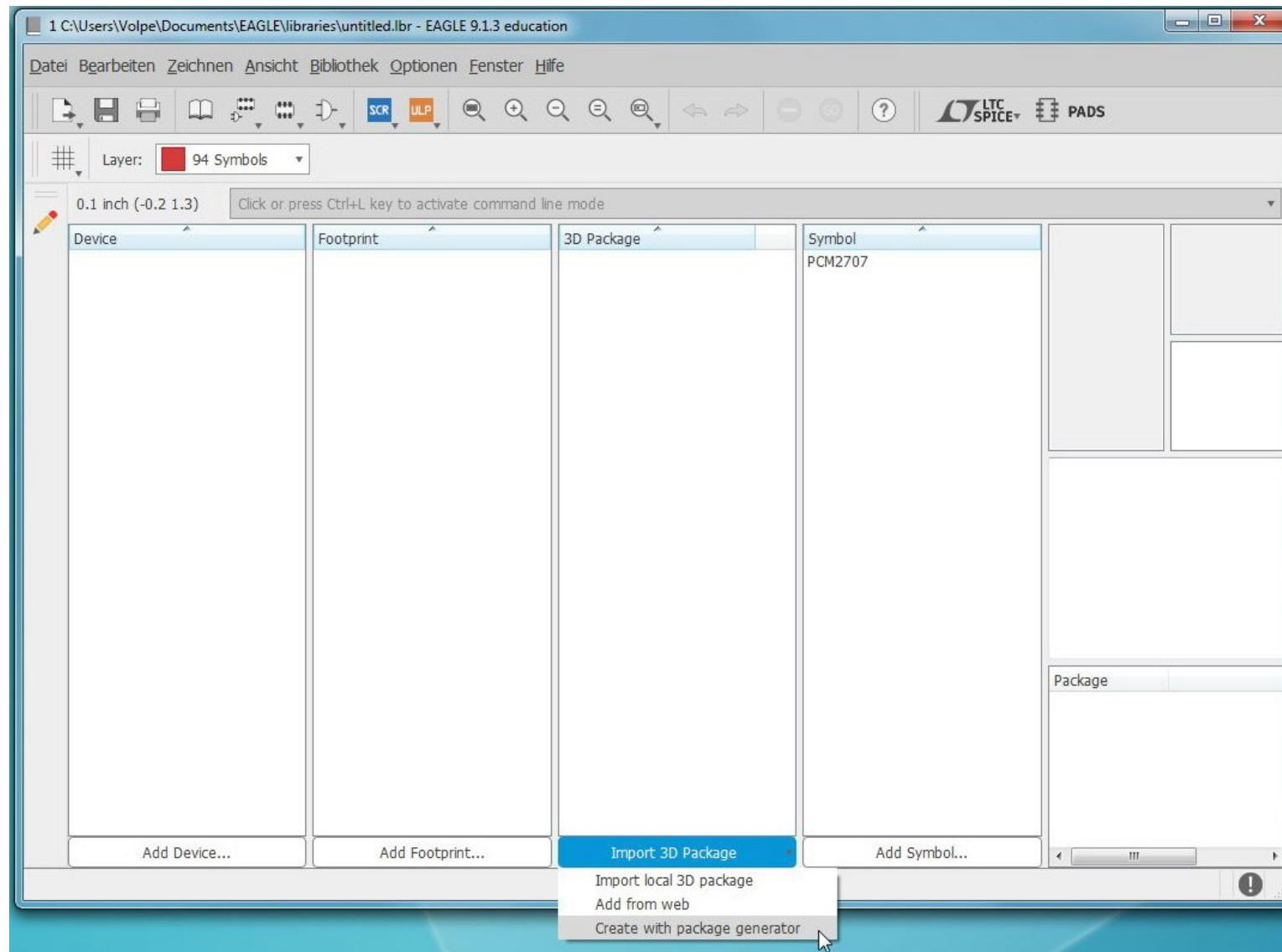
PIN		I/O	
NAME	NO.		
AGNDL	26	—	Analog
AGNDR	31	—	Analog
CK	14	O	Clock
D+	23	I/O	USB di
D-	22	I/O	USB di
DGND	20	—	Digital
DOUT	17	O	S/PDIF
DT	15	I/O	Data ir
FSEL	9	I	Funkt
FUNC0	5	I/O	HID ke
FUNC1	19	I/O	HID ke
FUNC2	18	I/O	HID ke
FUNC3	4	I	HID ke
HID0/MS	6	I	HID ke
HID1/MC	7	I	HID ke
HID2/MD	8	I	HID ke
HOST	3	I	Host d operati
PGND	1	—	Analog
PSEL	16	I	Power
SSPND	11	O	Suspe
TEST	10	I	Test pi

2. Anschließend im Symbol-Editor „Paste“



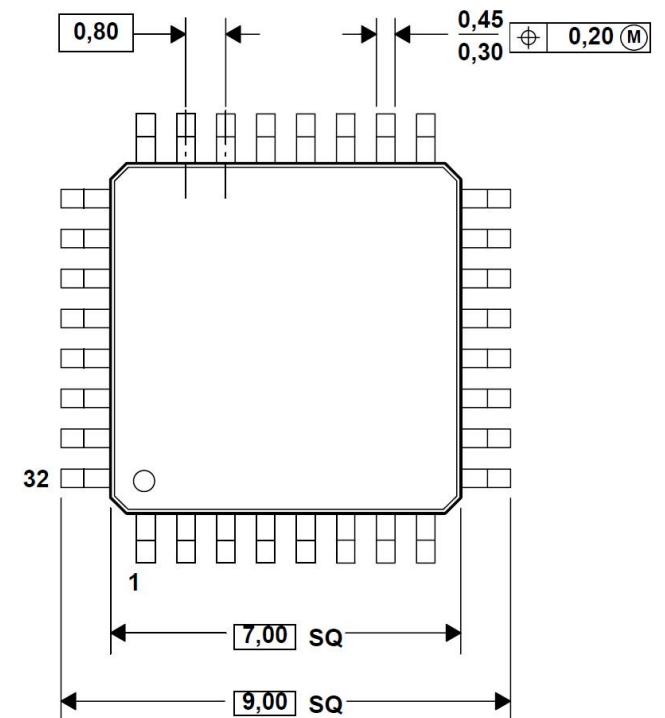
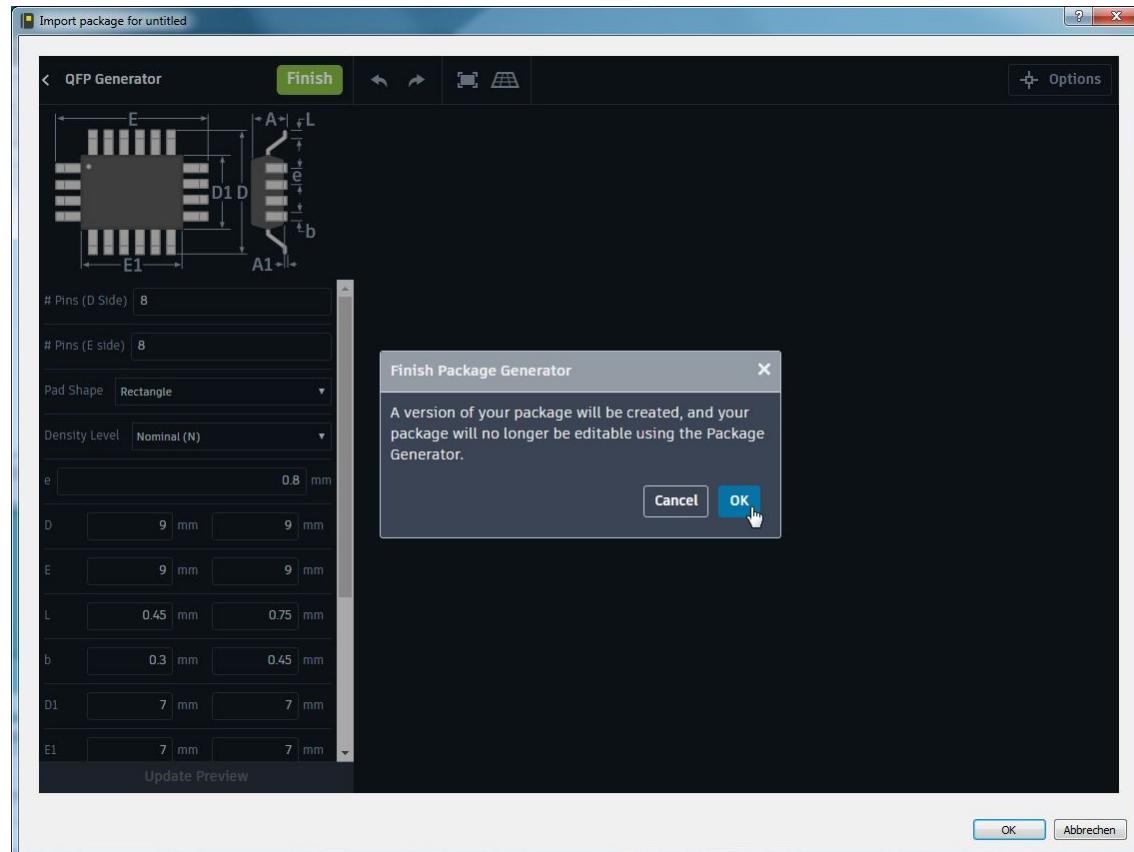
DAC PCM2707C definieren (2)

1. Menü „Bibliothek/Inhaltsverzeichnis“
2. Bei „3D Package“ mit „Create with package generator“ Wizard starten

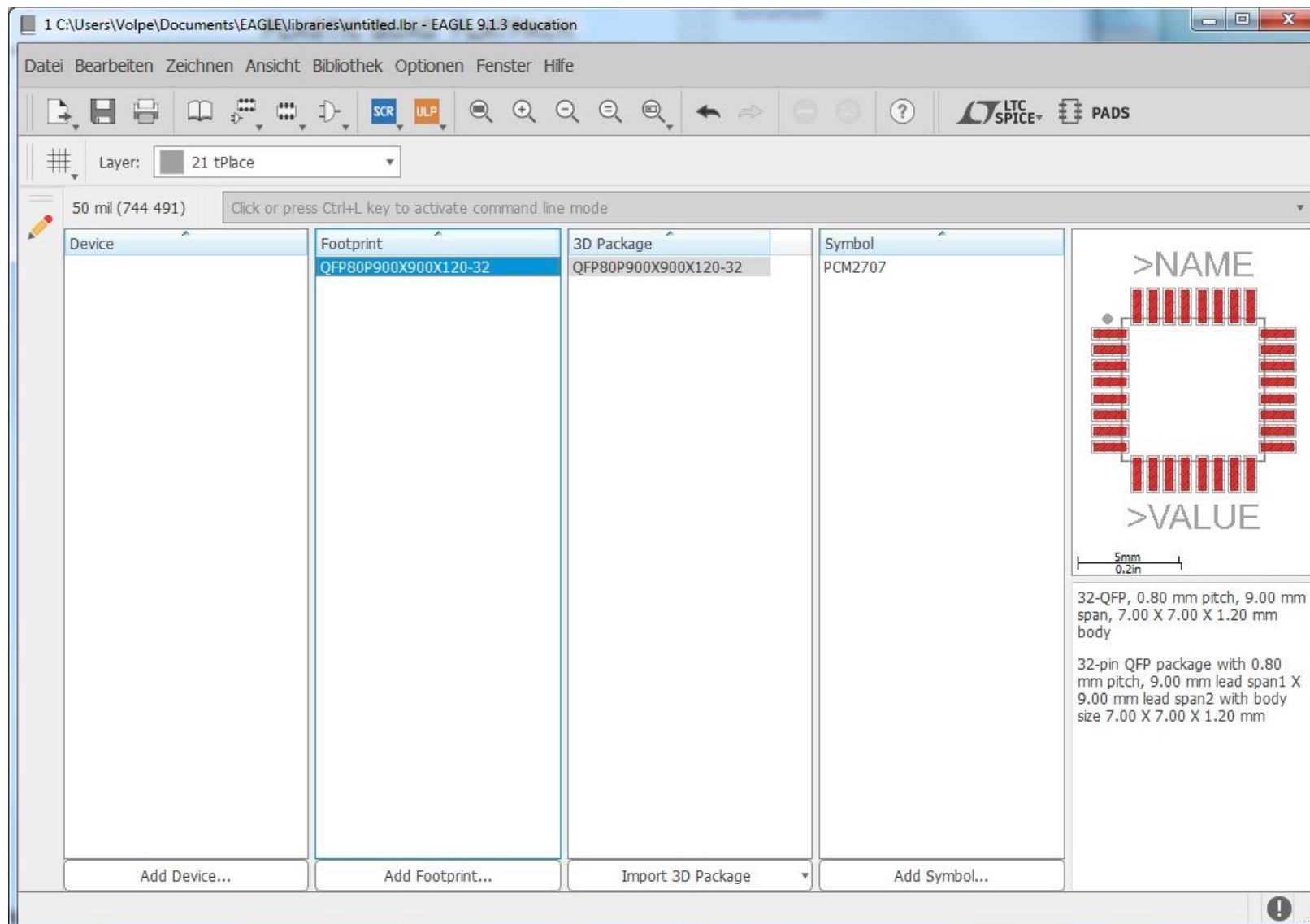


DAC PCM2707C definieren (3)

Package „QFP“ auswählen und Daten aus Datenblatt S. 48 übernehmen

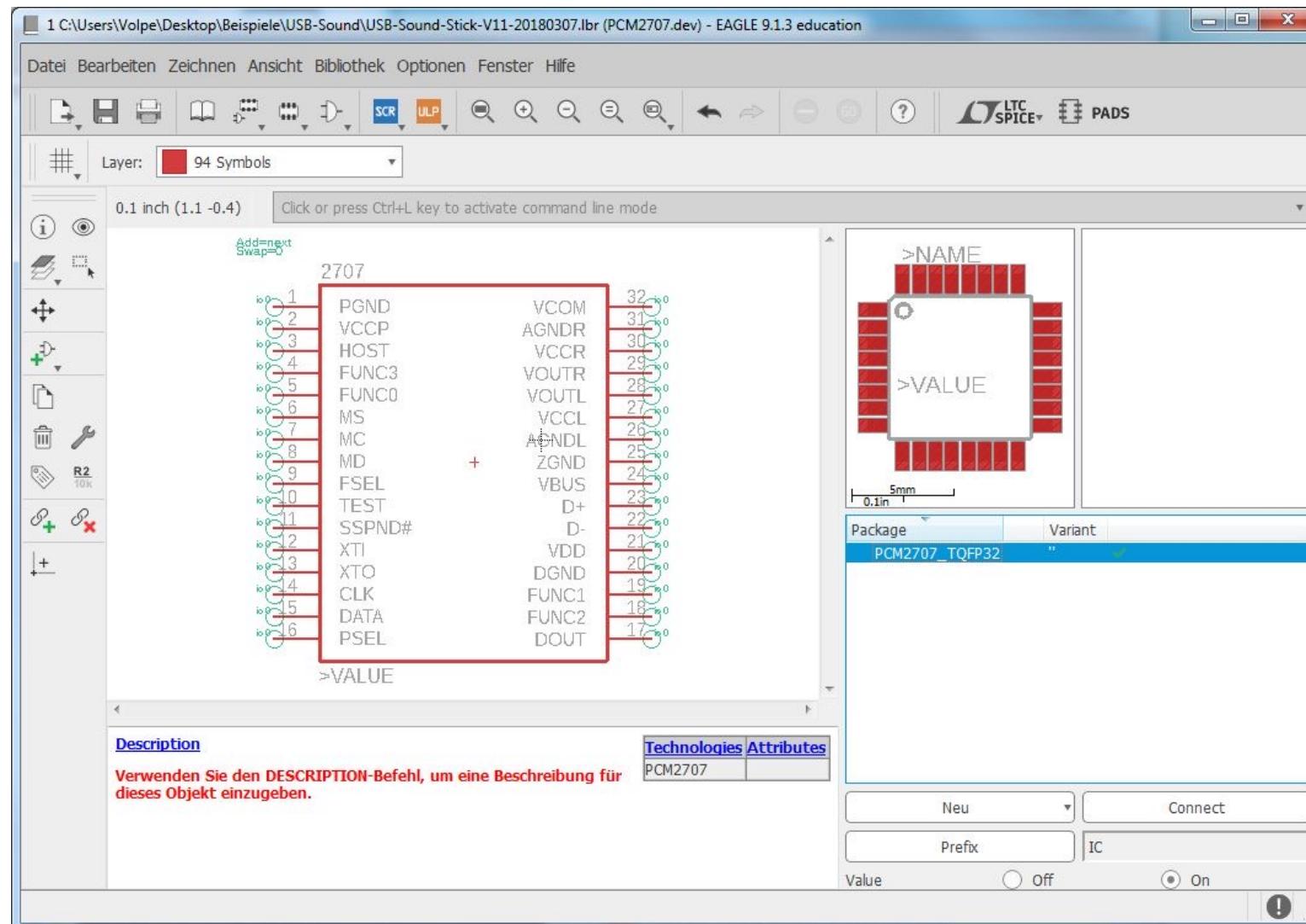


DAC PCM2707C definieren (4)



DAC PCM2707C definieren (5)

Anschließend Device erstellen und Symbol mit Package verbinden

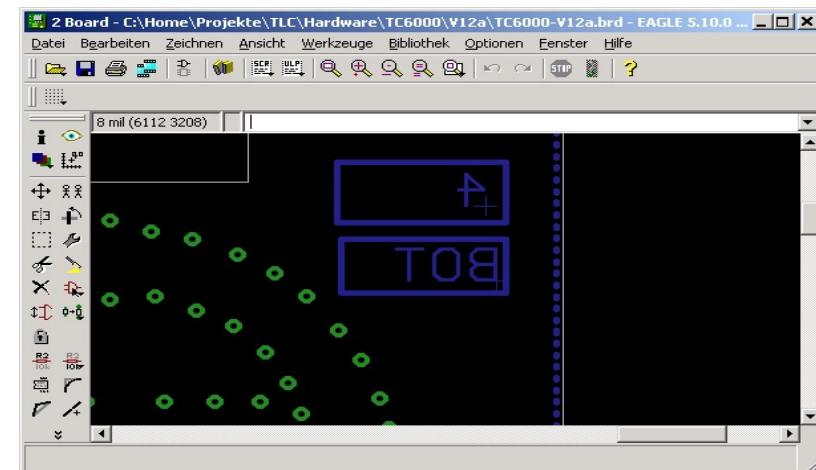
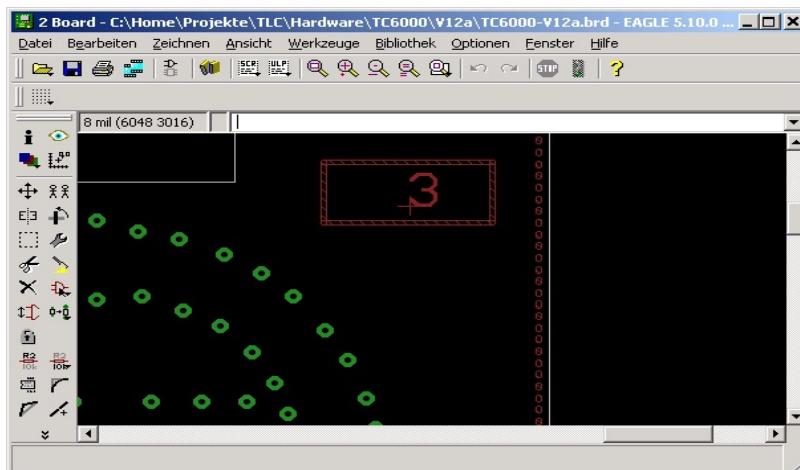
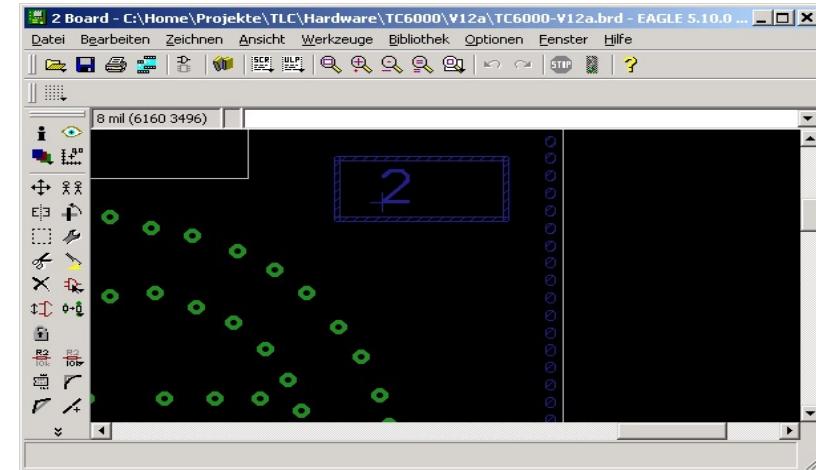
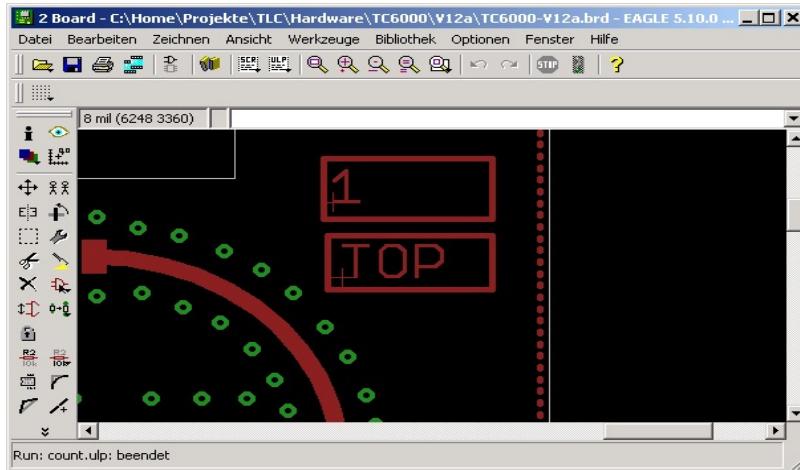


Tipps und Tricks (1)

- **Geben Sie den Netzen Namen**
- **Sorgen Sie dafür, dass Schaltplan und Board immer konsistent sind!!!**
Schließen Sie dazu nie einer der beiden Dateien (*.sch und *.brd)
- **Ändern Sie im Schaltplan und in der Bibliothek für Symbols nie das Raster**

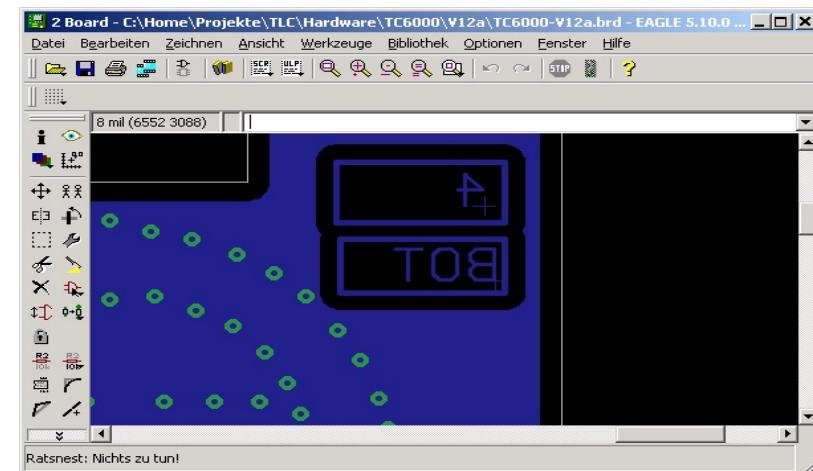
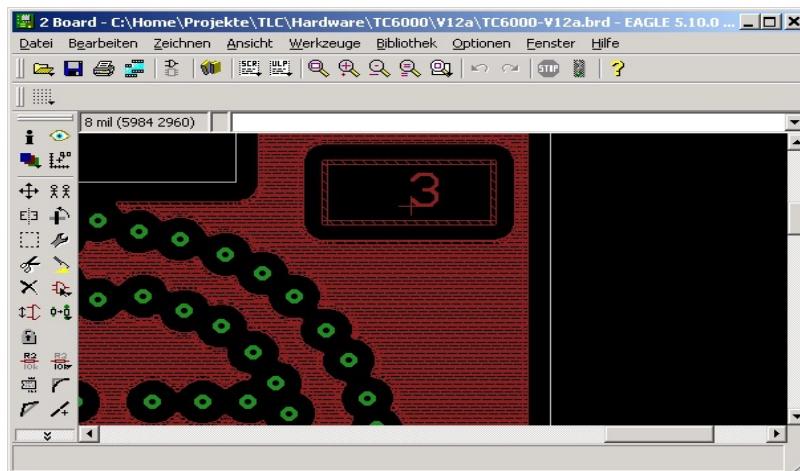
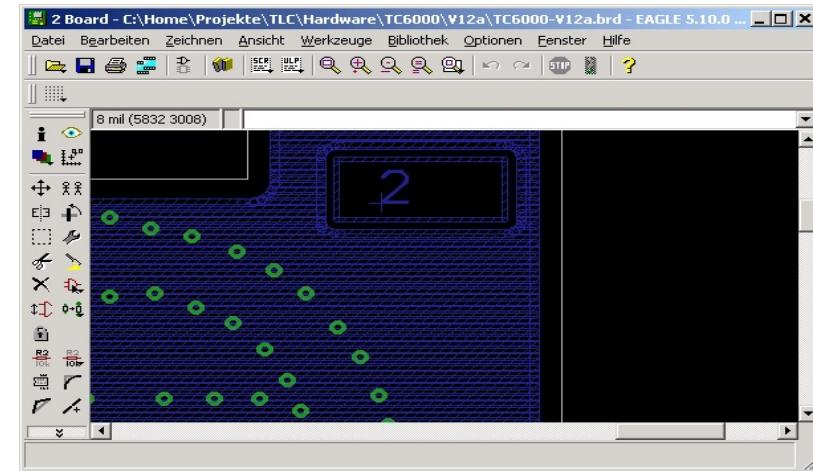
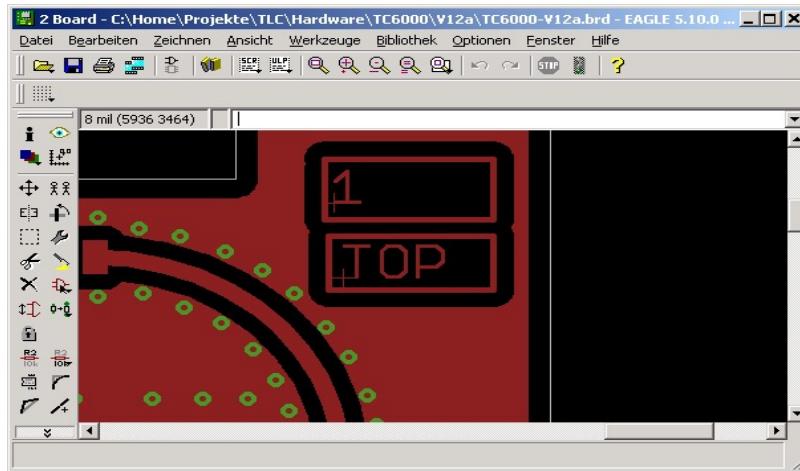
Tipps und Tricks (2)

Platinenlagen eindeutig beschriften.



Tipps und Tricks (3)

Platinenlagen eindeutig beschriften.
Sollte auch mit Polygon lesbar sein.



Literatur

- **www.autodesk.com**
- **www.ipkf.com**
- **Volpe, Francesco: Leiterplattendesign mit EAGLE. dpunkt.verlag, 2021.**
- **Volpe, Francesco: Leiterbahnbreite und -dicke dimensionieren. Elektronik 14/2014, Weka-Verlag, München, S. 41 – 44, 2014.**
- **Volpe, Francesco: Leiterplatten per Isolationsfräsen selber herstellen. Elektronik-Praxis Nr. 16, Vogel-Verlag, Würzburg, S. 50 – 51, 2014.**

**Vielen Dank
für Ihre Aufmerksamkeit**