



## Semesterprosjekt: **UART-modul**

### Prosjektbeskrivelse

Målet med dette prosjektet er å implementere og verifisere en *Universal Asynchronous Receiver - Transmitter* (UART) som skal kunne kommunisere med mikrokontroller. UART-en skal implementeres i VHDL-kode, verifiseres gjennom simulering og testes med FPGA-kortet DE10-Lite opp mot en mikrokontrolleren AVR128DB48.

### Spesifikasjoner

Selve UARTen skal bestå av en RX- og en TX-modul. Det skal i tillegg implementeres en kontrollmodul, CTRL, som skal opptre som en styringsenhet for de to øvrige modulene. Dette kapittelet tar for seg spesifikasjonene som gjelder for de ulike modulene. Disse spesifikasjonene er delt i "Må"-krav og "Kan"-krav. Må-kravene skal være oppfylt og verifisert i den leverte løsningen. Kan-kravene er frivillige, men vil gi ekstra uttelling hvis de er forsøkt implementert og verifisert. Overordnet skal alle moduler bruke et 50 MHz klokkesignal og ha et reset-signal som initialiserer modulene. Tabellene 1, 2 og 3 viser henholdsvis kravspesifikasjonene for RX-modulen, TX-modulen og CTRL-modulen.

Tabell 1: Kravspesifikasjon for RX-modul

ID	Kravbeskrivelse	Må / Kan
REQ_RX_01	Implementasjonen skal støtte standard UART-protokoll med 8 databiter, 1 stoppbit og ingen paritet.	Må
REQ_RX_02	RX-modulen skal kunne bruke en baud-rate på minst 9600 bit/s.	Må
REQ_RX_03	Må kunne lagre minst én mottatt byte.	Må
REQ_RX_04	Skal bruke 8x oversampling på RX-signalet og sample midten av bitperioden for å avgjøre verdien.	Må
REQ_RX_05	Skal ha et signal som indikerer når data er mottatt og klar til bruk.	Må
REQ_RX_06	Kan kunne gjøre en majoritetsbeslutning basert på 5 punktprøver i midten av bitperioden.	Kan
REQ_RX_07	Kan ha en 16-byte stor FIFO-buffer for å lagre flere mottatte byte. Den kaster ny data når den er full.	Kan
REQ_RX_08	Kan støtte paritetskontroll (like, odde eller ingen).	Kan
REQ_RX_09	Kan støtte endring av baud-rate under kjøring.	Kan

Tabell 2: Kravspesifikasjon for TX-modul

ID	Kravbeskrivelse	Må / Kan
REQ_TX_01	Implementasjonen skal støtte standard UART-protokoll med 8 databiter, 1 stoppbit og ingen paritet.	Må
REQ_TX_02	TX-modulen skal kunne bruke en baud-rate på minst 9600 bit/s.	Må
REQ_TX_03	Skal kun lagre byten som skal sendes.	Må
REQ_TX_04	Skal ha et signal som indikerer når TX-modulen er opptatt.	Må
REQ_TX_05	Kan støtte paritetskontroll (like, odde eller ingen).	Kan
REQ_TX_06	Kan støtte endring av baud-rate under kjøring.	Kan

Tabell 3: Kravspesifikasjon for CTRL-modul

ID	Krav	Må / Kan
REQ_CTRL_01	Skal vise ASCII-koden til mottatte tegn på 7-segment display (ASCII)	Må
REQ_CTRL_02	Skal indikere mottak av et tegn ved å tenne en LED i en kort periode	Må
REQ_CTRL_03	Skal sende mottatt tegn tilbake umiddelbart (loopback)	Må
REQ_CTRL_04	Skal sende et forhåndsdefinert tegn ved knappetrykk	Må
REQ_CTRL_05	Kan sende en forhåndsdefinert streng av minst 8 tegn ved knappetrykk	Kan
REQ_CTRL_06	Kan justere baud-rate under kjøring (100 kbit/s – 1 Mbit/s i steg på 100 kbit/s)	Kan

## Test og verifikasjon

Den implementerte UART-modulen skal verifiseres på følgende vis:

- Ved simulering med testbenker. Det skal skrives testbenker med stimuli som gjør det mulig å verifisere oppførselen til implementasjonen under simulering. Det er ikke nødvendig å bruke mye tid og krefter på å skrive tester i testbenken.
- Ved fysisk testing opp mot en mikrokontrolleren AVR128DB48. Det skal skrives et program for en egnet mikrokontroller som kan brukes for å teste og verifisere de spesifiserte kravene for UART-modulen.

## Dokumentasjon og leveranse

Det skal leveres et datasheet for den implementerte UART-modulen som inneholder følgende:

- En introduksjon av det implementerte designet med en oppsummering av funksjonalitet og virkemåte.
- Et blokdiagram over systemet i sin helhet, med forklaring.
- En detaljert oversikt over signaler og grensesnitt i systemet, med forklaring.
- Tilstandsdiagrammer for eventuelle tilstandsmaskiner i implementasjonen og forklaring av disse.
- Tidsdiagrammer og simuleringsresultater med forklaring/diskusjon.
- Resultater fra syntetisering.
- Dokumentasjon av testoppsett og resultater fra testing med mikrokontroller.
- En oversikt over hvilke av de definerte kravspesifikasjonene som er oppfylt med kommentarer.
- Det bør også foreligge en forklaring om hva slags normer som har blitt fulgt under skriving av VHDL-koden.

Det trengs ikke noen inngående forklaring av UART-protokollen i dokumentet. Videre skal all kode, både for UART-modulen, testbenker og mikrokontroller legges ved i et eget arkiv. Det skal også legges ved en video viser virkemåten til den implementerte modulen i samhandling med en mikrokontroller.

## Praktiske detaljer

Prosjektet er delt i to “faser” for å stykke opp arbeidet. Dette innebærer en milepæl-innlevering **tirsdag 11.11**. Den påfølgende onsdagen vil det være obligatorisk medstudentvurdering av det leverte arbeidet, hvor man ser på hverandres arbeid gruppevis. Til milepåelen bør man ha et system som oppfyller kravene til RX-modulen, samt kravene REQ\_CTRL\_01 og REQ\_CTRL\_02. Det skal også foreligge dokumentasjon for denne delen av systemet og en plan for implementasjonen av TX-modulen og resten av CTRL-modulen.

Etter milepåelen er det fullt mulig å gjøre endringer på det man har levert og fullføre prosjektet før endelig innleveringsfrist **søndag 30.11**.

## Vurdering

Prosjektet vil vurderes i henhold til kategoriene vist i tabell 4.

Tabell 4: Vurderingstabell for prosjektet (maks 100 poeng)

Kategori	Beskrivelse	Poeng
Design og dokumentasjon	Funksjonell beskrivelse, signal- og grensesnittoversikt, blokkskjema og tilstandsmaskiner. Dokumentasjonen skal være tydelig og strukturert.	25
Verifikasjon ved simulering	Testbenker og simuleringsresultater som verifiserer funksjonaliteten for hver modul.	15
Maskinvareverifikasjon	Dokumentasjon av testoppsett med AVR128DB48.	15
Implementasjon	Demonstrasjon av systemets virkemåte DE10-Lite opp mot en AVR128DB48 og diskusjon om resultater.	20
Tilleggsegenskaper	Implementering og verifikasjon av valgfrie krav	Inntil 15
Kodekvalitet	Korrekt og modulær kode for modulene. Koden skal være lesbar og følge god praksis.	10

## Kort om kilder, kunstig intelligens (KI) og slike ting

Målet med dette prosjektet er i hovedsak å læring for deres egen del. Med det oppfordres det til å utarbeide mest mulig av prosjektet på egenhånd, men det er som alltid lov å hente basere seg på andres arbeid så lenge dette refereres til på korrekt vis og forklares godt i dokumentasjonen. Det er dog viktig å merke seg at KI ikke er en gyldig kilde og når det gjelder bruk av kunstig intelligens skal dere følge [NTNUs retningslinjer for bruk av kunstig intelligens i studentoppgaver](#). Dette innebærer blant annet at det skal være gjort rede for bruk av kunstig intelligens i det innleverte prosjektet.