

## Travail 6

### Circuit digitaux 2

Dans ce devoir, nous allons combiner les portes logiques CMOS que vous maîtrisez maintenant à merveille afin d'obtenir un système plus complexe rythmé par un signal d'horloge.

Plus précisément, nous vous demandons d'implémenter via LTspice un compteur synchrone sur 3 bits avec un signal de reset. Lorsque le signal de reset est actif, la valeur du compteur est réinitialisée (i.e. remise à zéro). À l'inverse, lorsque ce dernier n'est pas actif, le compteur compte indéfiniment et sa valeur évolue comme suit : 0, 1, 2, 3, 4, 5, 6, 7, 0, 1, 2, ... Pour ce devoir, on considère un reset *active-high*, ce qui signifie que le reset est actif lorsque celui-ci a une valeur logique haute. Pour cela, utilisez les transistors N\_50n et P\_50p (dont les modèles sont fournis dans le fichier "cmosedu\_models.txt" et fonctionnant entre 0V et 1V). Pour améliorer la représentation du circuit (et vous faciliter la tâche), nous vous demandons d'utiliser des sous-circuits pour implémenter la D-FF et la logique combinatoire (cfr cette vidéo sur ce site pour plus d'information sur l'utilisation des sous-circuits dans LTspice). Notez que le sous-circuit de la D-FF vous est donné (cfr les fichiers D\_FF.asc, D\_FF.asy, Inverter.asc et Inverter.asy). Effectuez le dimensionnement de chaque transistor (à l'exception de ceux de la D\_FF). Enfin, simulez le circuit et déterminez (par simulation) la fréquence maximale de fonctionnement de votre circuit. Il vous est conseillé d'utiliser des paramètres SPICE pour définir la fréquence de votre circuit.<sup>1</sup>

1. Donnez TOUTES les équations logiques du compteur.

Equations logiques

2. Montrez le schéma du circuit global (copie d'écran LTspice avec fond blanc).

Schéma globale

---

1. Le manuel LTspice et cette vidéo peuvent vous guider.

Prénom:

Nom:

NOMA:

3. Montrez les schémas des sous-circuits (copies d'écrans LTspice avec fond blanc) avec les dimensionnements des transistors en expliquant brièvement votre raisonnement.

Schémas des sous-circuits

Prénom:

Nom:

NOMA:

4. Affichez les résultats de la simulation qui montre toutes les fonctionnalités (copie d'écran spice avec fond blanc). Montrer tous les signaux utiles pour prouver le bon fonctionnement du circuit. Veuillez montrer une séquence complète de comptage (i.e. 0 1 ... 7 0 1). **Veillez à ne pas superposer les signaux!**

Simulation à 500MHz

5. Identifiez la fréquence maximale de fonctionnement  $f_m$  (i.e. la fréquence de fonctionnement pour laquelle le circuit ne réalise plus correctement la fonction attendue) et affichez les résultats de la simulation pour une fréquence d'horloge valant  $f_m$ .

Simulation à  $f_m$

6. Décrivez ce que vous feriez au niveau du système de reset pour diminuer le nombre de transistors dans votre circuit.

Optimisation possible