

# Lógica secuencial. Biestables

Área de Tecnología Electrónica

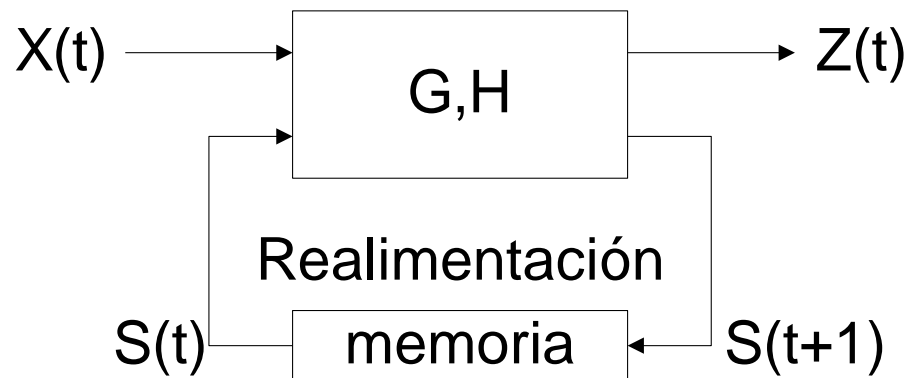
1. Introducción a los sistemas secuenciales
2. Concepto de sincronismo. Tipos de sincronismo
3. Concepto de biestable
4. Tipos de biestables
5. Parámetros temporales de los biestables
6. Biestables S-R
7. Biestables D
8. Biestables J-K
9. Biestables T
10. Biestables maestro-esclavo
11. Equivalencia entre biestables
12. Aplicaciones



# 1. Introducción a los sistemas secuenciales

En los sistemas secuenciales la salida  $Z$  en un determinado instante de tiempo  $t_i$  depende de  $X$  en ese mismo instante de tiempo  $t_i$  y en todos los instantes temporales anteriores. Para ello es necesario que el sistema disponga de **elementos de memoria** que le permitan recordar la situación en que se encuentra ( $\Rightarrow$  **estado**).

$$\begin{cases} Z(t) = G(X(t), S(t)) & G: \text{función de salida} \\ S(t+1) = H(X(t), S(t)) & H: \text{función de transición} \end{cases}$$



$X(t)$ : entrada actual

$Z(t)$ : salida actual

$S(t)$ : estado actual

$S(t+1)$ : estado próximo

Como un sistema secuencial es finito, tiene una capacidad de memoria finita y un conjunto finito de estados posibles  $\Rightarrow$  **máquina finita de estados (FSM: finite state machine)**.



# Concepto de realimentación

---

Un sistema secuencial dispone de **elementos de memoria** cuyo contenido puede cambiar a lo largo del tiempo.

El **estado** de un sistema secuencial viene dado por el contenido de sus elementos de memoria.

Es frecuente que en los sistemas secuenciales exista una señal que inicia los elementos de memoria con un valor determinado: **señal de inicio (reset)**.

➡ La señal de inicio determina el estado del sistema en el momento del arranque (normalmente pone toda la memoria a cero).

La salida en un instante concreto viene dada por la entrada y por el estado anterior del sistema.

El estado actual del sistema, junto con la entrada, determinará el estado en el instante siguiente  $\Rightarrow$  **realimentación**.



# Representación de los circuitos secuenciales

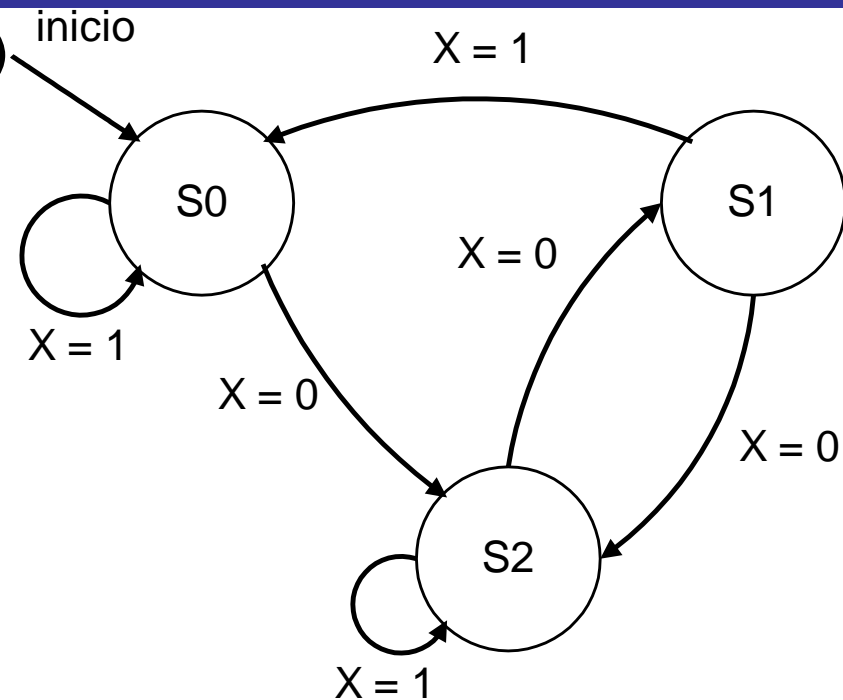
## Diagrama de transición de estados (DTE)

Círculos: estados

Arcos: transiciones

Las salidas pueden estar asociadas a los estados o a las transiciones (no aparece ninguna en este ejemplo)

El nombre de las entradas se puede omitir



## Tablas de transición de estados

Son tablas de verdad en las que aparece descrito el comportamiento del sistema.

El estado presente aparece como una de las entradas

Estado actual	Entrada (X)	Estado siguiente
S0	0	S2
S0	1	S0
S1	0	S2
S1	1	S0
S2	0	S1
S2	1	S2



## 2. Sincronismo

---

Existen **dos tipos de sistemas secuenciales**: asíncronos y síncronos.

Los **asíncronos** son sistemas secuenciales que pueden cambiar de estado en cualquier instante de tiempo en función de cambios en las señales de entrada.

- ➡ Son más frecuentes en la vida real.
- ➡ Existen métodos específicos para diseñar sistemas asíncronos (no los vamos a estudiar).

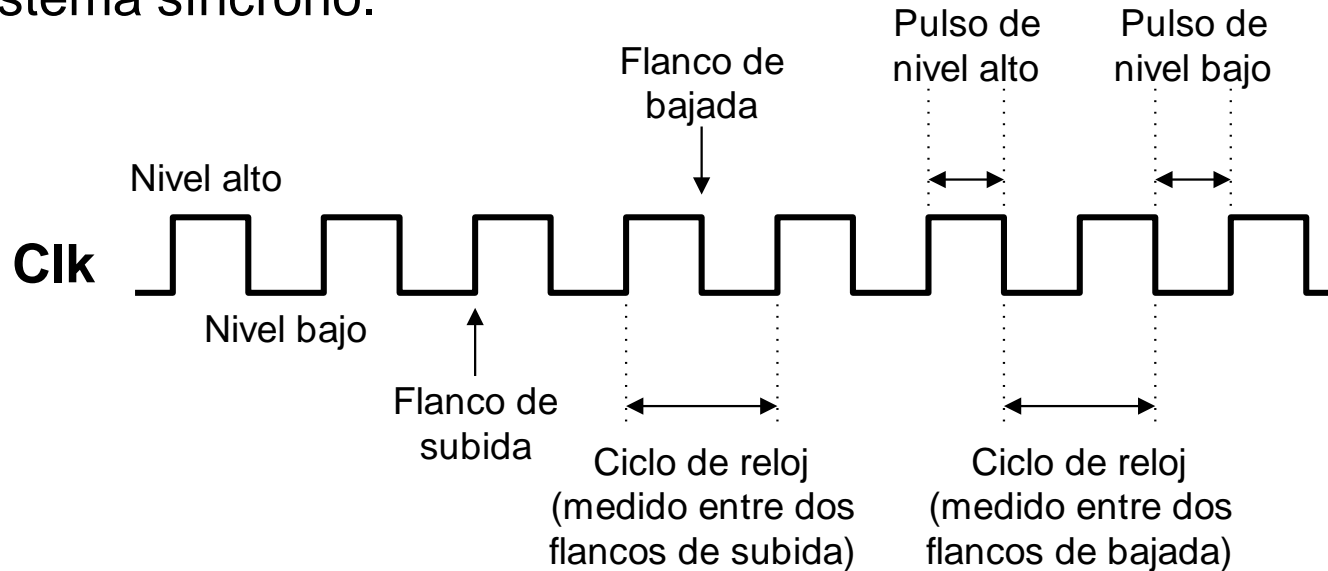
Los **síncronos** son sistemas secuenciales que sólo pueden cambiar de estado en determinados instantes de tiempo, es decir, están “sincronizados” con una señal que marca dichos instantes y que se conoce como **señal de reloj (Clk)**. El sistema sólo hace caso de las entradas en los instantes de sincronismo.

- ➡ Son más fáciles de diseñar.



# Tipos de sincronismo

El reloj es una señal periódica que regula el funcionamiento y sincronismo de un sistema síncrono.



## Tipos de sincronismo:

- ➔ **Sincronismo por nivel (*alto o bajo*):** el sistema hace caso de las entradas mientras el reloj esté en el nivel activo (alto o bajo).
- ➔ **Sincronismo por flanco (*de subida o de bajada*):** el sistema hace caso de las entradas y evoluciona justo cuando se produce el flanco activo (de subida o de bajada).

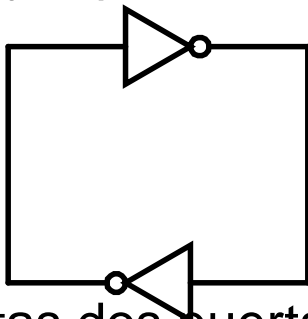


### 3. Concepto de biestable

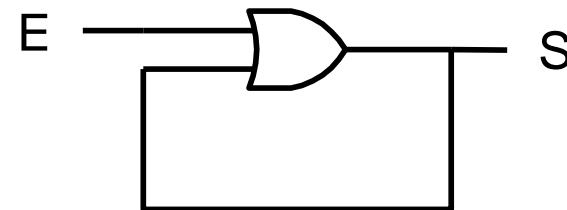
**Un biestable es un circuito digital que puede tener dos estados H o L, pero que además tiene memoria: es decir que recuerda su estado anterior:** Es un dispositivo de almacenamiento temporal de estados que puede permanecer en cualquiera de sus dos estados gracias a su capacidad de realimentación. Dispositivo capaz de almacenar un bit (H ó L).

**Principio de funcionamiento de un biestable:** Utilizando realimentación entre puertas se puede mantener (*almacenar*) un valor estable hasta que cambien las condiciones de entrada.

Ejemplos:



Estas dos puertas NOT mantienen un valor estable (no puede modificarse porque no hay entradas)



$$S(t+1) = S(t) + E$$

Al poner E a 1, S valdrá 1 (ese 1 ya no se puede borrar)





## 4. Tipos de biestables

---

Según el tipo de sincronismo de los biestables, podemos clasificarlos en:

- Asíncrono (*latch*)
- Síncrono por nivel alto o bajo (*latch with enable high/low*)
- Síncrono por flanco de subida o de bajada (*flip-flop positive/negative edge triggered*)

Según las entradas de datos de que disponen (lógica de disparo o de excitación) podemos establecer varios tipos de biestables:

- S-R: entradas de puesta a 1 (S, *set*) y puesta a 0 (R, *reset*)
- J-K: entradas de puesta a 1 (J, *set*) y puesta a 0 (K, *reset*)
- D: entrada de datos (D)
- T: entrada de inversión o basculamiento (*toggle*)



# Tipos de biestables

---

Los biestables síncronos pueden tener entradas asíncronas que se utilizan para forzar un valor determinado en los mismos al margen del reloj.

⇒ Puesta a 0 asíncrona (*clear, reset*)

⇒ Puesta a 1 asíncrona (*preset, set*)

Las entradas asíncronas de un biestable actúan al margen de las síncronas y prevalecen sobre ellas. Son muy útiles para iniciar o reiniciar el sistema con un estado inicial determinado.

Las entradas asíncronas pueden ser activas por nivel alto o por nivel bajo.



# Tipos de biestables

---

A veces es conveniente que los biestables síncronos por flanco no cambien de estado en todos los flancos del reloj, sino sólo en algunos. Para ello se les dota de una **entrada de habilitación de reloj** (*clock enable*, CE) activa por nivel.

- ➡ Si CE está activa “habilita” el efecto de los flancos del reloj.
- ➡ Si CE está inactiva inhibe los flancos del reloj preservando el estado del biestable.

En ocasiones los biestables están dotados de un *buffer* triestado interpuesto entre el valor del estado y la salida, regulado por una **entrada de habilitación de la salida** (*output enable*, OE) activa por nivel alto o bajo.

- ➡ Si OE está activa, la salida del biestable es L ó H y coincide con el estado.
- ➡ Si OE está inactiva, la salida del biestable queda desconectada en alta impedancia.



# Tipos de biestables

## Tabla de excitación de un biestable

Muestra las entradas que hay que introducir en un biestable para gobernar sus transiciones entre estados.

Estado actual	Estado siguiente	Entradas			
		X0	X1	...	Xn
S <sub>i</sub>	S <sub>j</sub>	V0	V1	...	Vn
.	.			.	
.	.			.	
.	.			.	



## 5. Parámetros temporales de los biestables

### Tiempo de propagación o retardo del biestable (*delay time*)

Tiempo necesario para que el efecto de un cambio en la entrada se haga estable en la salida.

⇒  $t_{pHL}$ : cuando la salida cambia de H a L.

⇒  $t_{pLH}$ : cuando la salida cambia de L a H.

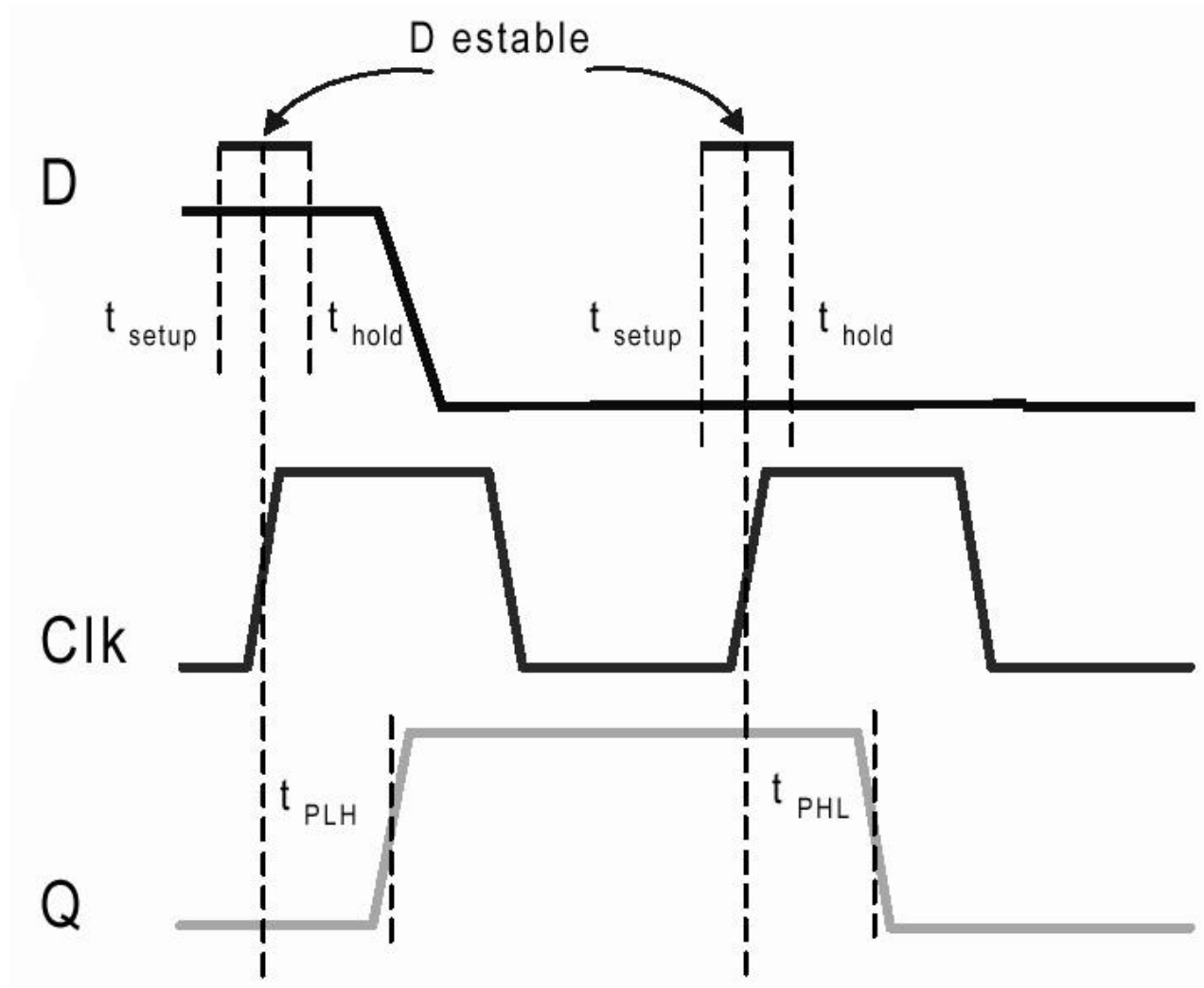
⇒  $t_{pd}$ : media de los dos anteriores.

### Tiempo de establecimiento (*setup time*)

Tiempo mínimo anterior al flanco de disparo en que las entradas no deben variar (tiempo necesario para que el biestable asiente las entradas antes del flanco).

### Tiempo de mantenimiento (*hold time*)

Es el tiempo máximo posterior al flanco de disparo en que las entradas no deben variar (tiempo necesario para que el biestable procese las entradas).





# Parámetros temporales de los biestables

---

## **Anchura del reloj $t_{WH}$ y $t_{WL}$**

Duración mínima necesaria para los pulsos de nivel alto y bajo respectivamente.

## **Frecuencia máxima $f_{max}$**

Máxima frecuencia permitida al reloj del biestable. Si se supera, el biestable puede funcionar mal.

## **Tiempo de *preset* y *clear***

Es el tiempo mínimo que debe durar el nivel activo de las entradas asíncronas de puesta a 1 y puesta a 0 para que el biestable tome el valor pertinente. Este tiempo suele estar incluido en  $t_{pLH}$  y  $t_{pHL}$  respectivamente.

## **Disipación de potencia**

Potencia total consumida por el dispositivo



**Metaestabilidad:** En determinadas circunstancias los biestables síncronos por flanco pueden entrar en un estado que no es ni H ni L.

La metaestabilidad se puede producir cuando las entradas del biestable no están sincronizadas con su reloj y no respetan los parámetros temporales dados por el fabricante, en particular los tiempos de establecimiento ( $t_{\text{setup}}$ ) y mantenimiento ( $t_{\text{hold}}$ ). Si el valor de las entradas cambia en el tiempo dado por  $t_{\text{setup}} + t_{\text{hold}}$  el biestable puede quedar en estado metaestable.

Esto puede tener graves consecuencias, puesto que la salida ofrecida por el biestable puede ser interpretada como H por unos componentes del sistema y como L por otros, causando así un mal funcionamiento de características impredecibles.





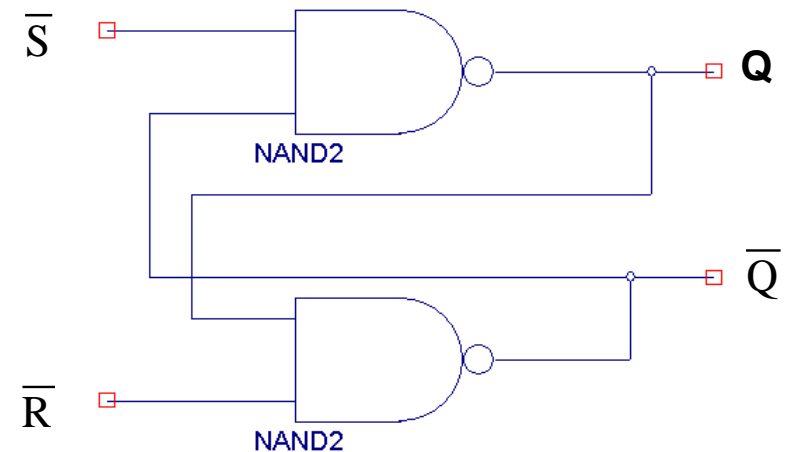
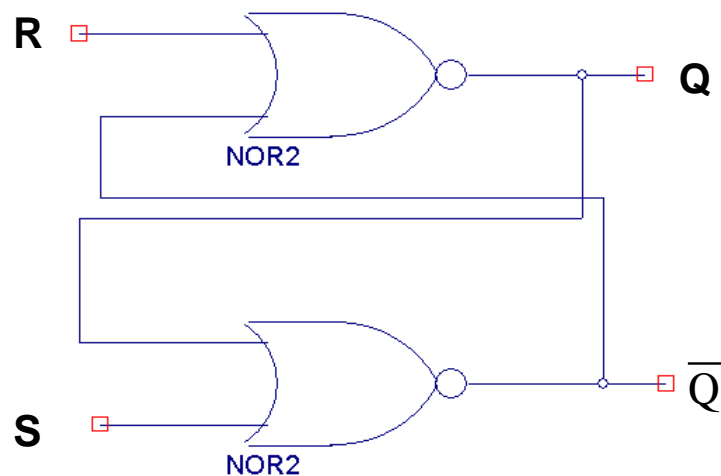
## 6. Biestable S-R

El biestable S-R tiene dos entradas (S, R) y dos salidas (Q.H y Q.L)

- ➔ Entrada S (*set*): puesta a 1
- ➔ Entrada R (*reset*): puesta a 0
- ➔ Salida Q.H: contenido del biestable (activa por nivel alto)
- ➔ Salida Q.L: contenido del biestable (activa por nivel bajo)

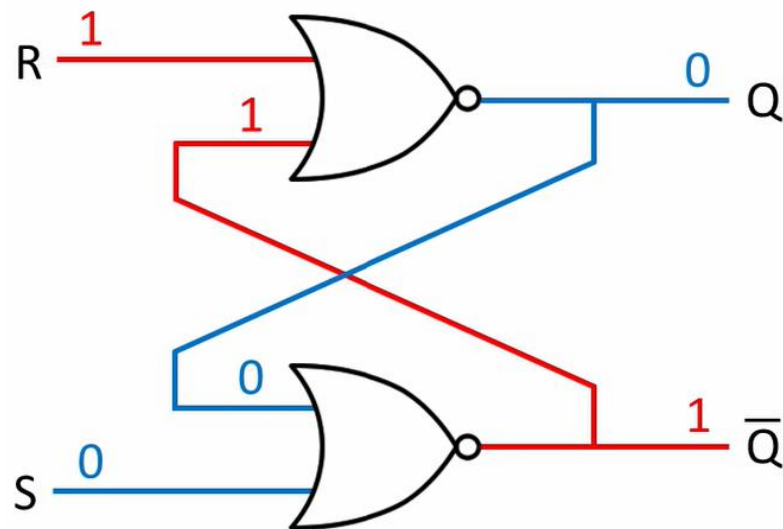
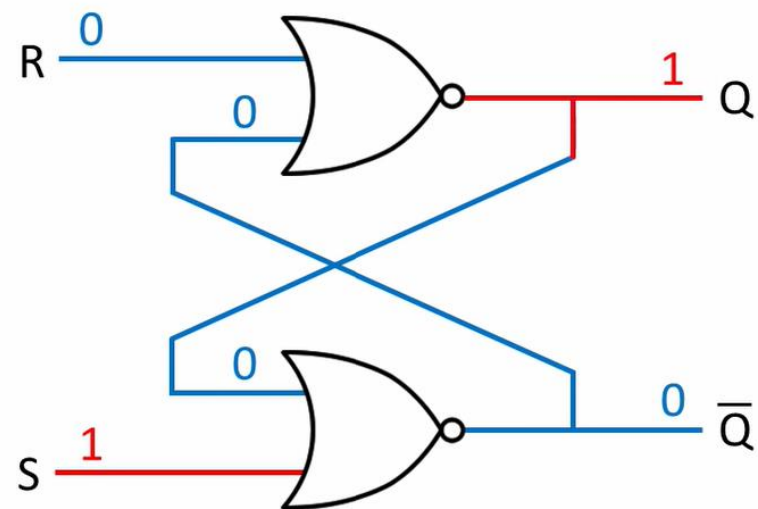
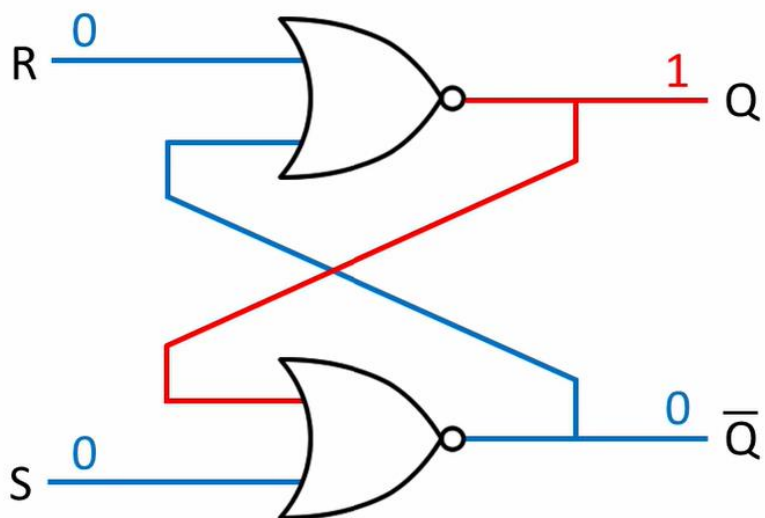
**¡S y R no deben estar activas a la vez!**

### Implementación





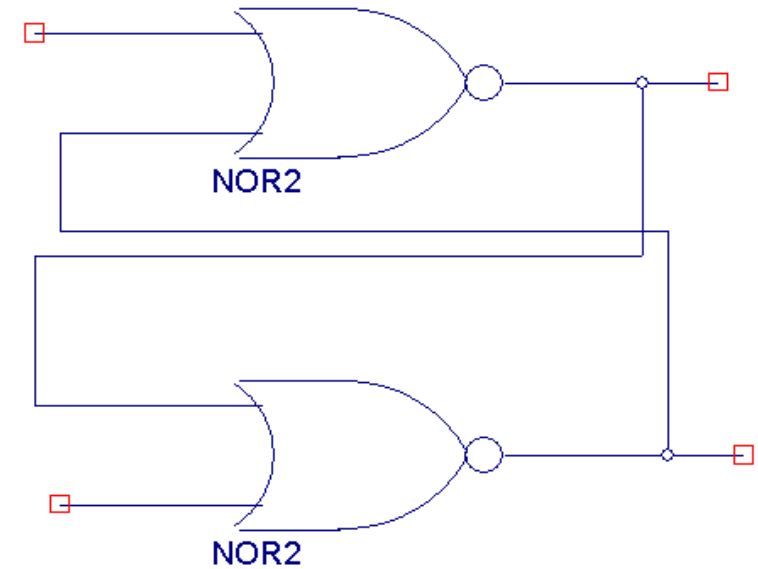
## 6. Biestable S-R



## 6. Biestable S-R

**Tabla de verdad**

S	R	$Q(t+1)$	$\bar{Q}(t+1)$	Operación
0	0	$Q(t)$	$\bar{Q}(t)$	Mantenimiento
0	1	0	1	Puesta a 0
1	0	1	0	Puesta a 1
1	1	--	--	Prohibido

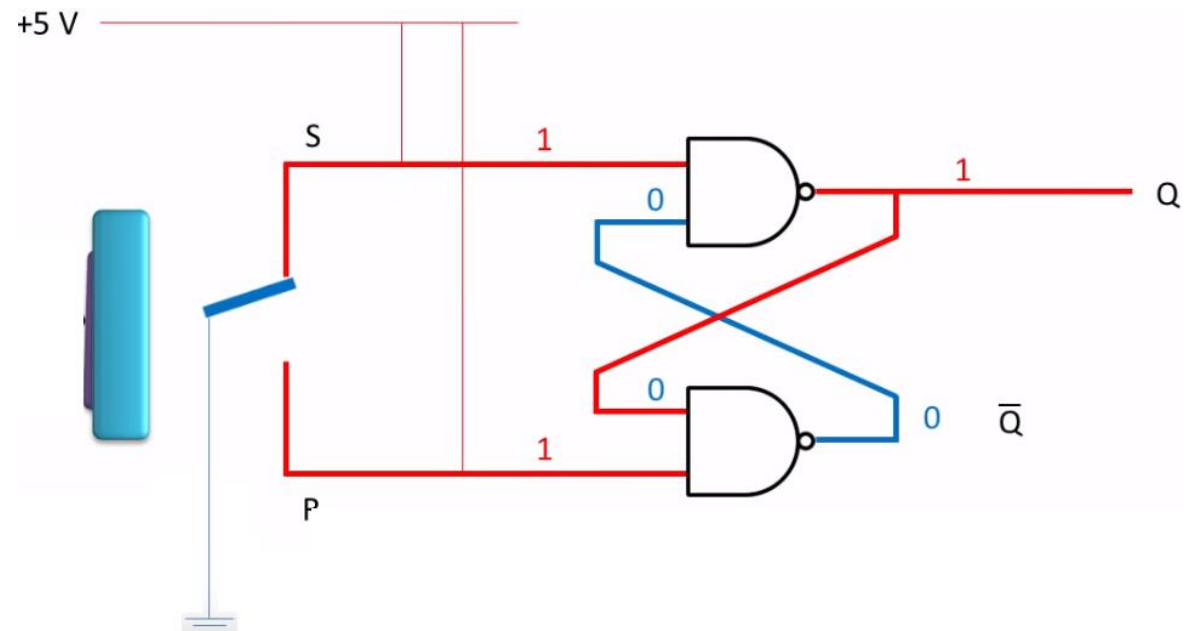


## Tabla de excitación

Q(t)	Q(t+1)	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

## Ecuación característica

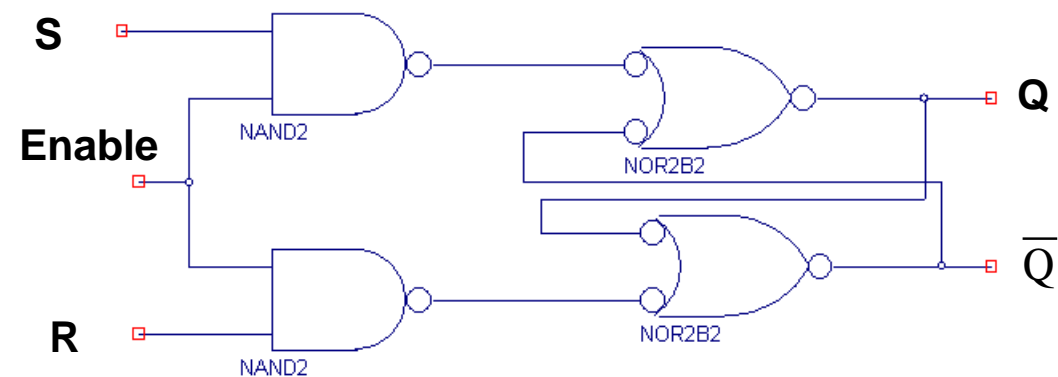
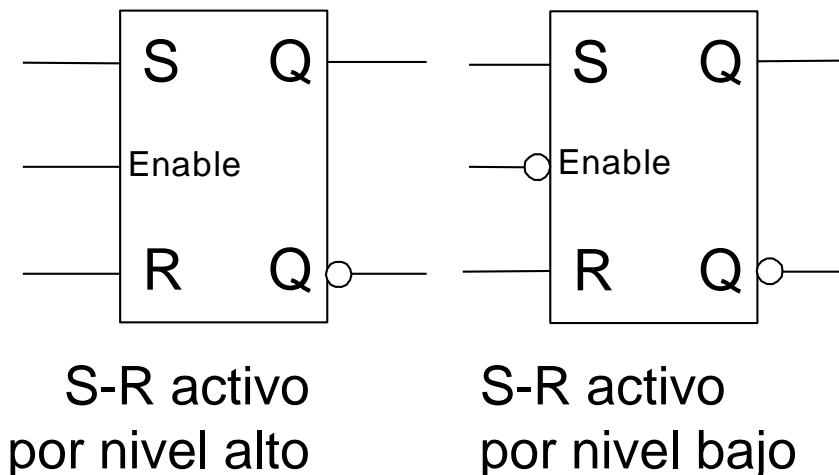
$$Q(t + 1) = \bar{R} \cdot Q(t) + S$$





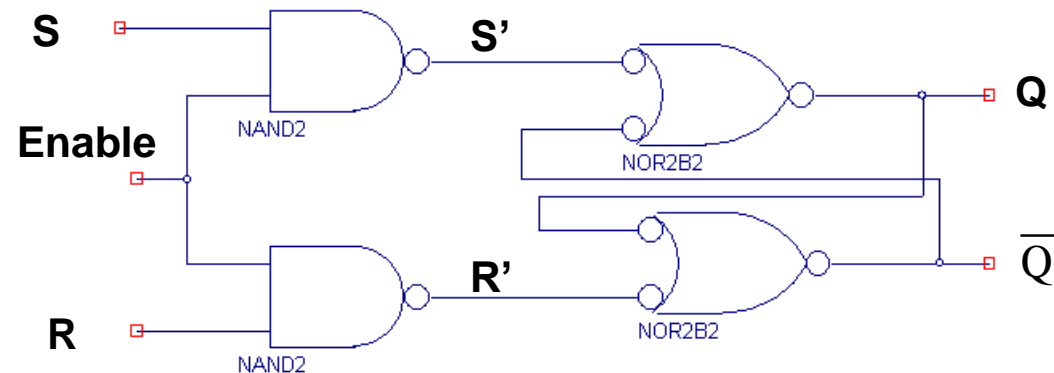
# Biastable S-R síncrono por nivel

- ➔ Este biestable cuenta con una entrada de reloj que habilita o inhabilita las entradas S y R según esté en nivel alto o bajo.
- ➔ Al ser activa por nivel, a la entrada de reloj se la suele llamar entrada de habilitación (*enable*, a veces se la llama *strobe* si es activa por nivel bajo).
- ➔ El biestable puede ser activo por nivel alto o por nivel bajo (*S-R latch with enable high/low*).
- ➔ **Las entradas S y R son activas por nivel alto**



# Biastable S-R síncrono por nivel

- Circuito que implementa el biastable activo por en nivel alto



Cuando la entrada Enable es 0, las salidas  $S'$  y  $R'$  son 0

- $Q$  y  $\bar{Q}$  se mantienen a sus estados y el biastable mantiene su estado, no importan las entradas.

Cuando la entrada Enable es 1, las salidas  $S' = S$  y  $R' = R$

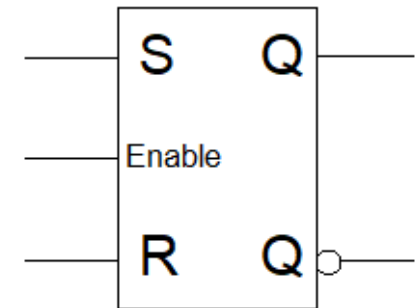
- Podremos hacer un set o reset o mantener también el estado



# Biastable S-R síncrono por nivel

- Tabla de funcionamiento de biastable S-R

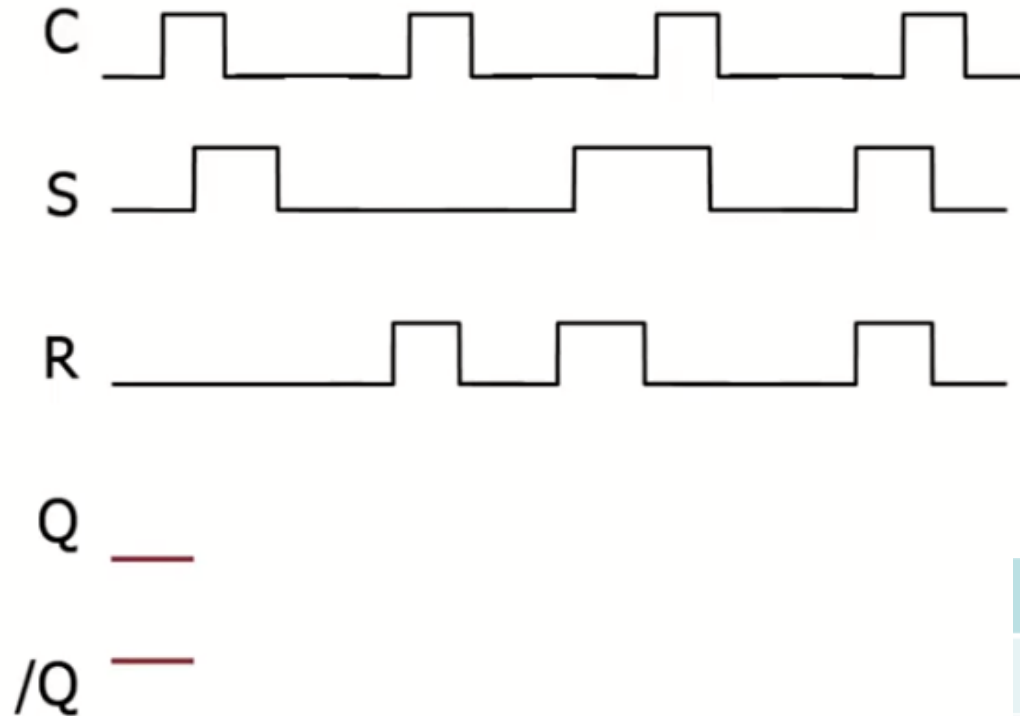
Enable/C	S	R	$Q(t+1)$	$\bar{Q}(t+1)$
0	X	X	$Q(t)$	$\bar{Q}(t)$
1	0	0	$Q(t)$	$\bar{Q}(t)$
1	0	1	0	1
1	1	0	1	0
1	1	1	--	--



- Mant
- Mant
- Reset
- Set
- Prohibido

# Biestable S-R síncrono por nivel

## ■ Cronograma



Enable/C	S	R	$Q(t+1)$	$\bar{Q}(t+1)$
0	X	X	$Q(t)$	$\bar{Q}(t)$
1	0	0	$Q(t)$	$\bar{Q}(t)$
1	0	1	0	1
1	1	0	1	0
1	1	1	--	--





The timing diagram shows the relationship between inputs C, S, R and outputs Q, /Q. The inputs C, S, and R are shown as black waveforms. The outputs Q and /Q are shown as red waveforms. The diagram is divided into segments by vertical lines (green and blue). The segments are labeled with red text: M, S, M, R, M, M\*, S, M. The output Q is high for M, S, M, R, M, M\*, S, M. The output /Q is low for M, S, M, R, M, M\*, S, M. The output Q is high for the final segment, and /Q is low for the final segment. The final segment is marked with a red asterisk and a green 'X'.

25



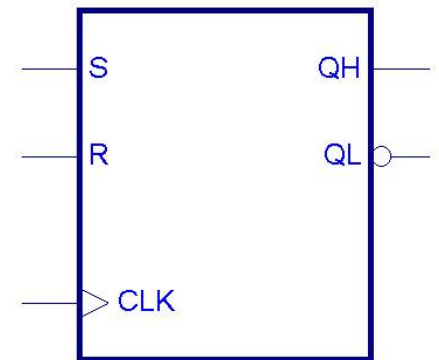
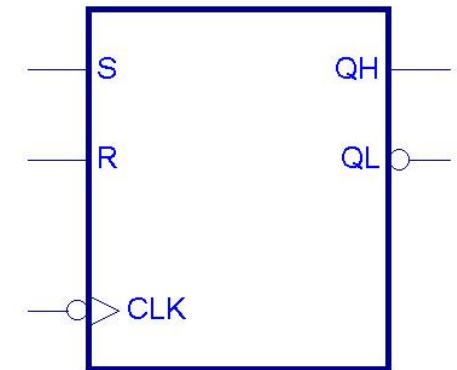
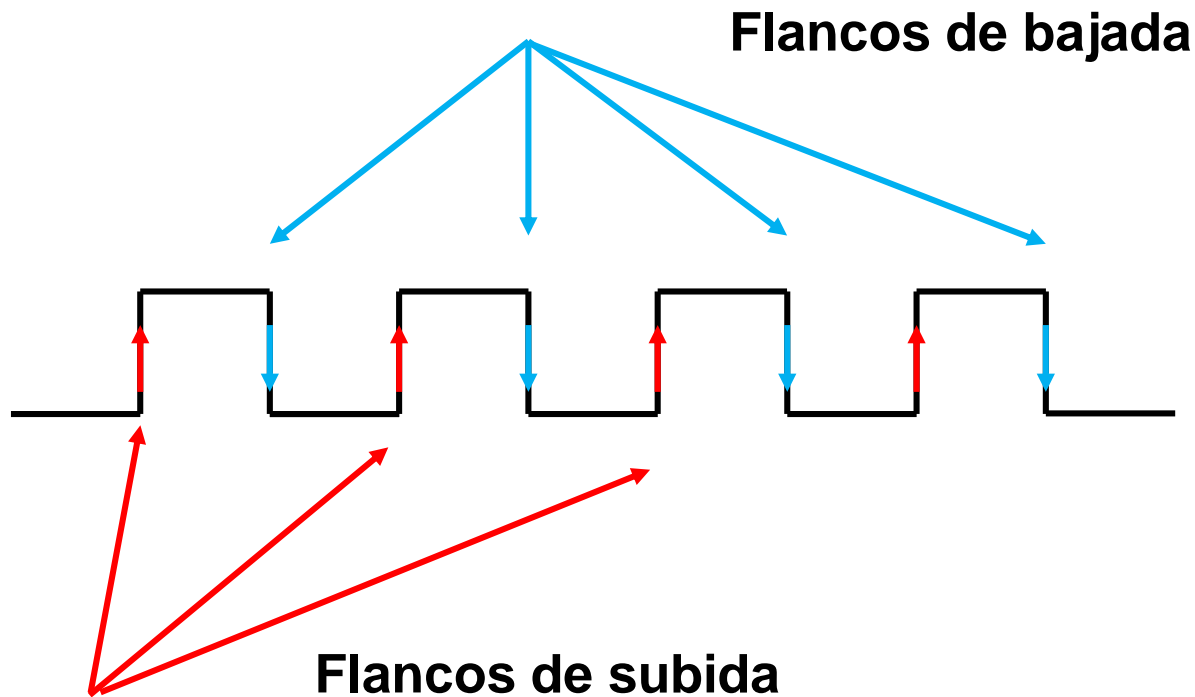
# Biastable S-R síncrono por nivel

---

- Biastable síncrono: tiene señal Enable que le permite de habilitar o el contrario
- $C=0$  , mantiene
- $C=1$ :
  - ✓  $SR=00$  mantiene
  - ✓  $SR=01$  reset
  - ✓  $SR=10$  set
  - ✓  $SR=11$  : prohibido

# Biastable S-R síncrono por flancos

## Flanco de subida y de bajada

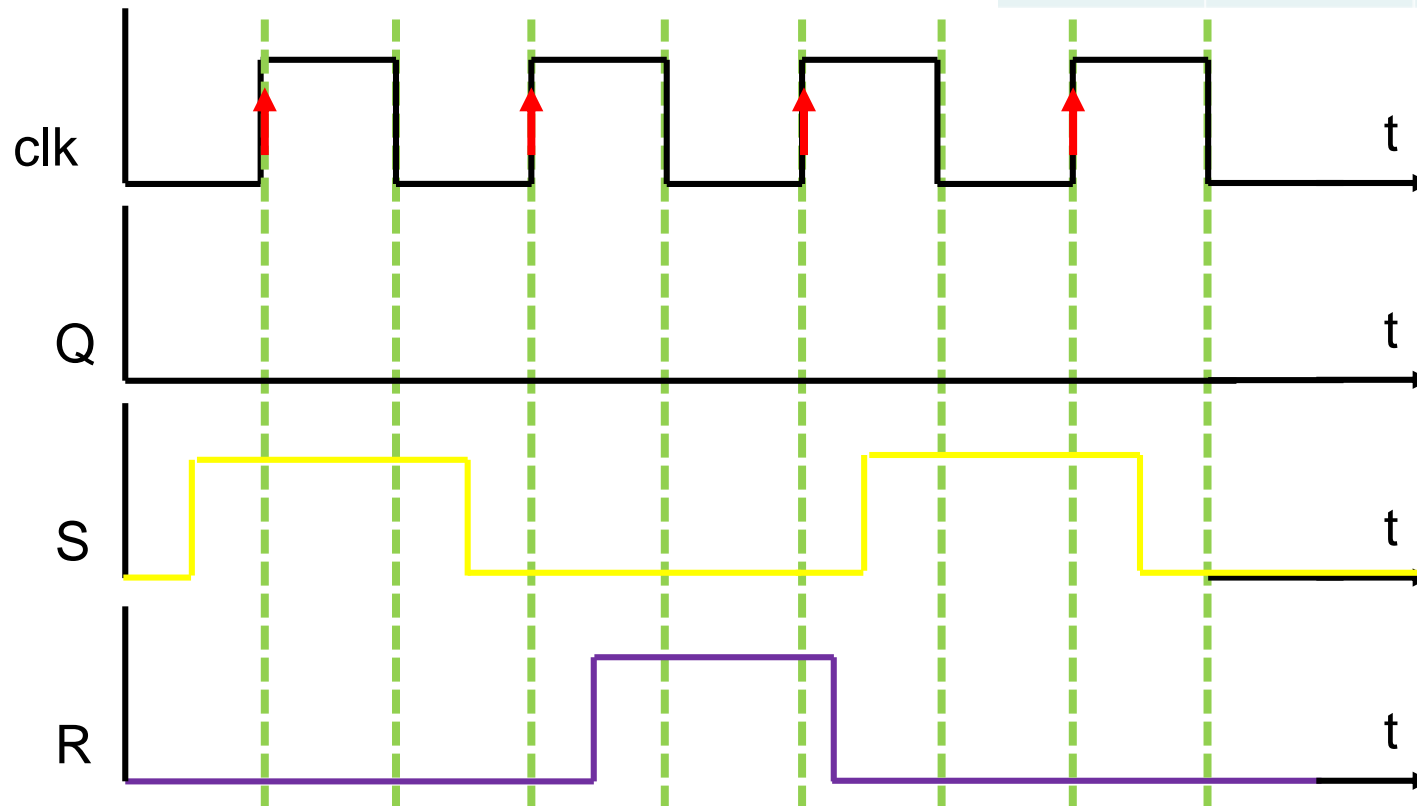




# Biastable S-R síncrono por flancos

Enable/C	S	R	$Q(t+1)$	$\bar{Q}(t+1)$
0	X	X	$Q(t)$	$\bar{Q}(t)$
1	0	0	$Q(t)$	$\bar{Q}(t)$
1	0	1	0	1
1	1	0	1	0
1	1	1	--	--

Flanco de subida

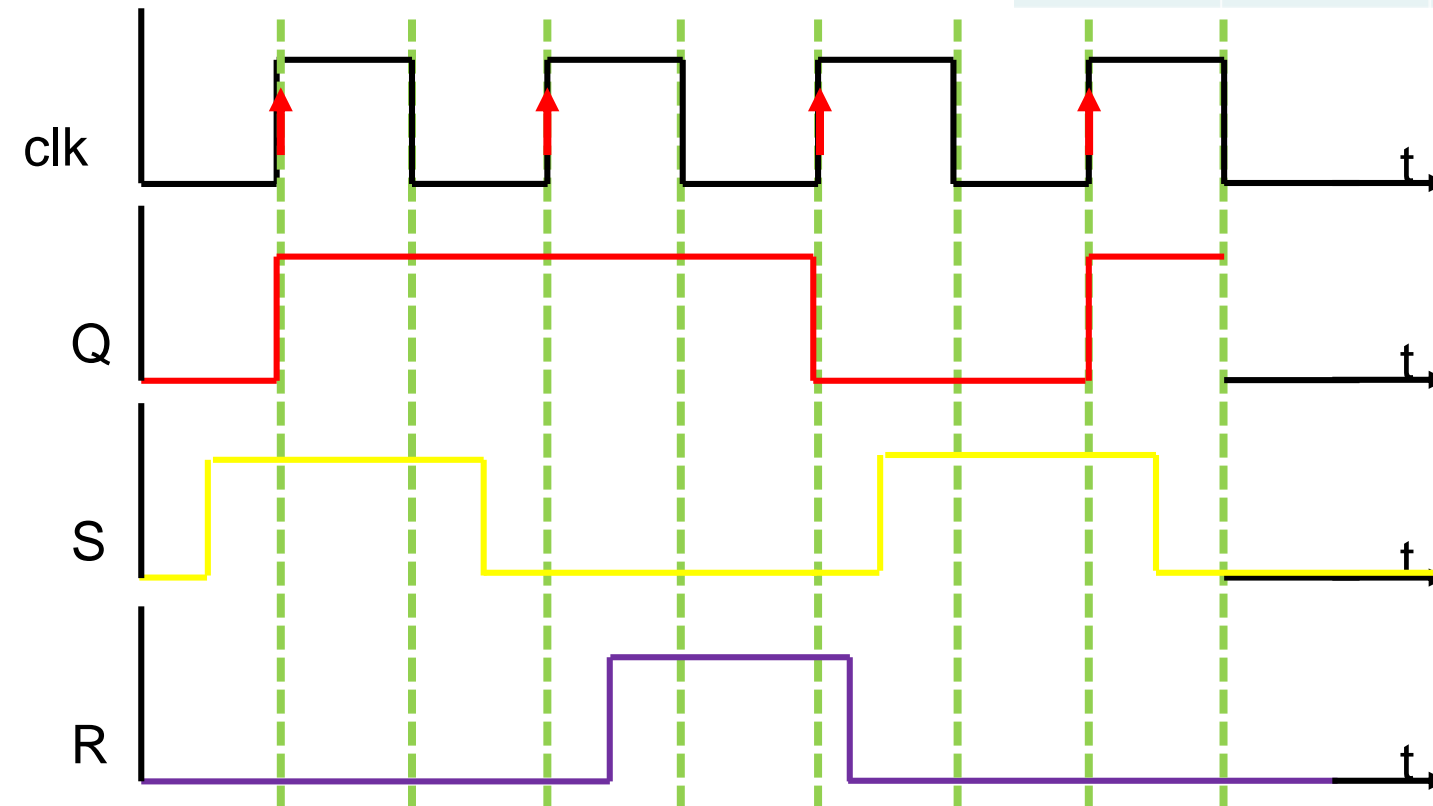




# Biastable S-R síncrono por flancos

Enable/C	S	R	$Q(t+1)$	$\bar{Q}(t+1)$
0	X	X	$Q(t)$	$\bar{Q}(t)$
1	0	0	$Q(t)$	$\bar{Q}(t)$
1	0	1	0	1
1	1	0	1	0
1	1	1	--	--

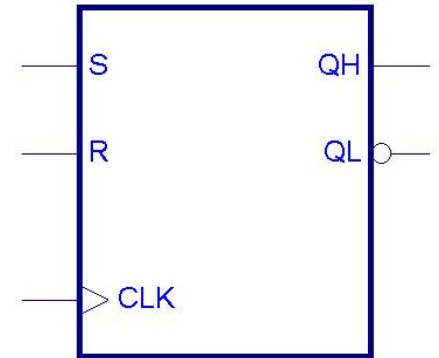
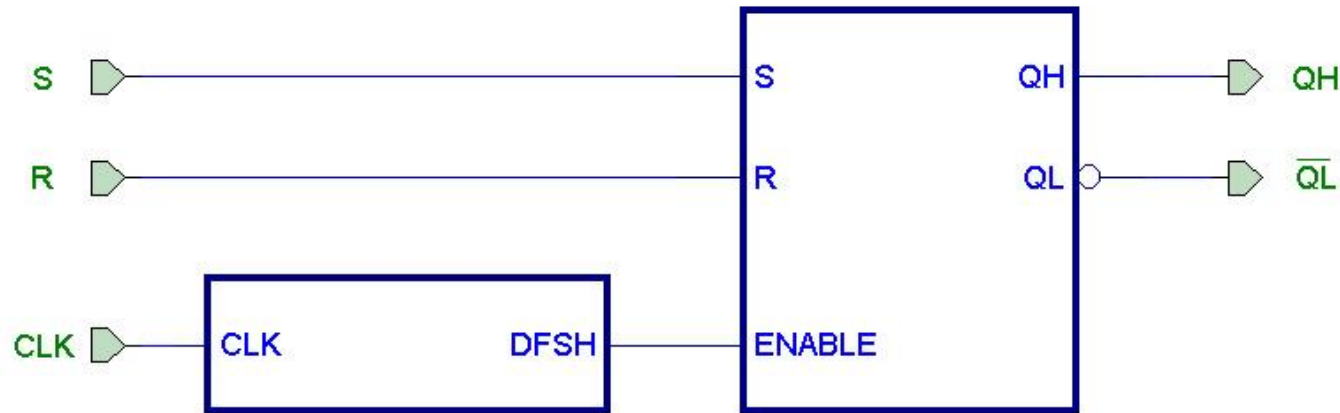
**Flanco de subida**



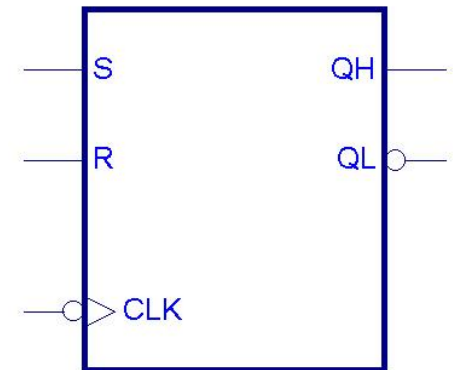
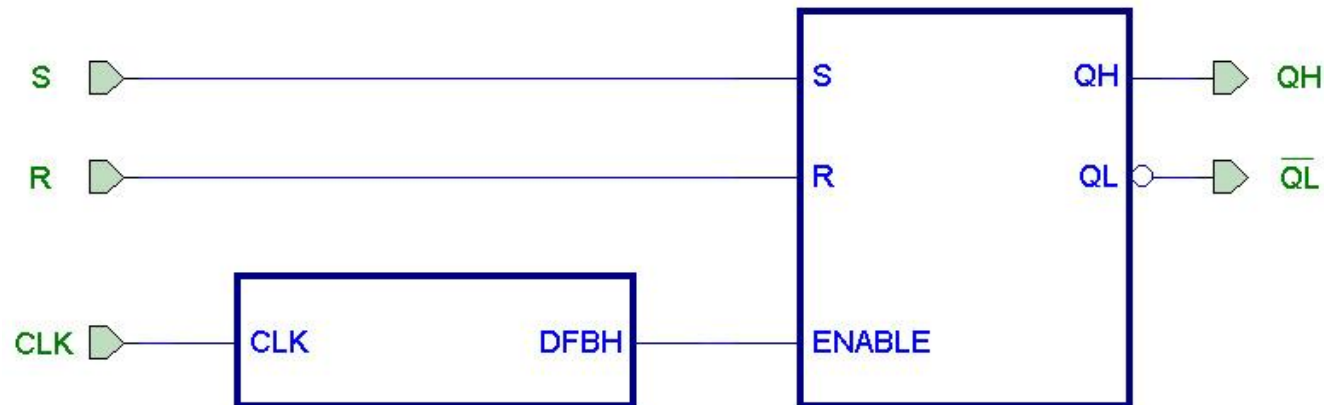


# Bistable S-R síncrono por flancos

## S-R síncrono por flanco de subida

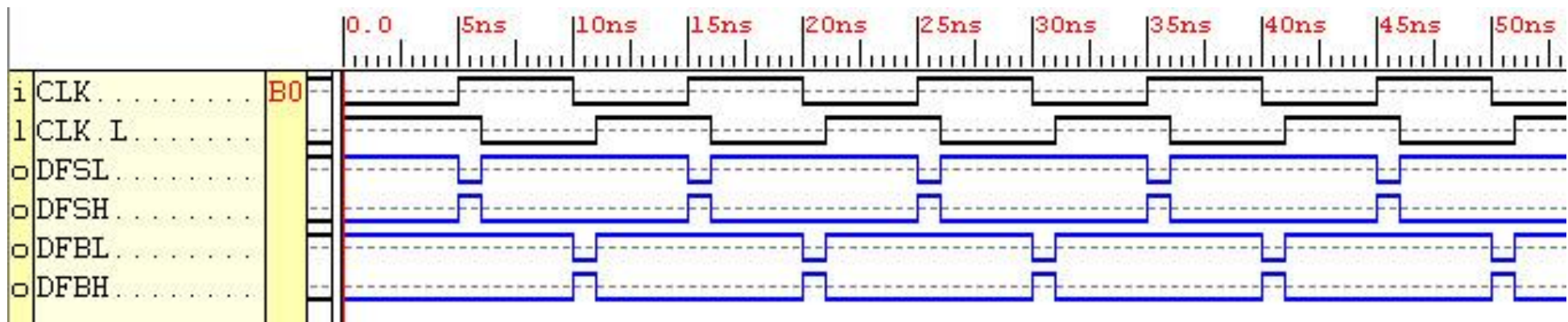
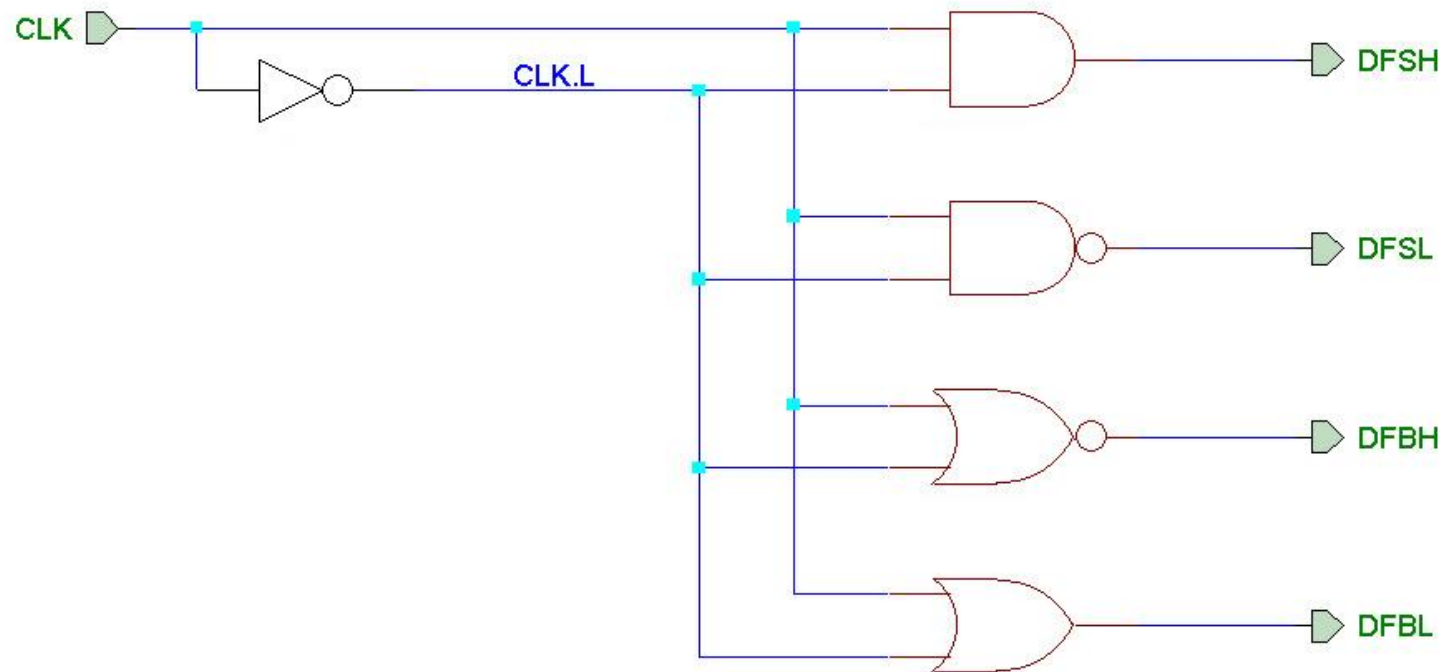


## S-R síncrono por flanco de bajada





# Circuitos detectores de flancos





## 7. Biestable D

También llamado biestable seguidor o biestable de datos.

- ⇒ Cuenta con una única entrada D que se copia al interior del biestable en los instantes de sincronismo.
- ⇒ Sólo tiene sentido en modo síncrono (por nivel o por flanco).
- ⇒ **La entrada D es activa por nivel alto**

### Tabla de excitación

Q(t)	Q(t + 1)	D
0	0	0 (L)
0	1	1 (H)
1	0	0 (L)
1	1	1 (H)

El nuevo estado es 1 si D está activa (H) en el instante de sincronismo.

El nuevo estado es 0 si D está inactiva (L) en el instante de sincronismo.

**Ejemplo CI: 74HC74**

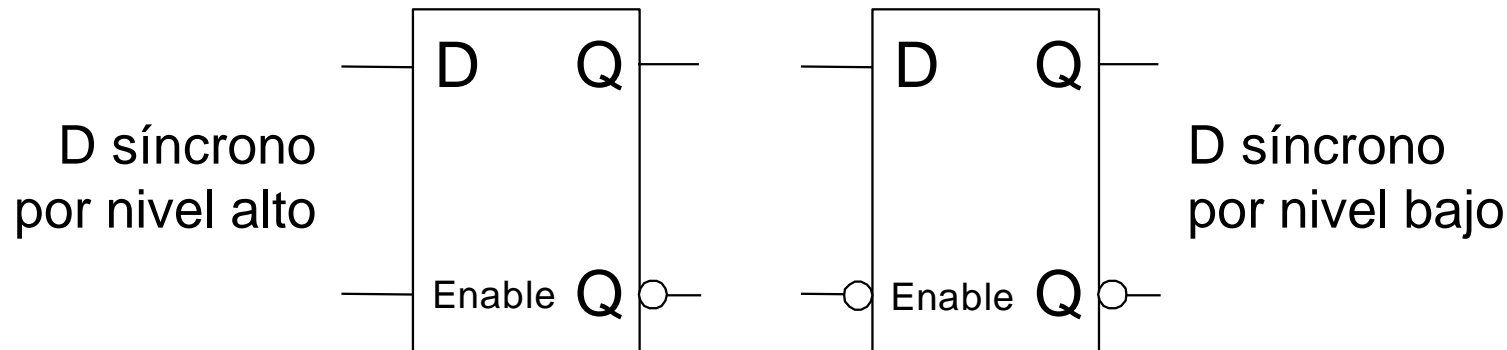




# Biestable D síncrono por nivel

Este biestable cuenta con una entrada de reloj que habilita o inhabilita la entrada D según esté en nivel alto o bajo.

➡ El biestable puede ser activo por nivel alto o por nivel bajo (*D latch with enable high/low*).





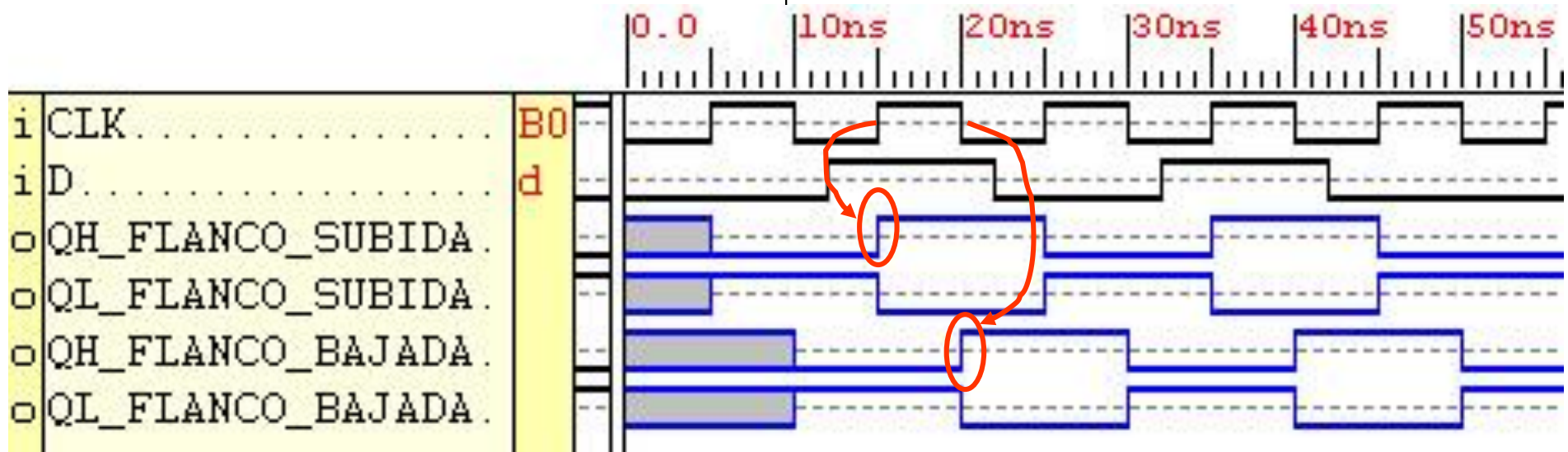
# Bi stable D síncrono por flanco

D síncrono por flanco de subida: tabla de verdad

Reloj	D	$Q(t+1)$	$\bar{Q}(t+1)$	Operación
↑	L	L	H	Puesta a 0
↑	H	H	L	Puesta a 1
Resto	H	$Q(t)$	$\bar{Q}(t)$	Entrada síncrona bloqueada

D síncrono por flanco de bajada: tabla de verdad

Reloj	D	$Q(t+1)$	$\bar{Q}(t+1)$	Operación
↓	L	L	H	Puesta a 0
↓	H	H	L	Puesta a 1
Resto	H	$Q(t)$	$\bar{Q}(t)$	Entrada síncrona bloqueada





## 8. Biestable J-K

Tiene dos entradas de excitación (J,K) y dos salidas (Q.H y Q.L)

- ➔ Entrada J (*set*): puesta a 1
- ➔ Entrada K (*reset*): puesta a 0
- ➔ Salida Q.H: contenido del biestable (activa por nivel alto)
- ➔ Salida Q.L: contenido del biestable (activa por nivel bajo)

Las dos entradas J y K pueden estar activas a la vez. En tal caso se produce una inversión en el estado del biestable.

Sólo se utilizan en modo **síncrono por flanco**, porque en asíncrono y en síncrono por nivel se producen oscilaciones en el estado si J=K=1.

Q(t)	Q(t+1)	J	K
0	0	0 (L)	X
0	1	1 (H)	X
1	0	X	1 (H)
1	1	X	0 (L)

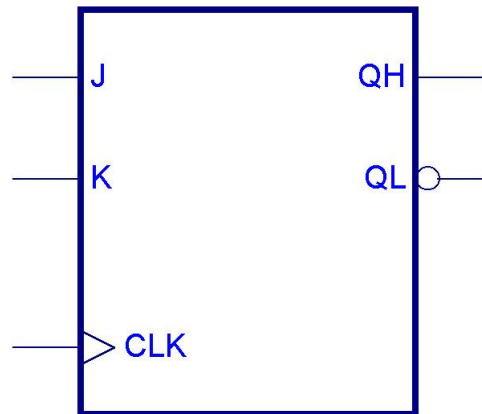
**Ecuación característica**

$$Q(t + 1) = J \cdot \overline{Q}(t) + \overline{K} \cdot Q(t)$$



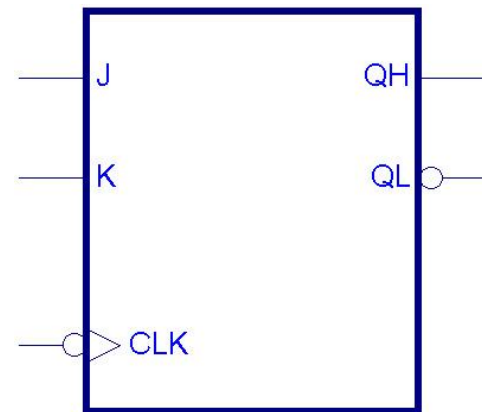
# Biastable J-K síncrono por flanco

## J-K síncrono por flanco de subida



Reloj	J	K	$Q(t+1)$	$\bar{Q}(t+1)$	Operación
↑	L	L	$Q(t)$	$\bar{Q}(t)$	Mantenimiento
↑	L	H	L	H	Puesta a 0
↑	H	L	H	L	Puesta a 1
↑	H	H	$\bar{Q}(t)$	$Q(t)$	Inversión
Resto	X	X	$Q(t)$	$\bar{Q}(t)$	Entradas síncronas bloqueadas

## J-K síncrono por flanco de bajada

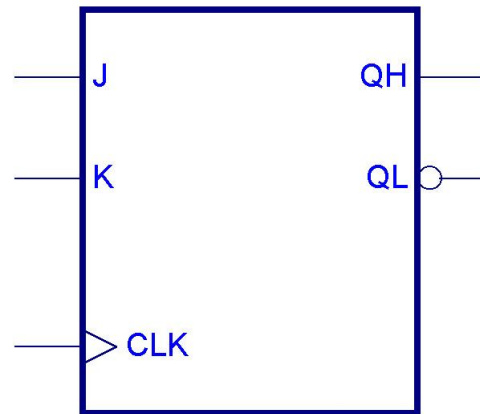


Reloj	J	K	$Q(t+1)$	$\bar{Q}(t+1)$	Operación
↓	L	L	$Q(t)$	$\bar{Q}(t)$	Mantenimiento
↓	L	H	L	H	Puesta a 0
↓	H	L	H	L	Puesta a 1
↓	H	H	$\bar{Q}(t)$	$Q(t)$	Inversión
Resto	X	X	$Q(t)$	$\bar{Q}(t)$	Entradas síncronas bloqueadas

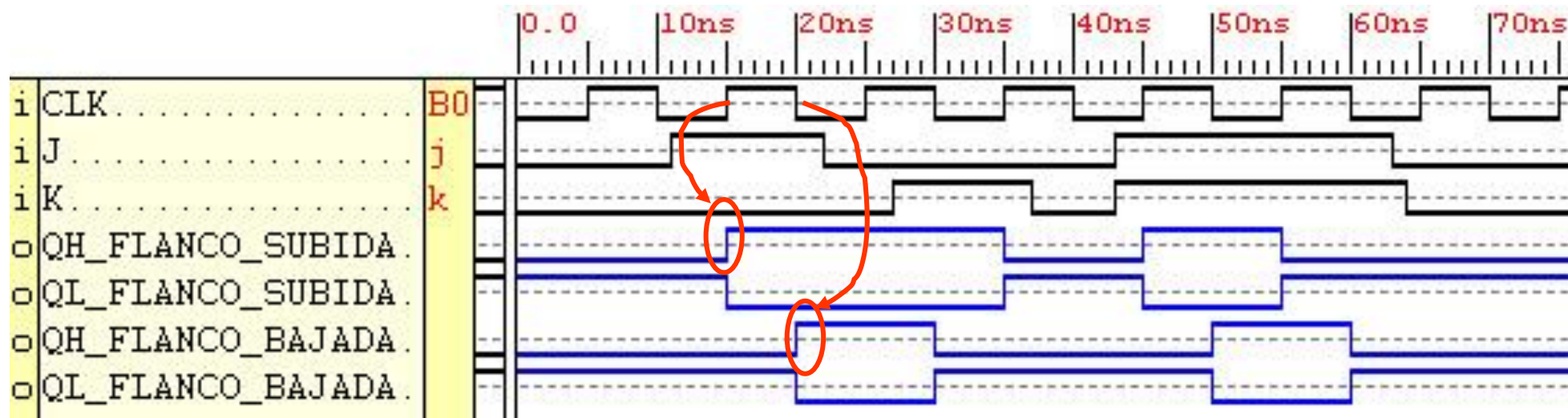
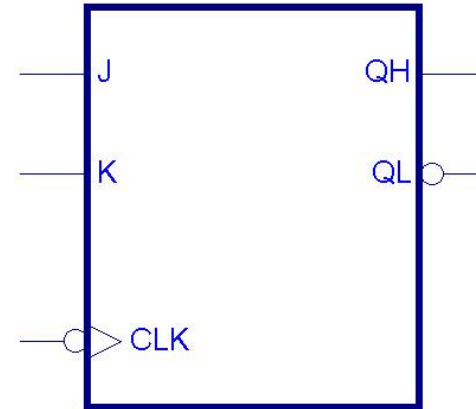


# Biastable J-K síncrono por flanco

**J-K  
síncrono  
por flanco  
de subida**



**J-K  
síncrono  
por flanco  
de bajada**

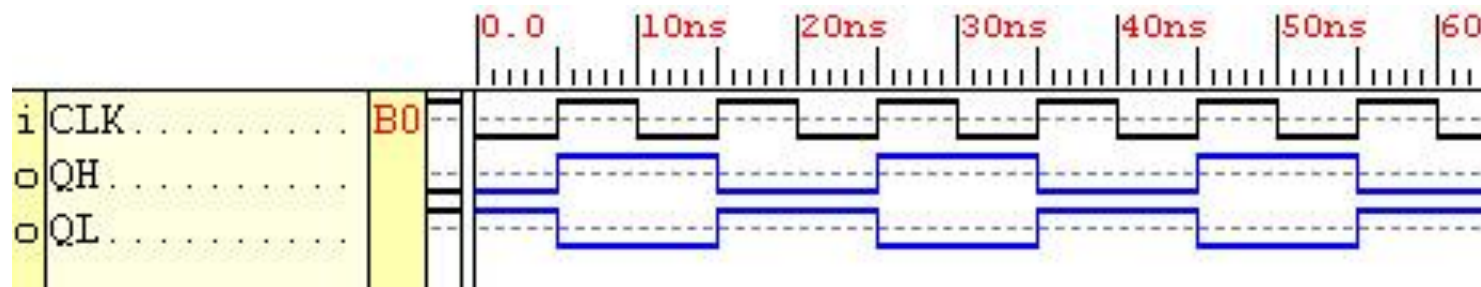
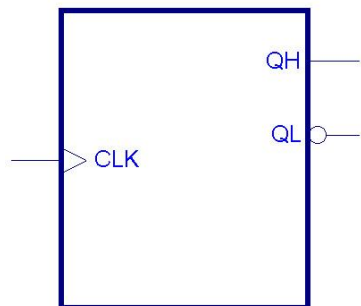




## 9. Biestable T

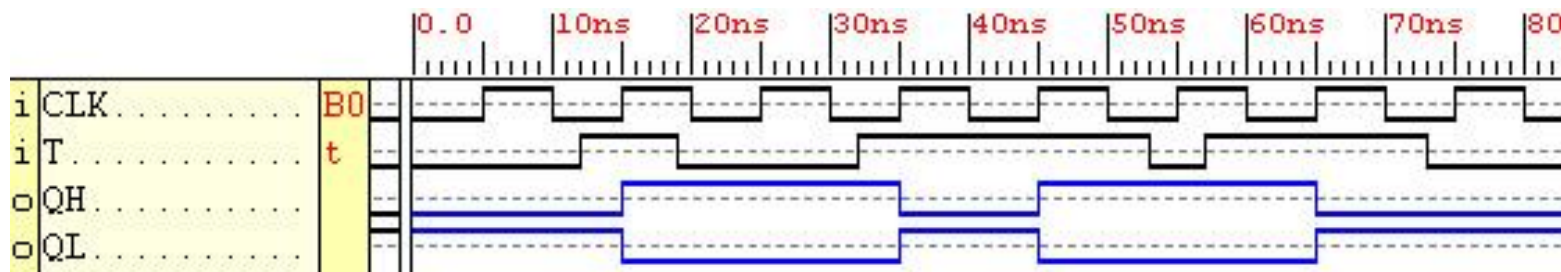
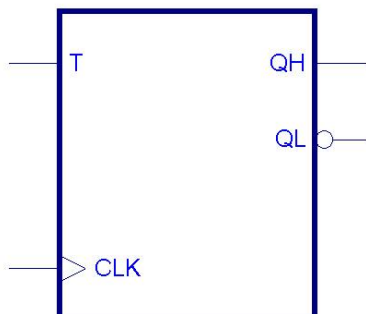
El biestable T sólo tiene sentido si es síncrono por flanco de reloj.

Reloj	$Q(t+1)$	Operación
↑	$\bar{Q}(t)$	Basculamiento
Resto	$Q(t)$	Mantenimiento



El biestable T puede tener una entrada de activación (T, *toggle*), que active / inhiba el flanco de reloj.

Reloj	T	$Q(t+1)$	Operación
↑	H	$\bar{Q}(t)$	Basculamiento
↑	L	$Q(t)$	Mantenimiento
Resto	X	$Q(t)$	Mantenimiento





## 9. Biestable T

El biestable T cambia de estado cada vez que recibe un flanco de reloj (es un divisor de frecuencia).

### Tabla de excitación

Q(t)	Q(t + 1)	T
0	0	0 (L)
0	1	1 (H)
1	0	1 (H)
1	1	0 (L)

### Ecuación característica

$$Q(t + 1) = T \cdot \bar{Q}(t) + \bar{T} \cdot Q(t)$$





## 10. Biestable maestro-esclavo (*master-slave*)

---

Es un biestable construido a partir de dos biestables síncronos por nivel colocados en cascada con relojes invertidos.

El primer biestable (**maestro**) se encarga de procesar la entrada mientras su reloj está activo. Durante este tiempo el reloj del segundo biestable (**esclavo**) está inactivo, y dicho biestable permanece congelado.

Al quedar inactivo el reloj del maestro, éste queda congelado. Entonces se activa el reloj del esclavo, que simplemente copia el estado del maestro.

A los biestables maestro-esclavo se les llama también biestables **síncronos por pulso**, porque su proceso dura un pulso entero de reloj.

Los biestables S-R maestro-esclavo y los J-K maestro-esclavo presentan el problema de la captación de unos y el de la captación de ceros.

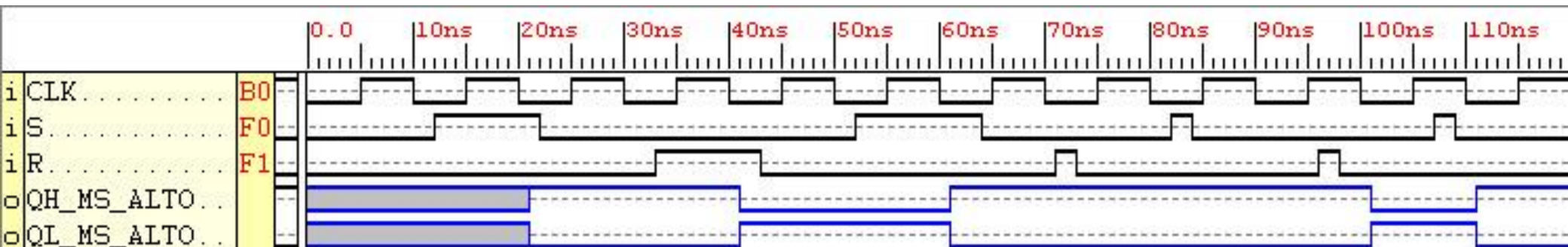
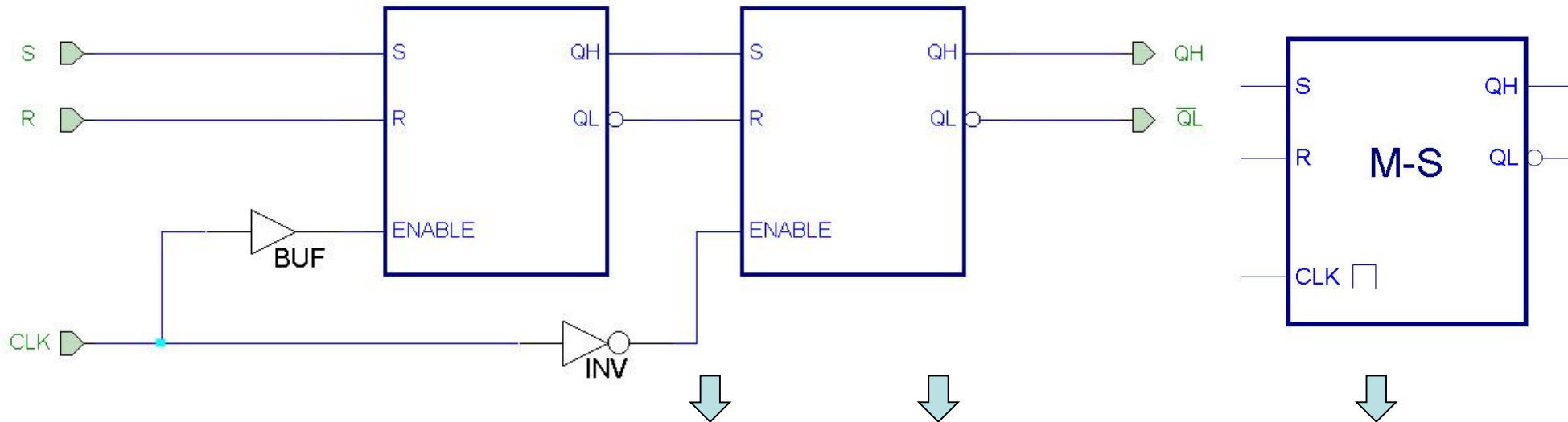
El biestable D maestro-esclavo se comporta como un biestable síncrono por flanco.





## Latch izquierdo: maestro

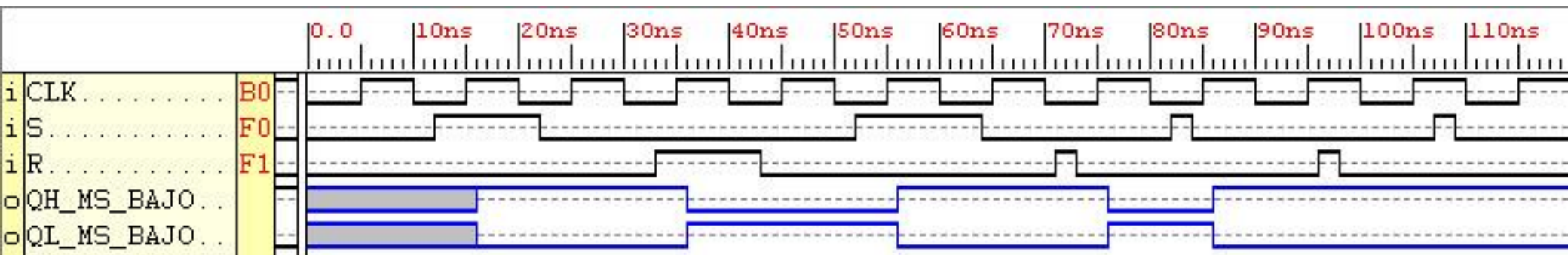
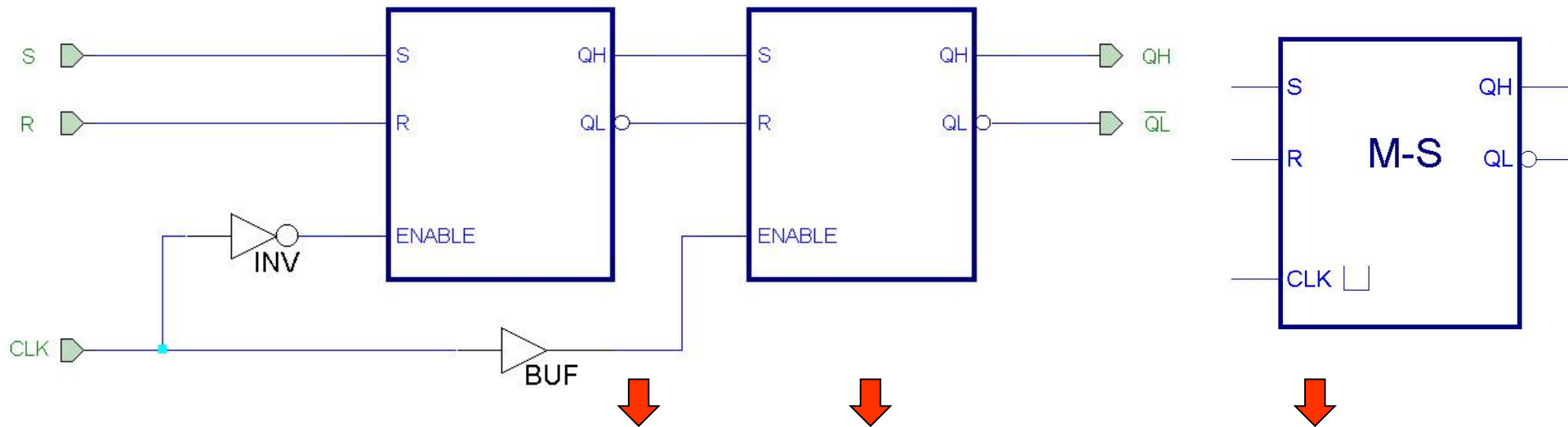
## Latch derecho: esclavo





# Biastable maestro-esclavo (*master-slave*)

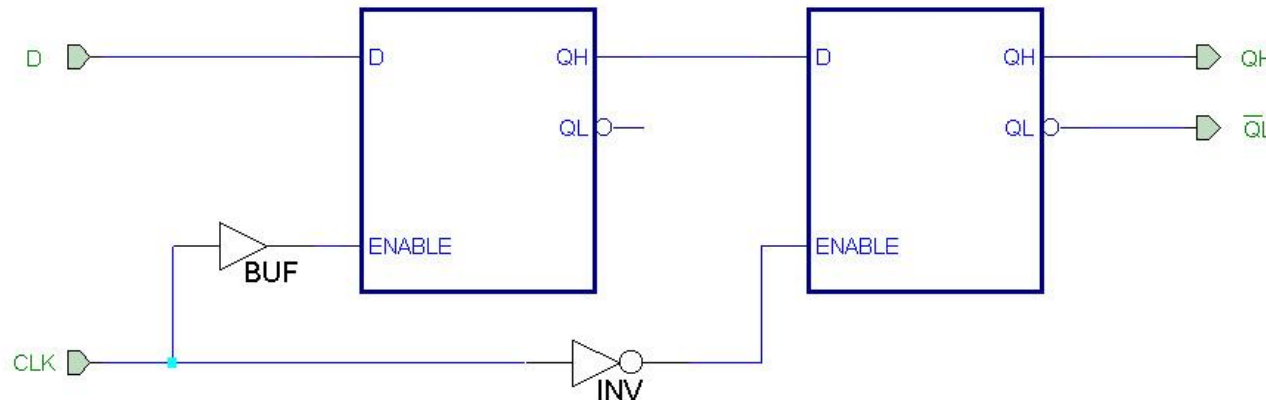
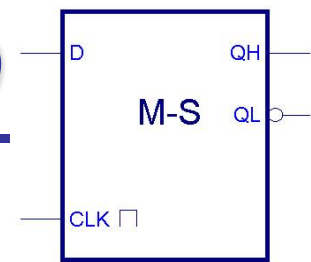
Activo por pulso de nivel bajo



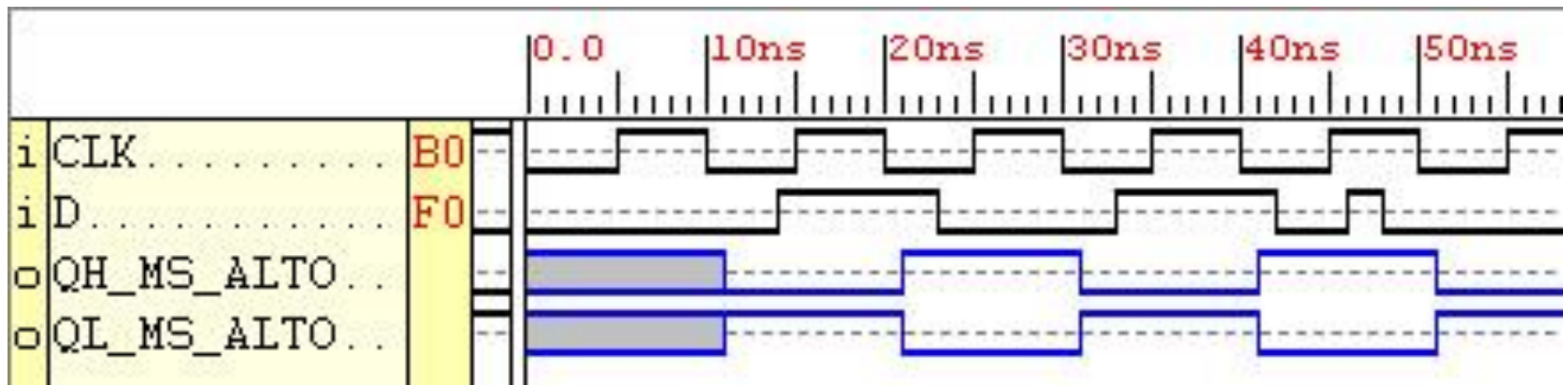


# Biastable maestro-esclavo (*master-slave*)

Activo por pulso de nivel alto

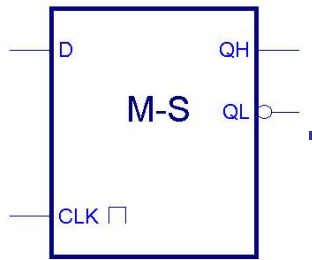


Q(t)	Q(t+1)	D
0	0	0 (L)
0	1	1 (H)
1	0	0 (L)
1	1	1 (H)

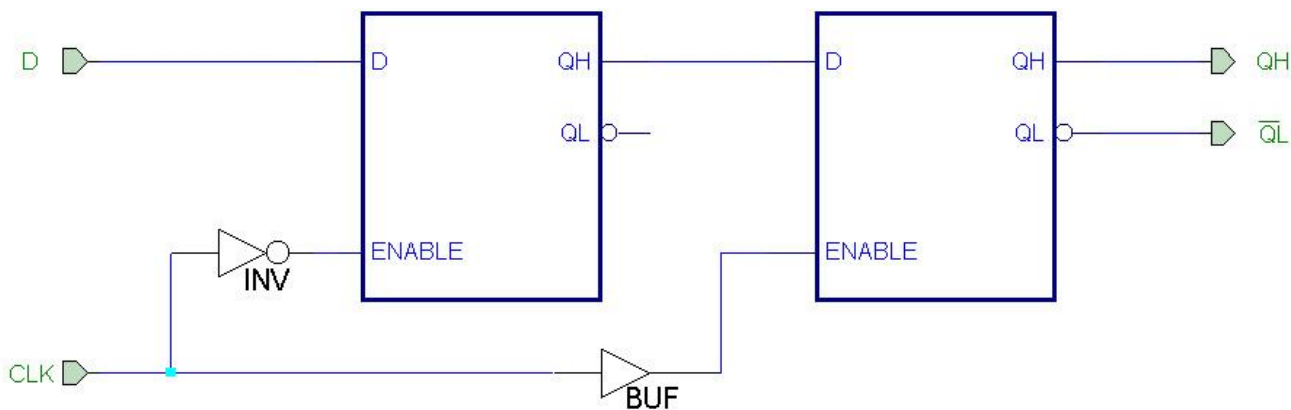




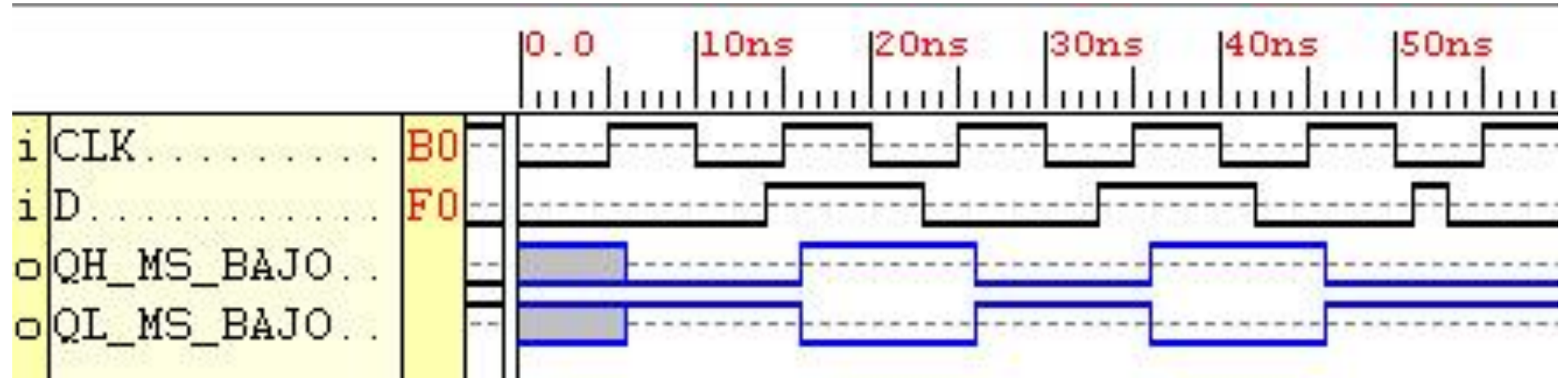
# Biastable maestro-esclavo (*master-slave*)



Activo por pulso de nivel bajo



Q(t)	Q(t + 1)	D
0	0	0 (L)
0	1	1 (H)
1	0	0 (L)
1	1	1 (H)



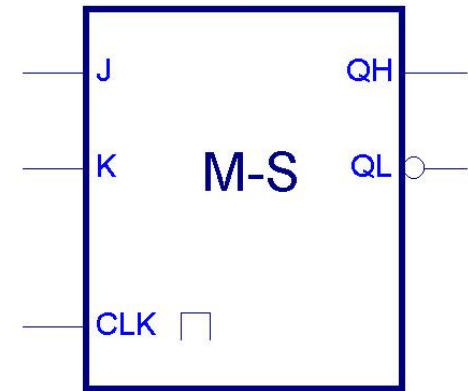
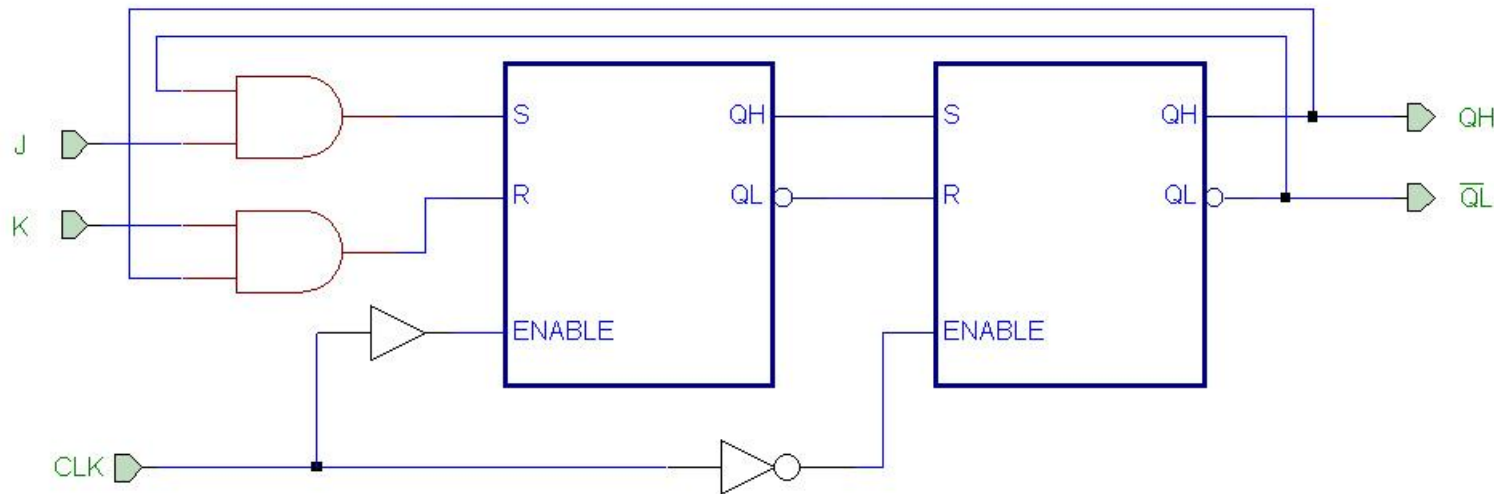


# Bistable *J-K maestro-esclavo (master-slave)*

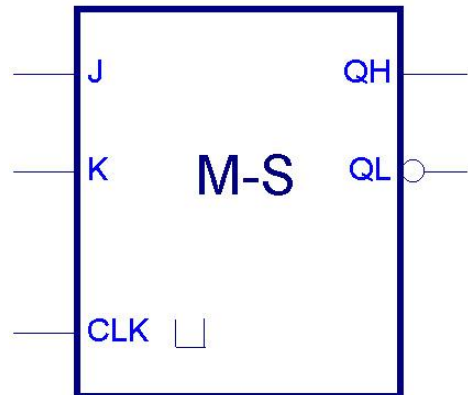
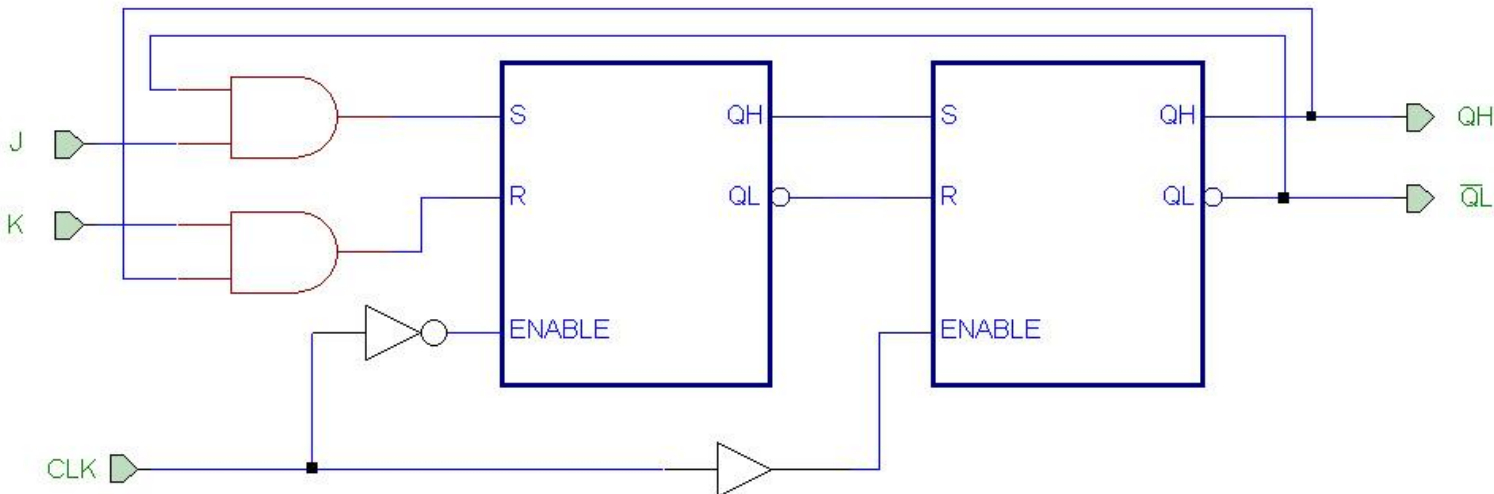
Activo por pulso de nivel alto

**Ecuación característica**

$$Q(t + 1) = J \cdot \bar{Q}(t) + \bar{K} \cdot Q(t)$$

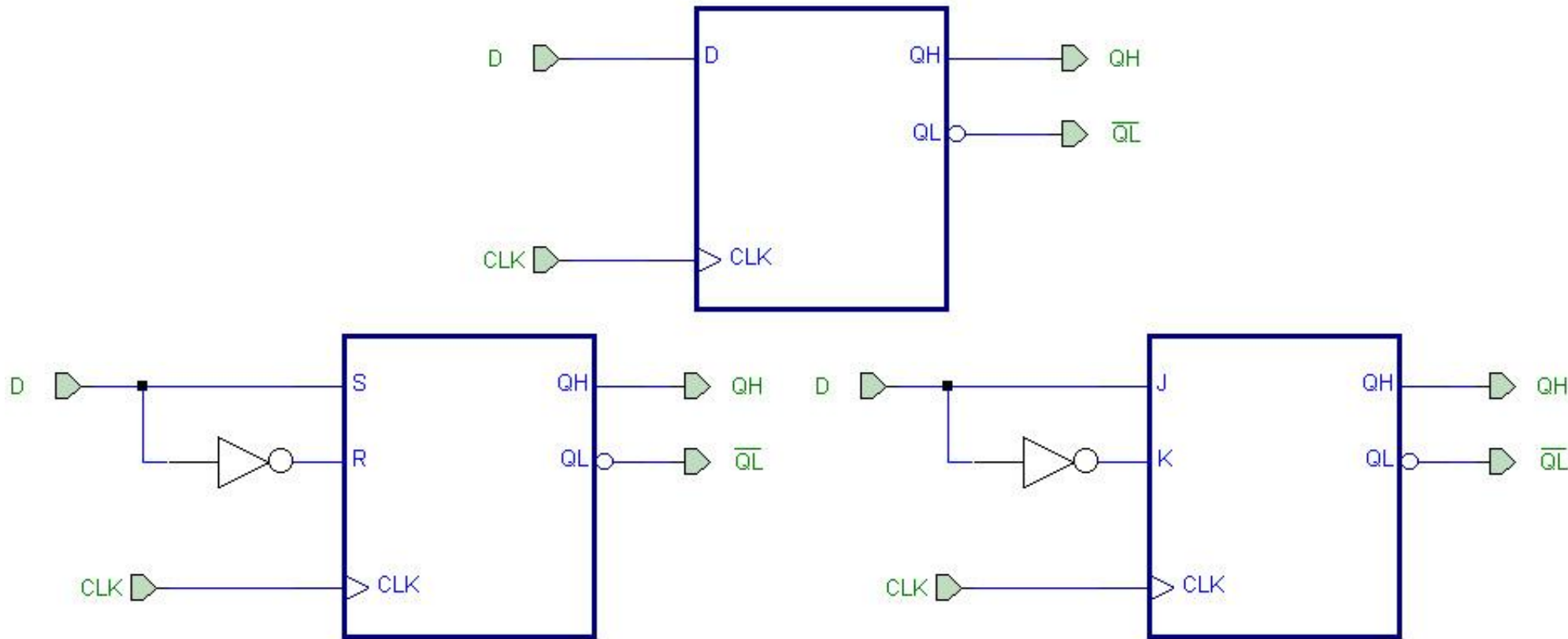


Activo por pulso de nivel bajo



# 11. Equivalencia entre biestables

## Construcción de un biestable D a partir de un S-R o un J-K

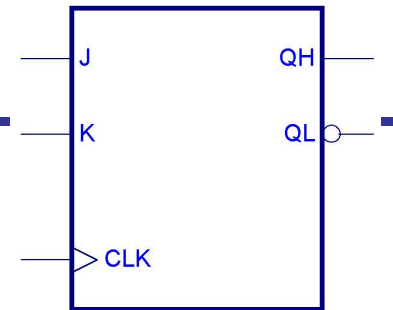


Esta equivalencia es válida también para biestables síncronos por nivel, cambiando el tipo de sincronismo del reloj (salvo para biestables JK).



# Equivalencia entre biestables

## Biestable J-K a partir de un T con entrada de activación



1) Ponemos la tabla de verdad completa de lo que queremos: el biestable J-K

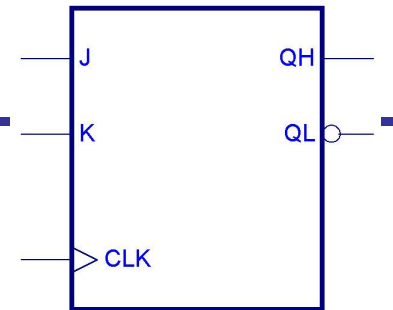
J	K	$Q(t-1)$	$Q(t)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0





# Equivalencia entre biestables

## Biestable J-K a partir de un T con entrada de activación



2) Incluimos en la tabla una columna que nos diga cómo obtener el paso de  $Q(t-1)$  a  $Q(t)$  con lo que partimos: el biestable T

J	K	$Q(t-1)$	$Q(t)$	T
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1

Como es un biestable T, cuando  $Q(t)$  sea igual a  $Q(t-1)$ , T será '0'. Mientras que cuando sean distintos T tendrá que ser '1'.





# Equivalencia entre biestables

## Biestable J-K a partir de un T con entrada de activación

3) Ahora, con las entradas J, K y  $Q(t-1)$  hallamos la lógica necesaria para obtener T

J	K	$Q(t-1)$	T
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



# Equivalencia entre biestables

**Biestable J-K a partir de un T con entrada de activación**

4) Esto lo hacemos mediante su mapa de Karnaugh

		K -- Q(t-1)			
		00	01	11	10
J	0	0	0	1	0
	1	1	0	1	1

$J \cdot \overline{Q(t-1)}$        $K \cdot Q(t-1)$

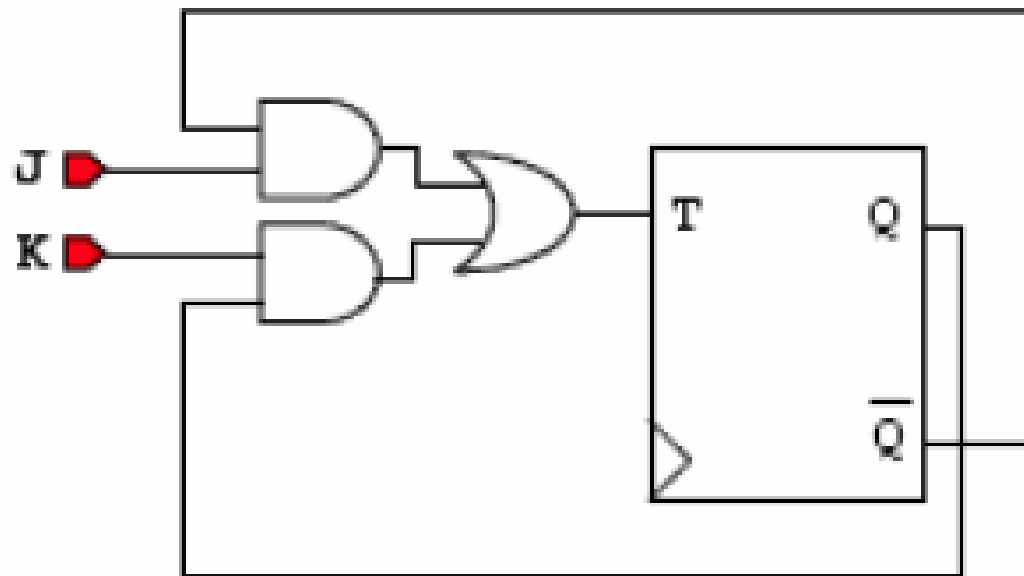
$$T = K \cdot Q(t-1) + J \cdot \overline{Q(t-1)}$$



# Equivalencia entre biestables

## Biestable J-K a partir de un T con entrada de activación

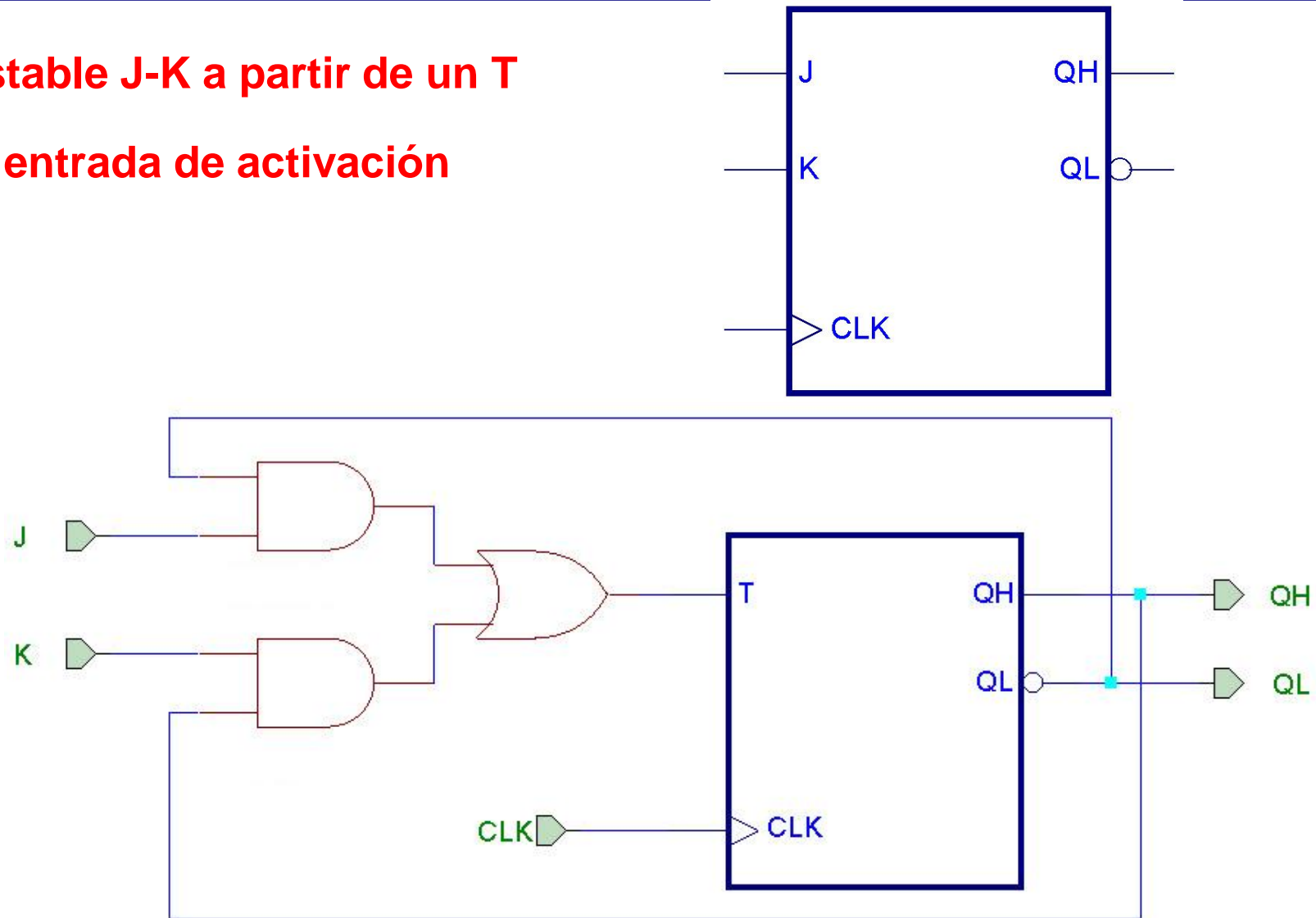
5) Y dibujamos el circuito final





# Equivalencia entre biestables

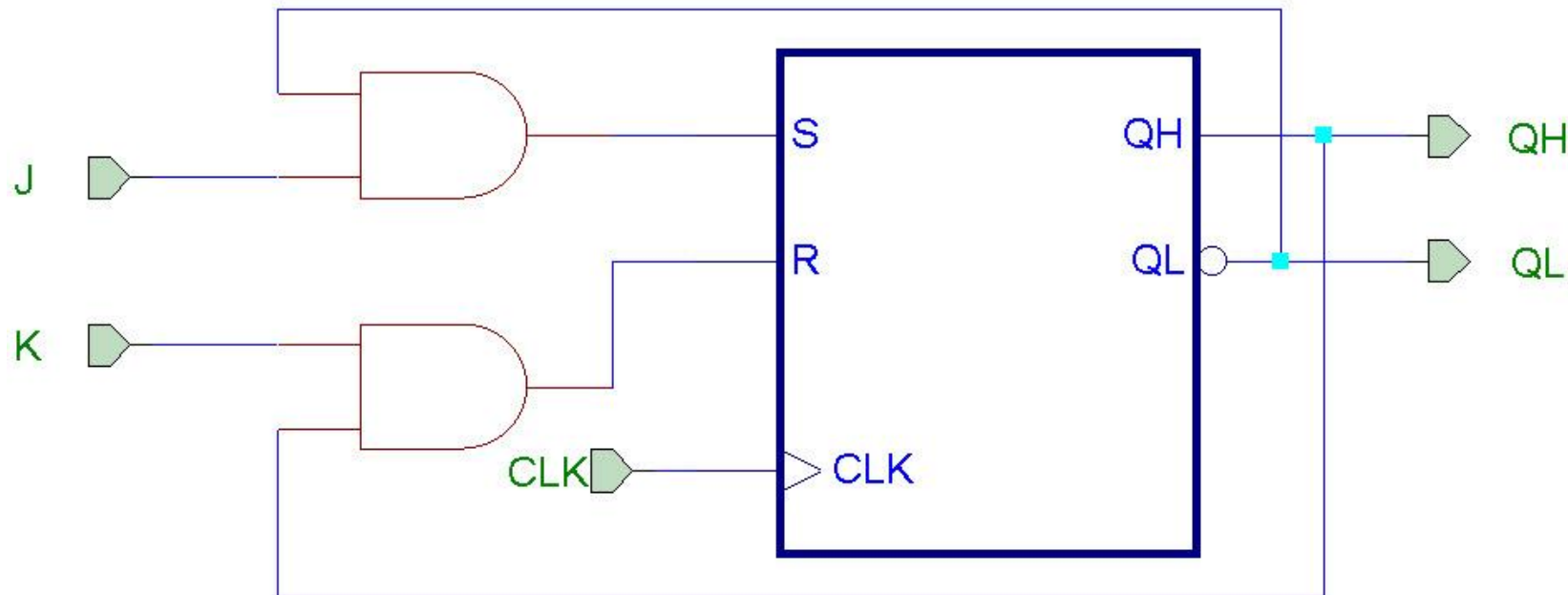
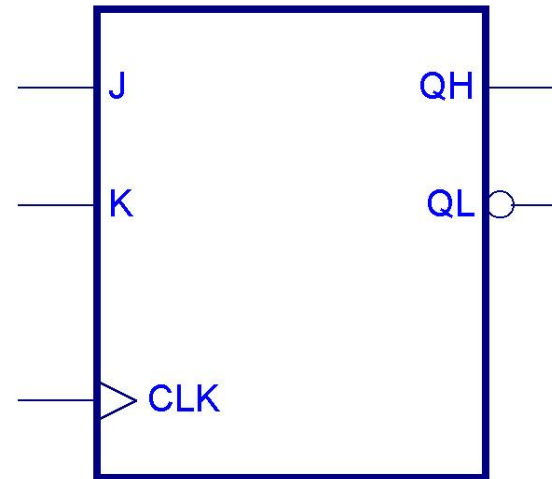
**Biestable J-K a partir de un T  
con entrada de activación**



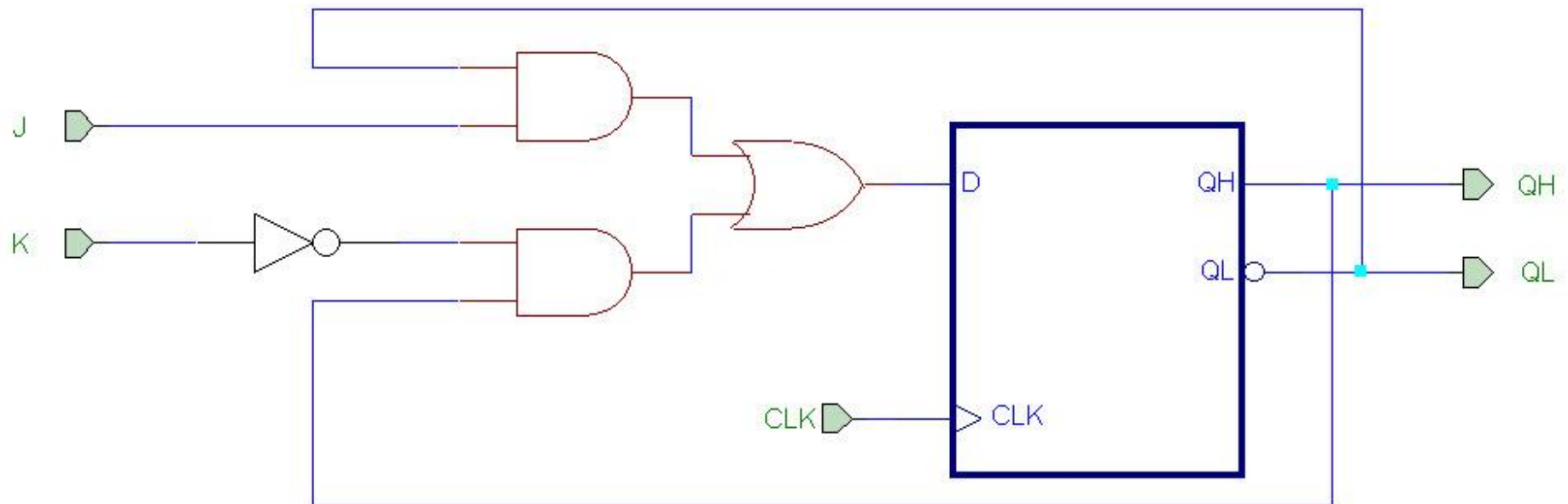
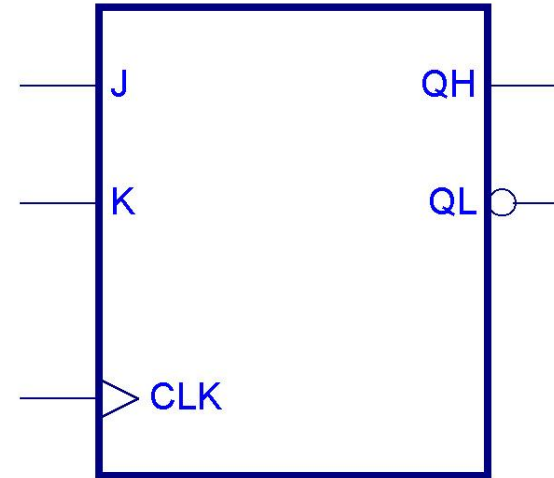


# Equivalencia entre biestables

## Biestable J-K a partir de un S-R



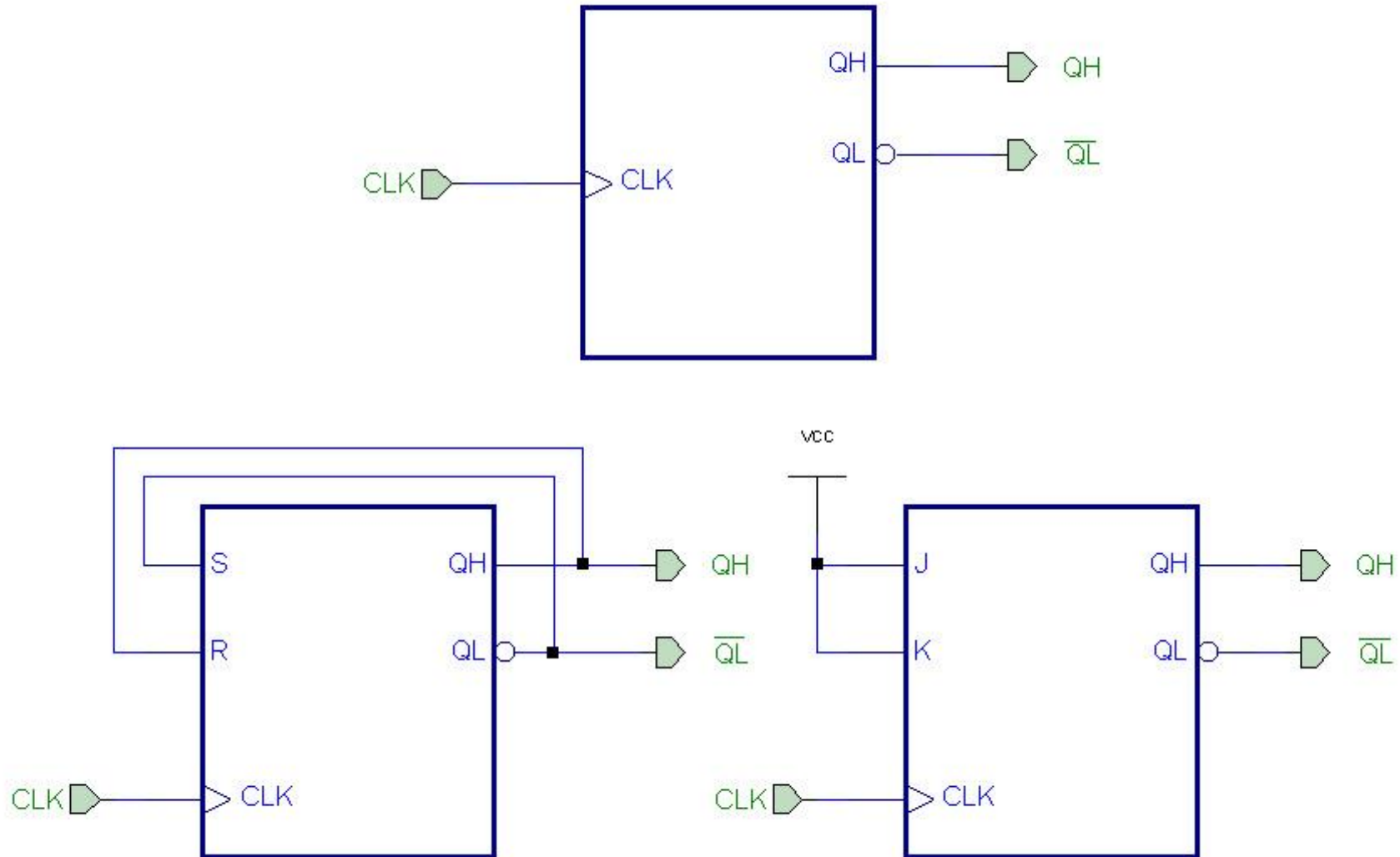
## Biestable J-K a partir de un D



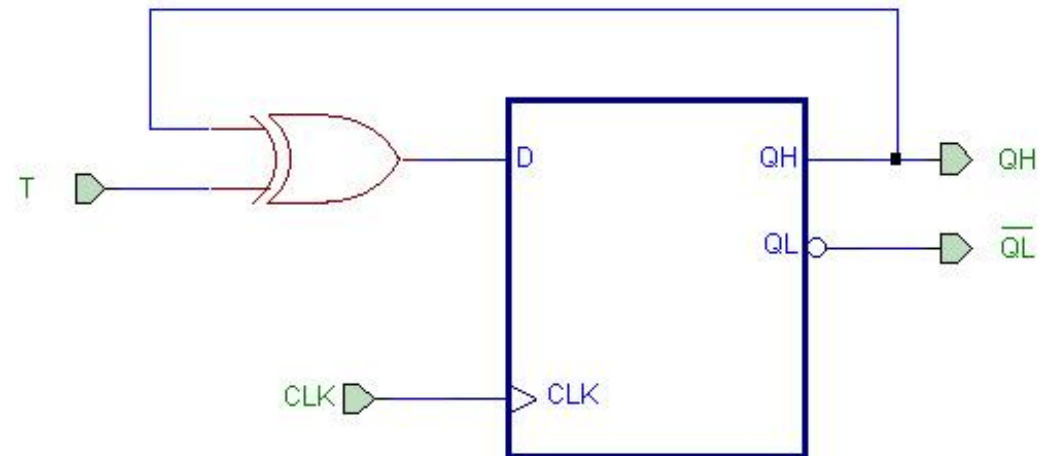
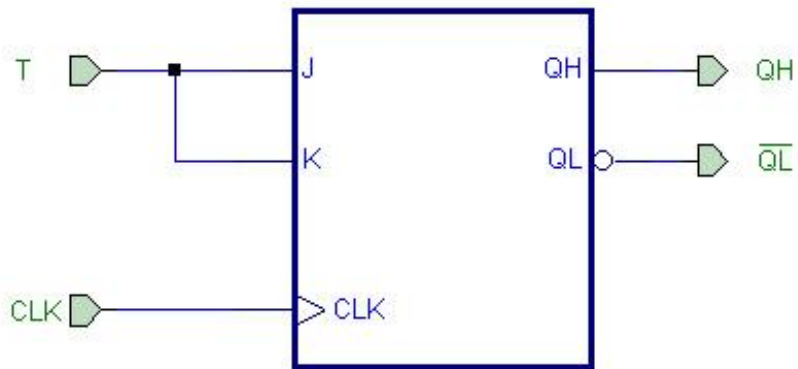
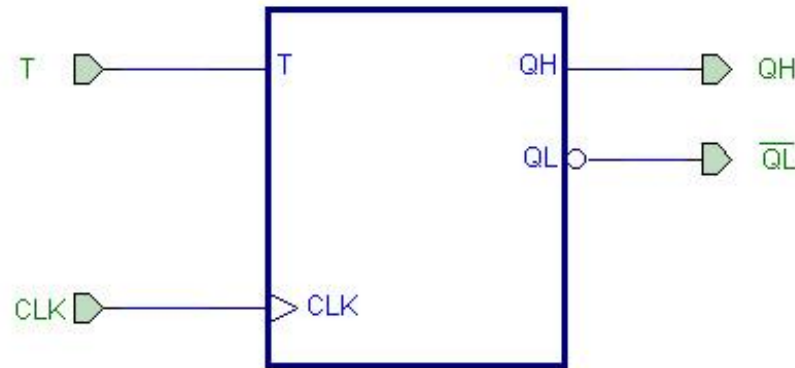


# Equivalencia entre biestables

## Biestable T a partir de un S-R ó un J-K



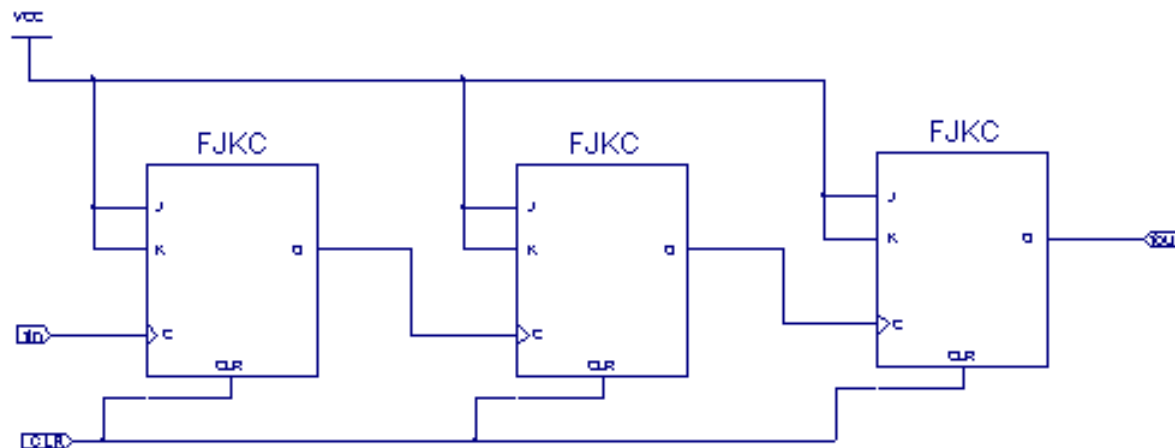
## Biestable T con entrada de activación a partir de un S-R ó un J-K



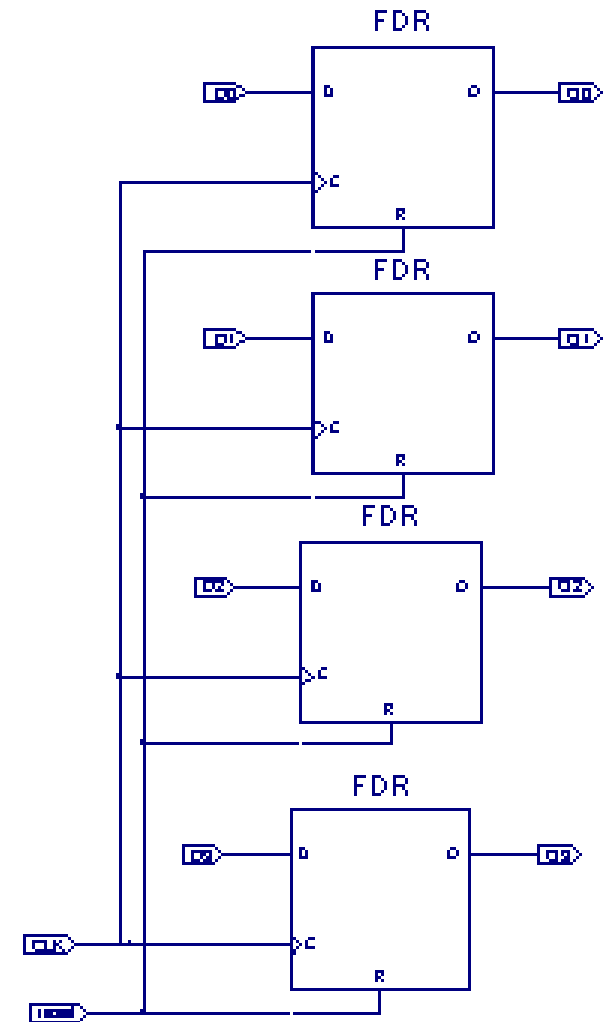


# 12. Aplicaciones

- ▶ Almacenamiento de datos en paralelo:
- ▶ Divisores de frecuencia
- ▶ Contadores



Divisor de frecuencia



Almacenamiento de datos en paralelo