

实验四 模型机时序部件的实现（实验报告格式案例）

班级 计科 210X 姓名 甘晴void 学号 202108010XXX

一、实验目的

1. 了解模型机中 SM 的作用。
2. 熟悉指令寄存器、状态寄存器、指令计数器、寄存器的工作原理
3. 学会使用 VERILOG 语言设计时序电路。

二、实验内容

1. 用 VERILOG 语言设计 SM;
2. 用 VERILOG 语言设计一个 8 位的指令寄存器 IR;
3. 用 VERILOG 语言设计一个 2 位的状态寄存器 PSW;
4. 用 VERILOG 语言设计一个 8 位的指令计数器 PC;
5. 用 VERILOG 语言设计 3 个 8 位寄存器组成的寄存器组, 实现读写操作;
6. 用 LPM_RAM_10 定制一个 256*8 的 RAM, 实现对 RAM 的读写操作。

三、实验过程

1、SM

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

New Project Wizard: Summary [page 5 of 5] ×

When you click Finish, the project will be created with the following settings:

Project directory:
E:/Quartus II/quartus/AAAelectronic-file/sm/

Project name:	sm
Top-level design entity:	sm
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	Cyclone II
Device:	EP2C5T144C8
EDA tools:	
Design entry/synthesis:	<None>
Simulation:	ModelSim-Altera (Verilog HDL)
Timing analysis:	<None>
Operating conditions:	
Core voltage:	1.2V
Junction temperature range:	0-85 度

< Back Next > **Finish** 取消

B) 编写源代码

```

1  module sm(clk,sm_en,sm);
2      input clk,sm_en;
3      output reg sm;
4
5      initial sm=1'b0;
6
7      always@(negedge clk)
8      begin
9          if (sm_en) sm<=!sm;
10         else sm<=sm;
11     end
12 endmodule

```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

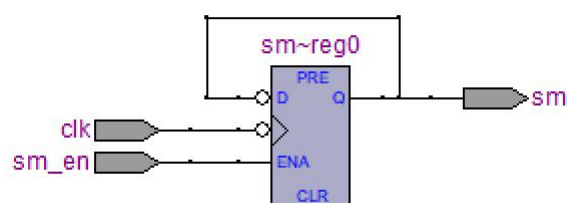
警告信息:

Type	Message
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 3 pins of 3 total pins
Warning	Warning: Found 1 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

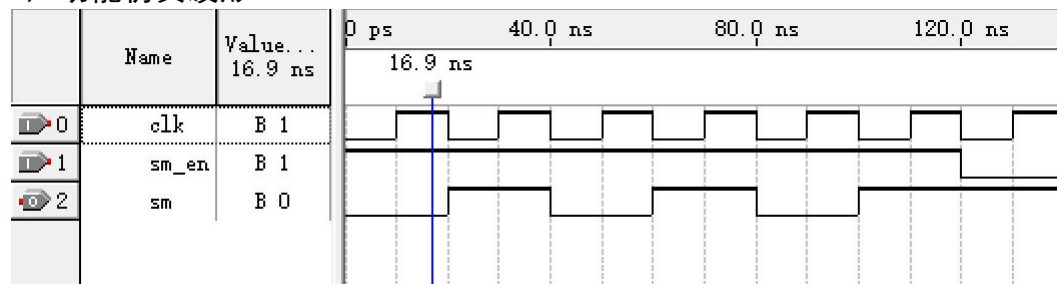
资源消耗:

Flow Status	Successful - Fri Dec 02 14:49:17 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	sm
Top-level Entity Name	sm
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	1 / 4,608 (< 1 %)
Total combinational functions	1 / 4,608 (< 1 %)
Dedicated logic registers	1 / 4,608 (< 1 %)
Total registers	1
Total pins	3 / 89 (3 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

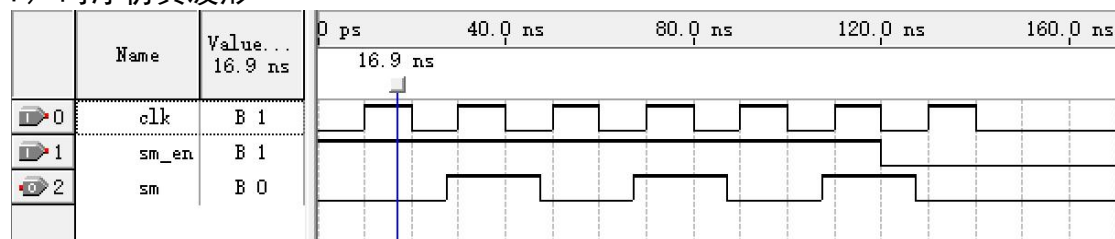
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析：对于功能仿真，可以看到当 sm_en 信号为 1 有效时，输出 sm 在时钟的下降沿发生翻转，符号功能设计。当 sm_en 信号为 0 时，输出信号 sm 保持不变，正确。

对于时序仿真，其输出结果和功能仿真类似，但存在 7ns 左右的延迟

结论：元件设计符合设计要求，元件内部存在 7ns 左右的延迟

2、指令寄存器 IR

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

New Project Wizard: Summary [page 5 of 5] ×

When you click Finish, the project will be created with the following settings:

Project directory:
E:/Quartus II/quartus/AAAelectronic-file/ir/

Project name: ir

Top-level design entity: ir

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Family name: Cyclone II

Device: EP2C5T144C8

EDA tools:

Design entry/synthesis: <None>

Simulation: ModelSim-Altera (Verilog HDL)

Timing analysis: <None>

Operating conditions:

Core voltage: 1.2V

Junction temperature range: 0-85 度

< Back Next > Finish 取消

B) 编写源代码

```

1  module ir(clk,ir_ld,d,ir);
2      input clk,ir_ld;
3      input [7:0] d;
4      output reg [7:0] ir;
5      always@(negedge clk)
6      begin
7          if (ir_ld) ir<=d;
8          else;
9      end
10 endmodule
11

```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

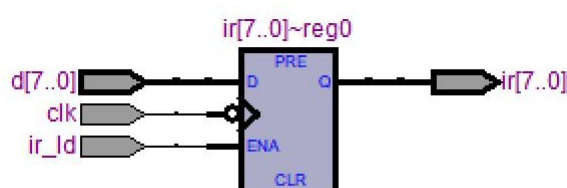
警告信息：

Type	Message
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 18 pins of 18 total pins
Warning	Warning: Found 8 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

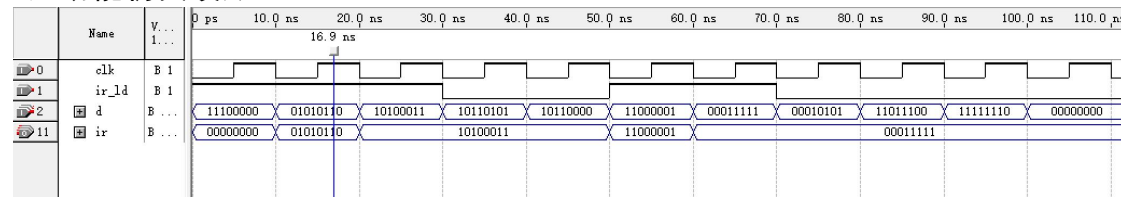
资源消耗：

Flow Status	Successful - Fri Dec 02 14:53:52 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	ir
Top-level Entity Name	ir
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	8 / 4,608 (< 1 %)
Total combinational functions	0 / 4,608 (0 %)
Dedicated logic registers	8 / 4,608 (< 1 %)
Total registers	8
Total pins	18 / 89 (20 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

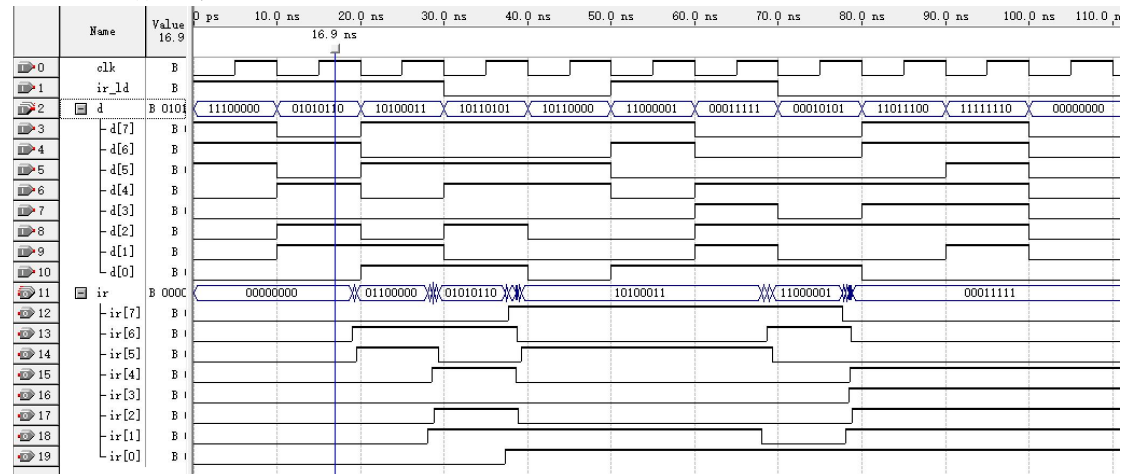
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析：对于功能仿真，在 0-30ns，ir_ld 为 1，在时钟下降沿将输入写入输出，当 ir_ld 为 0 时，输出保持不变，正确

对于时序仿真，可以看到输出存在 9ns 左右的延迟，同时部分时刻输入的变化导致冒险出现，使得输出错误，输出的变化情况大致与功能仿真相同

结论：元件设计符合设计要求，元件内部存在 9ns 左右的延迟

3、状态寄存器 PSW

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

New Project Wizard: Summary [page 5 of 5] X

When you click Finish, the project will be created with the following settings:

Project directory:
E:/Quartus II/quartus/AAAelectronic-file/psw/

Project name:	psw
Top-level design entity:	psw
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	Cyclone II
Device:	EP2C5T144C8
EDA tools:	
Design entry/synthesis:	<None>
Simulation	ModelSim-Altera (Verilog HDL)
Timing analysis:	<None>
Operating conditions:	
Core voltage:	1.2V
Junction temperature range:	0-85 度

< Back Next > Finish 取消

B) 编写源代码

```

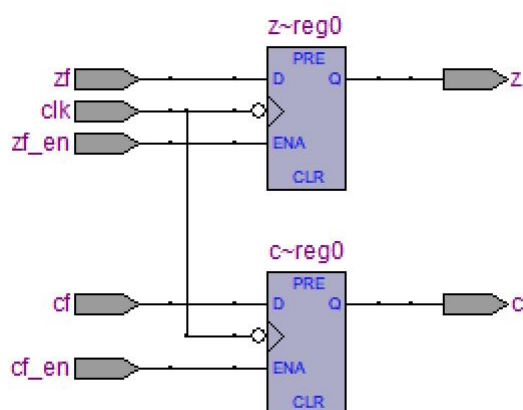
1  module psw(clk,cf_en,zf_en,cf,zf,c,z);
2      input clk,cf_en,zf_en,cf,zf;
3      output reg c,z;
4      always@(negedge clk)
5      begin
6          if (cf_en) c<=cf;
7          else c<=c;
8          if (zf_en) z<=zf;
9          else z<=z;
10     end
11 endmodule

```

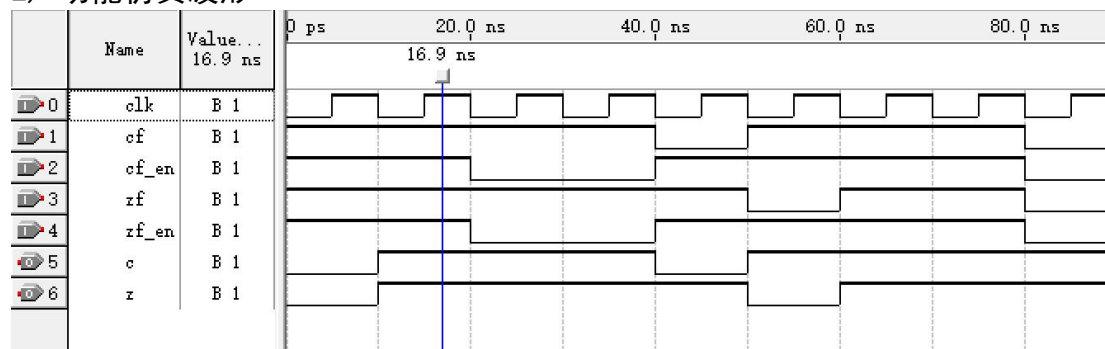
C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

Type	Message
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 7 pins of 7 total pins
Warning	Warning: Found 2 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

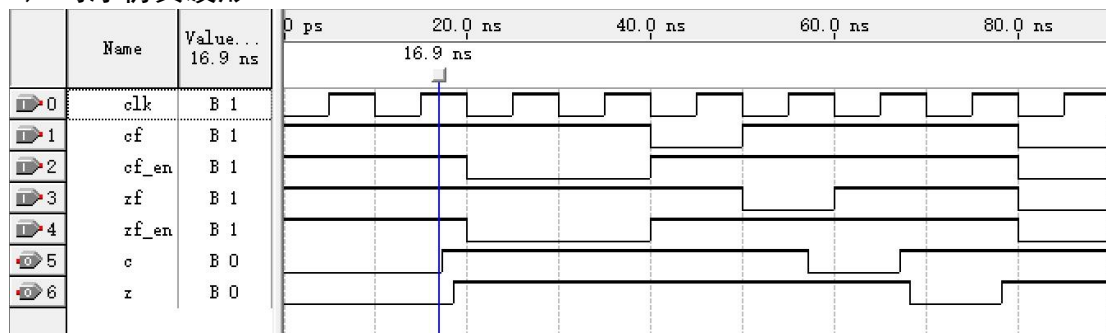
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析：对于功能仿真，0-20ns，cf_en 和 zf_en 为 1，在时钟下降沿，将 cf 和 zf 的值写入输出 c，z 中，20-40ns，cf_en 和 zf_en 为 0，输出 c 和 z 保持不变，正确

对于时序仿真，其中输出 c 有 7ns 左右延迟，z 有 8ns 左右延迟，其输出变化与功能仿真大致相同

结论：元件设计符合要求，输出 c 有 7ns 延迟，输出 z 有 8ns 延迟

4、指令计数器 PC

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

New Project Wizard: Summary [page 5 of 5] ×

When you click Finish, the project will be created with the following settings:

Project directory:
E:/Quartus II/quartus/AAAelectronic-file/pc/

Project name: pc

Top-level design entity: pc

Number of files added: 0

Number of user libraries added: 0

Device assignments:

Family name: Cyclone II

Device: EP2C5T144C8

EDA tools:

Design entry/synthesis: <None>

Simulation: ModelSim-Altera (Verilog HDL)

Timing analysis: <None>

Operating conditions:

Core voltage: 1.2V

Junction temperature range: 0-85 度

< Back Next > **Finish** 取消

B) 编写源代码






```

1 module pc(clk,pc_ld,pc_inc,a,add);
2   input clk,pc_ld,pc_inc;
3   input [7:0] a;
4   output reg [7:0] add;
5   always@(negedge clk)
6   begin
7       if(pc_inc==1'b1 && pc_ld==1'b0) add<=add+1'b1;
8       else if(pc_inc==1'b0 && pc_ld==1'b1) add<=a;
9       else;
10  end
11 endmodule

```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

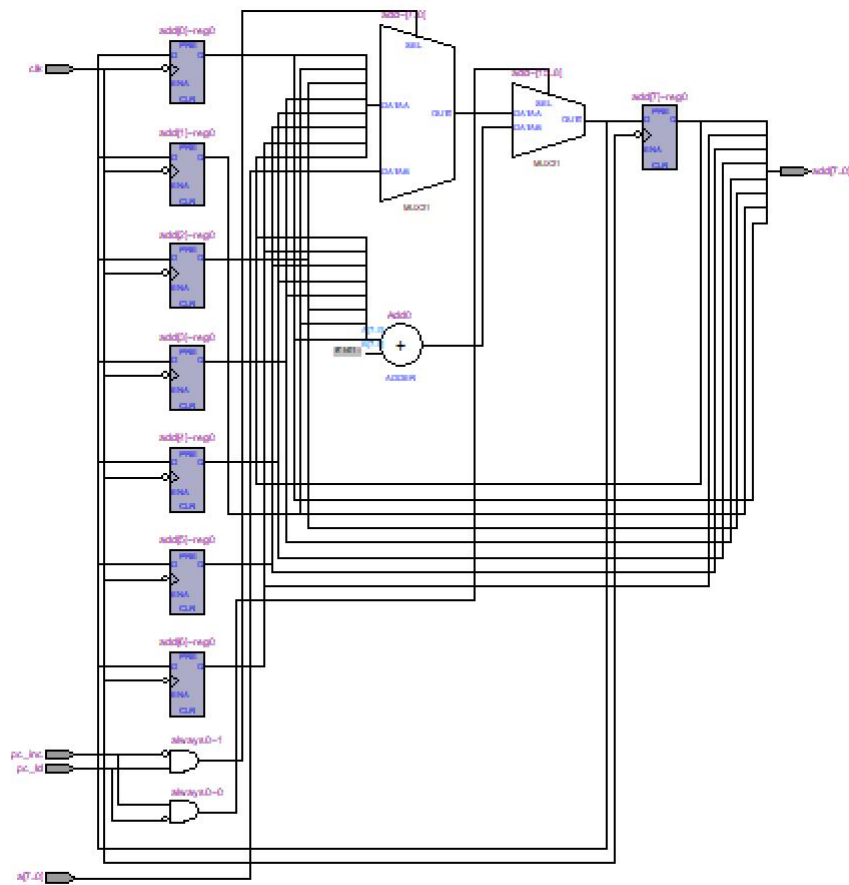
警告信息：

Type	Message
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 19 pins of 19 total pins
	Warning: Found 8 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

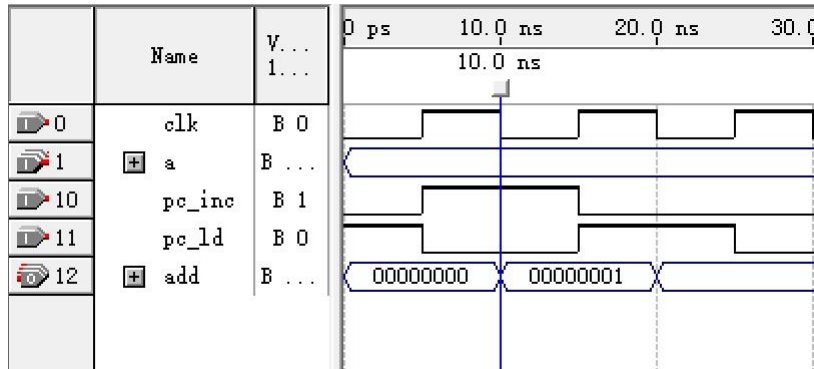
资源消耗：

Flow Status	Successful - Fri Dec 02 15:22:46 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	pc
Top-level Entity Name	pc
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	10 / 4,608 (< 1 %)
Total combinational functions	10 / 4,608 (< 1 %)
Dedicated logic registers	8 / 4,608 (< 1 %)
Total registers	8
Total pins	19 / 89 (21 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

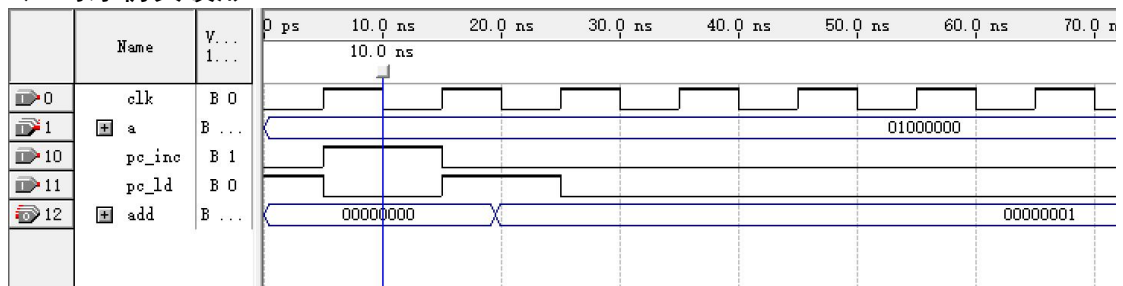
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论

分析:对于功能仿真, 5-15ns, pc_inc 为 1, pc_ld 为 0, 执行地址加 1 操作, 15ns-25ns, pc_inc 为 0, pc_ld 为 1, 执行写入操作, 将输入写入到输出中, 25-40ns, pc_inc 为 0, pc_ld 为 0, 数据保持不变, 正确

对于时序仿真, 存在 9ns 左右的延迟, 输出结果大致与功能仿真相同

结论: 元件设计符合要求, 元件存在 9ns 左右的延迟

5、通用寄存器组

A) 创建工程 (选择的芯片为 family=Cyclone II; name=EP2C5T144C8)

New Project Wizard: Summary [page 5 of 5] X

When you click Finish, the project will be created with the following settings:

Project directory:	
E:/Quartus II/quartus/AAAelectronic-file/reg_group/	
Project name:	reg_group
Top-level design entity:	reg_group
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	Cyclone II
Device:	EP2C5T144C8
EDA tools:	
Design entry/synthesis:	<None>
Simulation	ModelSim-Altera (Verilog HDL)
Timing analysis:	<None>
Operating conditions:	
Core voltage:	1.2V
Junction temperature range:	0-85 度

< Back Next > Finish 取消

B) 编写源代码






```

1  module reg_group(clk,we,raa,rwba,i,s,d);
2      input clk,we;
3      input [1:0] raa,rwba;
4      input [7:0] i;
5      output reg [7:0] s,d;
6      reg [7:0] A,B,C;
7
8      always@(*)
9      begin
10         // s=(raa==2'b00) ? A : (raa==2'b01) ? B : C;
11         // d=(rwba==2'b00) ? A : (rwba==2'b01) ? B : C;
12         if (raa==2'b00) s=A;
13         else if (raa==2'b01) s=B;
14         else s=C;
15
16         if (rwba==2'b00) d=A;
17         else if (rwba==2'b01) d=B;
18         else d=C;
19     end
20
21     always@(negedge clk)
22     begin
23         if (we==1'b0)
24         begin
25             case(rwba)
26             2'b00:A=i;
27             2'b01:B=i;
28             2'b10:C=i;
29             endcase
30         end
31         else;
32     end
33 endmodule

```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

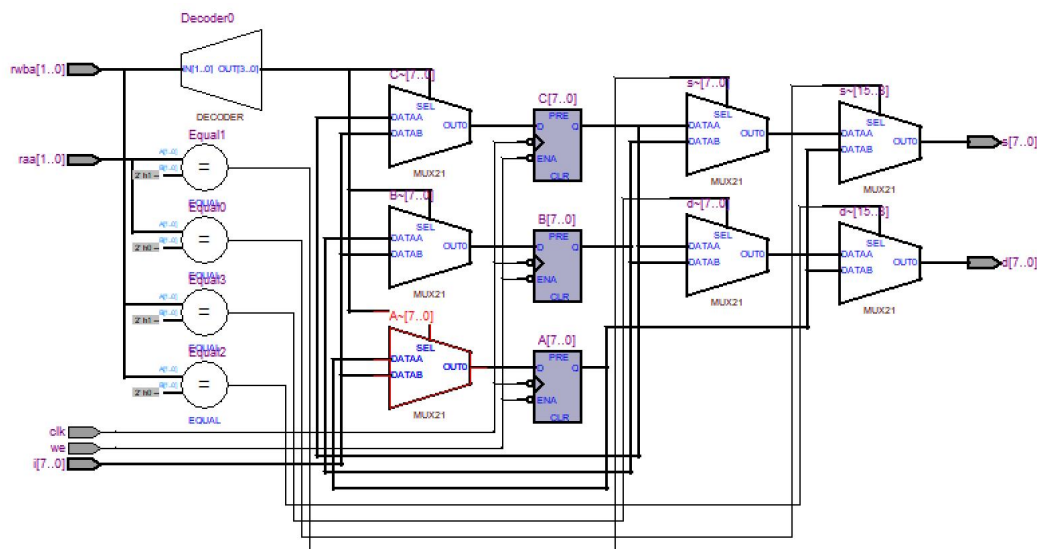
警告信息：

Type	Message
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 30 pins of 30 total pins
	Warning: Found 16 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

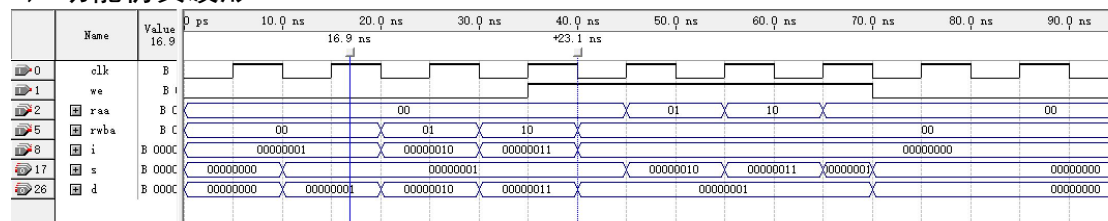
资源消耗：

Flow Status	Successful - Sat Dec 03 20:33:03 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	reg_group
Top-level Entity Name	reg_group
Family	Cyclone II
Device	EP2K5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	35 / 4,608 (< 1 %)
Total combinational functions	35 / 4,608 (< 1 %)
Dedicated logic registers	24 / 4,608 (< 1 %)
Total registers	24
Total pins	30 / 89 (34 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

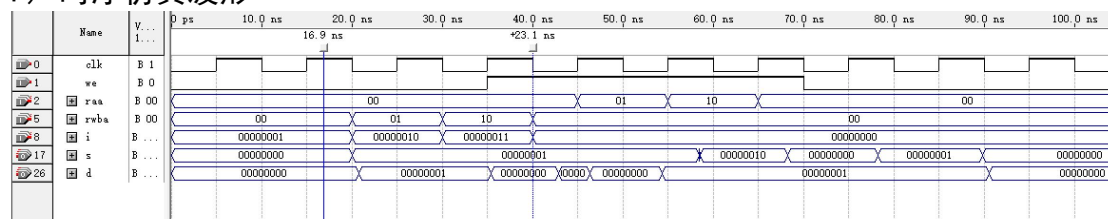
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 时序分析

操作方法是：编译后，在 compilation report 中选择【timing analysis】-【summary】

Timing Analyzer Summary										
	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths	
1	Worst-case tsu	N/A	None	7.015 ns	rwba[0]	B[7]	--	clk	0	
2	Worst-case tco	N/A	None	12.890 ns	B[1]	d[1]	clk	--	0	
3	Worst-case tpd	N/A	None	17.101 ns	rwba[0]	d[3]	--	--	0	
4	Worst-case th	N/A	None	0.131 ns	i[0]	c[0]	--	clk	0	
5	Total number of failed paths								0	

H) 结果分析及结论

分析：对于功能仿真，在 0~35ns，we 为 0，进行写入操作，在每个下降沿，当 rwba=00,01,10 时，将输入 i 分别写入寄存器 A,B,C 中，而在 35~65ns，we 为 1，进行读取操作，在每个下降沿，根据 raa 和 rwba 的值 s,d 输出对应寄存器的值，当 raa=00,s 输出 A 的值，raa=01,s 输出 B 的值，raa=10,s 输出 C 的值，正确

对于时序仿真，输出 s 存在 9ns 左右的延迟，输出 d 存在 10ns 左右延迟，其余输出结果大致与功能仿真相同

对于时序分析，可以得到时钟输出延迟 tco 为 13.487ns，建立时间 tsu 为 7.110ns，保持时间 th 为 0.479ns，电路延迟时间 tpd 为 16.353ns

结论：元件设计符合要求，输出 s 存在 9ns 左右的延迟，输出 d 存在 10ns 左右延迟

6、RAM 的使用

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）

New Project Wizard: Summary [page 5 of 5] ×

When you click Finish, the project will be created with the following settings:

Project directory:
E:/Quartus II/quartus/AAAelectronic-file/LPM_RAM/

Project name:	LPM_RAM
Top-level design entity:	LPM_RAM
Number of files added:	0
Number of user libraries added:	0

Device assignments:

Family name:	Cyclone II
Device:	EP2C5T144C8

EDA tools:

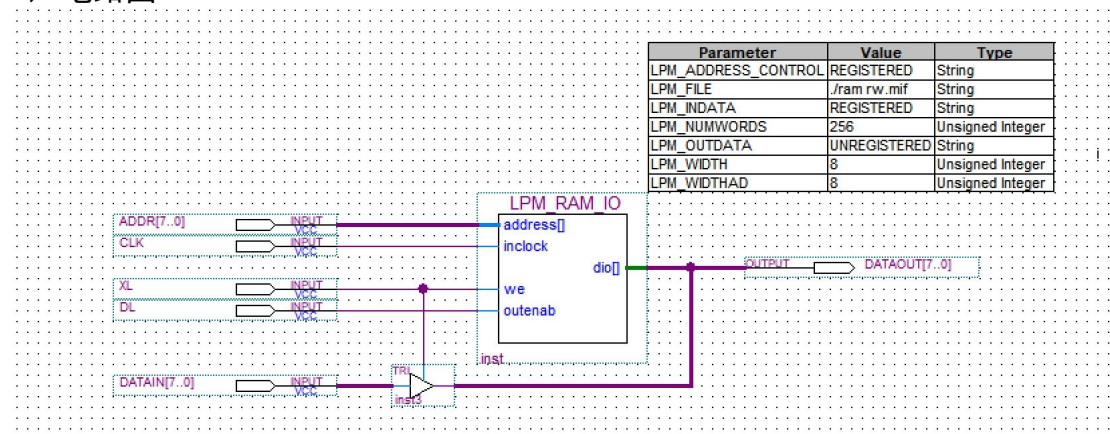
Design entry/synthesis:	<None>
Simulation	ModelSim-Altera (Verilog HDL)
Timing analysis:	<None>

Operating conditions:

Core voltage:	1.2V
Junction temperature range:	0-85 度

< Back Next > Finish 取消

B) 电路图



C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

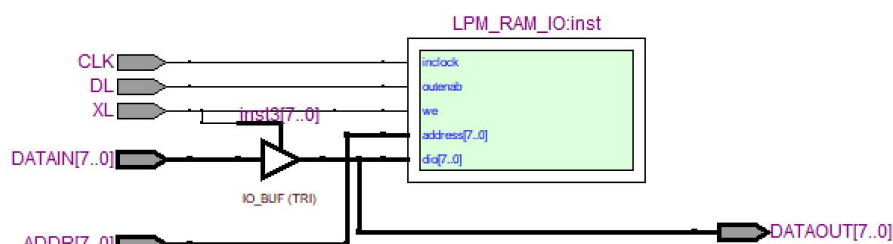
警告信息：

Type	Message
Warning	Warning: Assertion warning: altm does not support Cyclone II device family -- attempting best-case memory conversions, but power-up states and read during write behavior will be different.
Warning	Warning: Tri-state node(s) do not directly drive top-level pin(s).
Warning	Warning: Feature LogicLock is not available with your current license.
Warning	Warning: No exact pin location assignment(s) for 27 pins of 27 total pins.
Warning	Warning: Found 8 output pins without output pin load capacitance assignment.
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables.

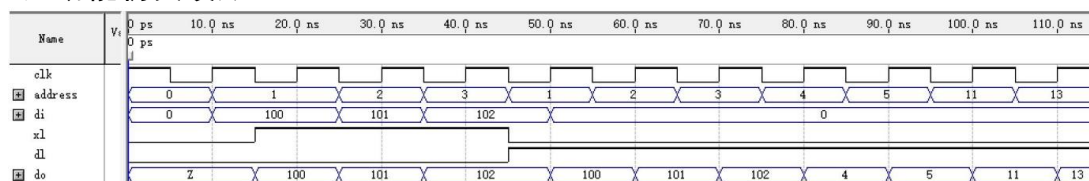
资源消耗：

Flow Status	Successful - Sat Dec 03 23:10:43 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	LPM_RAM
Top-level Entity Name	LPM_RAM
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	10 / 4,608 (< 1 %)
Total combinational functions	10 / 4,608 (< 1 %)
Dedicated logic registers	0 / 4,608 (0 %)
Total registers	0
Total pins	27 / 89 (30 %)
Total virtual pins	0
Total memory bits	2,048 / 119,808 (2 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

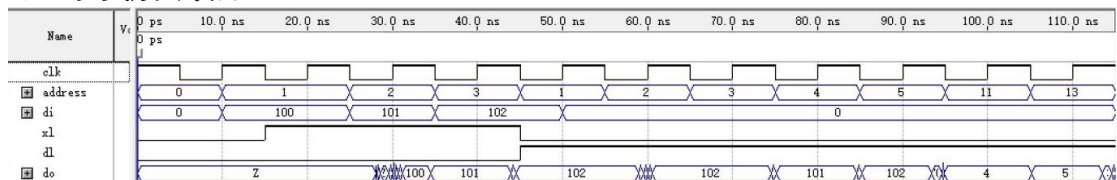
D) RTL 视图



E) 功能仿真波形



F) 时序仿真波形



G) 结果分析及结论：

分析：对功能仿真，0-15ns，xl 和 dl 都为 0，输出为高阻态。15-45ns，xl 为 1，dl 为 0，进行写入操作，对于三个上升沿，分别将输入信号 100, 101, 102 分别写入地址 1, 2, 3 中。45-115ns，xl 为 0，dl 为 1，进行读操作，对于每个上升沿，分别将 1, 2, 3, 4, 5, 11, 13 地址中的指令读出并输出，其中 4, 5, 11, 13 地址中的指令已提前存入对应的 mif 文件中，仿真正确。

对于时序仿真，输出存在 11ns 左右的延迟，同时由于输入的改变导致某些位置出现冒险。

结论：元件设计符合要求，输出存在 11ns 左右延迟。

四、思考题

1. 时钟周期的上升沿实现对 RAM 的读写操作，为何 PC、SM、IR、PSW 以及寄存器组的操作是下降沿完成？

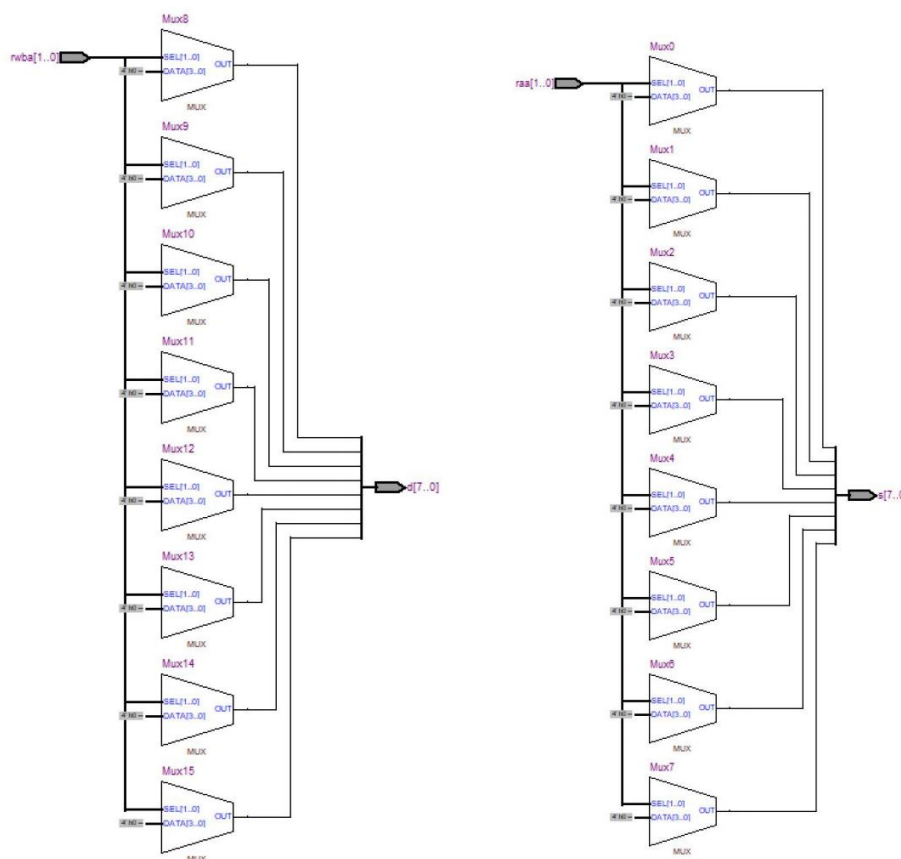
答：因为我们既要保证取址操作在一个周期内完成，同时要保证 RAM 为优先级较高，所以需要放在不同的跳变沿执行。若放在同一时间，可能会使数据处理来不及，导致出错。

2. 采用 VERILOG 语言描述时序部件应该采用阻塞赋值语句还是非阻塞赋值语句？

答：使用非阻塞赋值。

3. 通用寄存器组只有 WE 的控制信号，实现通用寄存器组读操作的电路是组合电路还是时序电路？请大致画出对寄存器组进行读操作的电路部分。

答：是组合电路。电路图如下



五、实验总结、必得体会及建议

1、从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。

(1) 需要掌握的理论：基本了解了简易模型机的内部结构和工作原理。同时熟悉了指令寄存器、状态寄存器、指令计数器、寄存器的工作原理。学会使用 Verilog 语言编写电路。

(2) 遇到的困难：对于 QuartusII 的使用还不够熟练，特别是进行波形仿真的功能仿真和时序仿真分别怎么操作的方面有一定不足。

(3) 解决方法：通过上网查询相关资料和询问同学后得以解决问题，并通过分析报告发现电路中的问题。有不理解的还请教了老师，不仅收获了方法还掌握的技巧。

(4) 经验教训：对于电子电路的学习一定要肯动手，光是看是学不会的，一定要落到实处，多自己使用软件进行仿真，才能加深对于这门课程的理解。

2、对本实验内容、过程和方法的改进建议（可选项）。

对于 RTL 视图的研究十分重要，可以引导同学做到自己能看懂 RTL 视图，否则需要更改并简化写法。