

# SYS2044 Systèmes

C. TRABELSI et A. BRIERE

## TD6 : Adressage mémoire

## Exercices complémentaires

## Exercice 1

On veut fabriquer un plan mémoire comprenant une mémoire ROM de 64Ko, une mémoire RAM de 32Ko et deux périphériques P1 et P2 de 4Ko chacun. Ces mémoires sont adressables par un microprocesseur délivrant 16 bits d'adresse. Le bus de données contient de 16 fils de données (**1 mot mémoire=16 bits**). La mémoire ROM de 64Ko contient donc 32 K mots.

- 1) Compléter le schéma ci-dessous avec les adresses de début et de fin de chaque mémoire, périphérique et espace libre (en hexadécimal dans la troisième colonne et en binaire dans les colonnes A15 à A0).

[illegible]

2) Donner les équations d'activation (CE) de chaque mémoire et de chaque périphérique

$$\overline{CE}_{ROM} = A_{15}$$

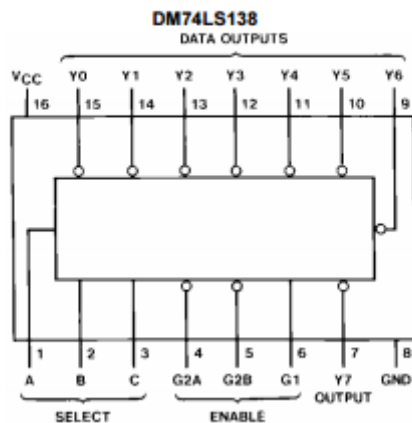
$$\overline{CEP1} = A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot A_{12} \cdot \overline{A_{11}}$$

$$\overline{CEP2} = A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot A_{12} \cdot A_{11}$$

$$CERAM = \overline{A_{15}} \cdot A_{14}$$

- 3) Un décodeur 74LS138 sera utilisé pour l'activation des périphériques P1 et P2. L'activation des mémoires ROM et RAM est gérée sans ce décodeur. Donner un schéma décrivant l'activation des mémoires et périphériques utilisés. La figure ci-dessous décrit l'interface et le fonctionnement du décodeur 74LS138.

### Connection Diagrams

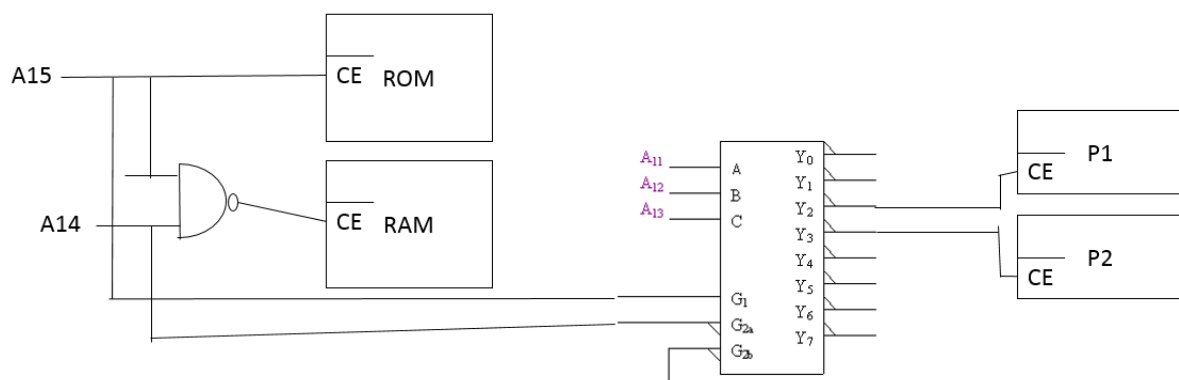


### Function Tables

Inputs							Outputs						
Enable		Select											
G1	G2 (Note 1)	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	
X	H	X	X	X	H	H	H	H	H	H	H	H	
L	X	X	X	X	H	H	H	H	H	H	H	H	
H	L	L	L	L	H	H	H	H	H	H	H	H	
H	L	L	L	H	L	H	H	H	H	H	H	H	
H	L	L	H	L	H	L	H	H	H	H	H	H	
H	L	L	H	H	H	H	L	H	H	H	H	H	
H	L	H	L	L	H	H	H	L	H	H	H	H	
H	L	H	L	H	H	H	H	H	L	H	H	H	
H	L	H	H	L	H	H	H	H	H	L	H	H	
H	L	H	H	H	H	H	H	H	H	H	L	H	
H	L	H	H	H	H	H	H	H	H	H	H	L	

H = HIGH Level  
L = LOW Level  
X = Don't Care

Note 1: G2 = G2A + G2B



## Exercice 2

On veut fabriquer un plan mémoire comprenant une mémoire ROM de 32Ko, une mémoire RAM de 16Ko et deux périphériques P1 et P2 de 8Ko chacun. Ces mémoires sont adressables par un microprocesseur délivrant 16 bits d'adresse. Le bus de données contient de 16 fils de données (**1 mot mémoire=8 bits**). Par conséquent, une mémoire de 32Ko, par exemple, contient 32 K mots et donc 32 K adresses différentes.

			A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ROM (32Ko)	Fin	FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Début	8000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RAM (16Ko)	Fin	7FFF	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Début	4000h	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
P2 (8Ko)	Fin	3FFFh	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Début	2000h	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
P1 (8Ko)	Fin	1FFFh	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
	Début	0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Compléter le schéma ci-dessous avec les adresses de début et de fin de chaque

- 1) Compléter le schéma ci-dessous avec les adresses de début et de fin de chaque mémoire, périphérique et espace libre (en hexadécimal dans la troisième colonne et en binaire dans les colonnes A15 à A0).
- 2) Donner les équations d'activation (CE) de chaque mémoire et de chaque périphérique

$$\overline{CE_{P1}} = \overline{A15} \cdot \overline{A14} \cdot \overline{A13}$$

$$\overline{CE_{P2}} = \overline{A15} \cdot \overline{A14} \cdot A13$$

$$\overline{CE_{RAM}} = \overline{A15} \cdot \overline{A14}$$

$$\overline{CE_{ROM}} = \overline{A15}$$