

SYS2044 Systèmes

C. TRABELSI et A. BRIERE

TD6 : Adressage mémoire

Exercices complémentaires

Exercice 1

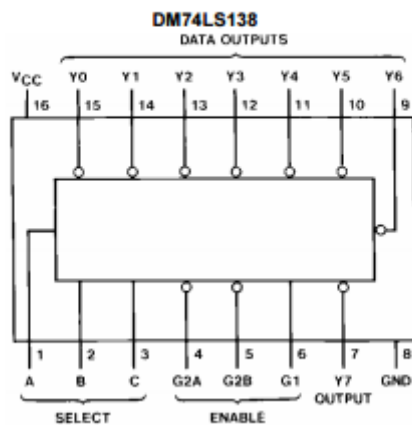
On veut fabriquer un plan mémoire comprenant une mémoire ROM de 64Ko, une mémoire RAM de 32Ko et deux périphériques P1 et P2 de 4Ko chacun. Ces mémoires sont adressables par un microprocesseur délivrant 16 bits d'adresse. Le bus de données contient de 16 fils de données (**1 mot mémoire=16 bits**). Par conséquent, une mémoire de 64Ko, par exemple, contient 32 K mots et donc 32 K adresses différentes.

- 1) Compléter le schéma ci-dessous avec les adresses de début et de fin de chaque mémoire, périphérique et espace libre (en hexadécimal dans la troisième colonne et en binaire dans les colonnes A15 à A0).

			A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
RAM (32 Ko)	fin	FFFFh																
	début																	
LIBRE	fin																	
	début																	
P2 (4Ko)	fin	9FFFh																
	début																	
P1 (4Ko)	fin																	
	début	9000h																
LIBRE	fin																	
	début																	
ROM (64 Ko)	fin																	
	début	0000h																

- 2) Donner les équations d'activation (\overline{CE}) de chaque mémoire et de chaque périphérique
- 3) Un décodeur 74LS138 sera utilisé pour l'activation des périphériques P1 et P2. L'activation des mémoires ROM et RAM est gérée sans ce décodeur. Donner un schéma décrivant l'activation des mémoires et périphériques utilisés. La figure ci-dessous décrit l'interface et le fonctionnement du décodeur 74LS138.

Connection Diagrams



Function Tables

DM74LS138												
Inputs					Outputs							
Enable		Select										
G1	G2 (Note 1)	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H

H = HIGH Level
L = LOW Level
X = Don't Care

Note 1: G2 = G2A + G2B

Exercice 2

On veut fabriquer un plan mémoire comprenant une mémoire ROM de 32Ko, une mémoire RAM de 16Ko et deux périphériques P1 et P2 de 8Ko chacun. Ces mémoires sont adressables par un microprocesseur délivrant 16 bits d'adresse. Le bus de données contient de 16 fils de données (**1 mot mémoire=8 bits**). Par conséquent, une mémoire de 32Ko, par exemple, contient 32 K mots et donc 32 K adresses différentes.

		A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ROM (32Ko)	Fin																
	Début																
RAM (16Ko)	Fin																
	Début																
P2 (8Ko)	Fin																
	Début																
P1 (8Ko)	Fin																
	Début	0000h															

- 1) Compléter le schéma ci-dessus avec les adresses de début et de fin de chaque mémoire, périphérique et espace libre (en hexadécimal dans la troisième colonne et en binaire dans les colonnes A15 à A0).
- 2) Donner les équations d'activation ($\overline{\text{CE}}$) de chaque mémoire et de chaque périphérique