



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA
Año 2019 - 2º cuatrimestre

CIRCUITOS ELECTRÓNICOS (86.06)

ETAPAS CON TRANSISTORES INTEGRADOS

INFORME DE LABORATORIO N° 3

José F. González - 100063 - <jfgonzalez@fi.uba.ar>

Gottfried, Joel - 102498 - <joelgottfried99@gmail.com>

Urquiza, Elias - 100714 - <eurquiza@fi.uba.ar>

Índice

1. Objetivos	2
2. Desarrollo	2
3. Cálculo Analítico	2
3.1. Valores de Reposo	2
3.2. Análisis de Señal a Frecuencias Medias	2
3.2.1. Amplificación de Tensión Total (A_v)	3
3.2.2. Resistencia de Entrada y de Salida	3
3.2.3. Máxima excursión de señal a la salida sin recorte	3
3.2.4. Respuesta en frecuencia para A_{vs}	4
4. Simulación	5
5. Mediciones	5
6. Análisis Comparativo	5

1. Objetivos

- Analizar las características principales de una etapa amplificadora formada por un MOSFET de doble gate BF966, que puede configurarse como un circuito equivalente de dos transistores NMOSFET de canal preformado.
- Comparar los resultados obtenidos mediante el cálculo analítico, la medición en laboratorio y la verificación por simulación con LTSPICE.

2. Desarrollo

3. Cálculo Analítico

**INCLUIR FIG.1 DEL ENUNCIADO
GRÁFICO DEL CIRCUITO DE CONTÍNUA**

3.1. Valores de Reposo

Se tienen los siguientes datos:

- $K_1 = 15 \frac{mA}{V^2}$
- $K_2 = 200 \frac{mA}{V^2}$
- $V_{T1} = V_{T2} = V_T = -1V$
- $\frac{W}{L} = 1$

Planteando la malla de entrada se obtiene

$$0 - V_{GSQ_1} - I_D R_S = 0 \Rightarrow -V_{GSQ_1} - R_S K_1 (V_{GSQ_1} - V_{T1})^2 = 0 \quad (1)$$

Desarrollando el cuadrado de la Ec. 1 se obtiene la siguiente expresión:

$$-R_S K_1 V_{GSQ_1}^2 + (2R_S K_1 V_T - 1)V_{GSQ_1} - R_S K_1 V_T^2 = 0 \quad (2)$$

Por lo que se obtiene

$$V_{GSQ_1} = -0,77V \Rightarrow I_{DQ_1} = 793,5\mu A \quad (3)$$

Debido a que la corriente será la misma en ambos transistores, se pueden despejar los valores de reposo:

$$Q_1 = (0,94V; 793,5\mu A) \quad (4)$$

$$Q_2 = (4,54V; 793,5\mu A) \quad (5)$$

3.2. Análisis de Señal a Frecuencias Medias

GRÁFICO DE SEÑAL

Tenemos los siguientes valores para el análisis:

Transistor	g_m	r_{gs}	r_{ds}
1	$6,9 \frac{mA}{V}$	$\rightarrow \infty$	$\rightarrow \infty$
2	$25,2 \frac{mA}{V}$	$\rightarrow \infty$	$\rightarrow \infty$

3.2.1. Amplificación de Tensión Total (A_v)

Si separamos el circuito en dos bloques, uno con amplificación $A_{v1} = v_{o1}/v_i$ y otro con $A_{v2} = v_o/v_{o1}$ como se muestra en el esquema. En las ecuaciones 7 y 8 se muestran los resultados.

Para los despejes se utiliza el valor de r_i^{**} que se define en la Ec. 6. Esta resistencia corresponde a la resistencia equivalente vista desde el Source del segundo transistor hacia el interior de este.

$$r_i^{**} = \frac{r_{gs2}}{r_{gs2}g_{m2}} = 39,7\Omega \quad (6)$$

$$A_{v1} = \frac{v_{o1}}{v_i} = \frac{-i_d r_i^{**}}{\frac{i_d}{g_{m1}r_{gs}} r_{gs}} = -g_{m1} r_i^{**} = -0,274 \quad (7)$$

$$A_{v1} = \frac{v_o}{v_{o1}} = \frac{-i_d 2,35K\Omega}{-i_d r_i^{**}} = \frac{2,35K\Omega}{39,7\Omega} = 59,2 \quad (8)$$

Finalmente podemos despejar A_v :

$$A_v = \frac{v_o}{v_i} = \frac{-i_d 2,35k\Omega}{\frac{i_d}{g_{m1}r_{gs1}} r_{gs1}} = -g_{m1} 2,35k\Omega = -16,22 \quad (9)$$

Que además verifica la relación $A_v = A_{v1}A_{v2}$.

3.2.2. Resistencia de Entrada y de Salida

Dado que la resistencia del Gate 1 está en paralelo con la resistencia de entrada del transistor, que tiende a infinito por el enunciado, se obtiene:

$$R_i = 1M\Omega // r_{gs1} = 1M\Omega \quad (10)$$

Por otro lado, dado que la resistencia de salida es el paralelo entre la resistencia del drain y la resistencia r_{ds2} , se tiene:

$$4,7K\Omega // r_{ds2} = 4,7K\Omega \quad (11)$$

3.2.3. Máxima excursión de señal a la salida sin recorte

Se estima que existe baja distorsión cuando $\Delta V_{GS} \ll (V_{GSQ} - V_T)/2$. JUSTIFICAR ESTA DISTORSIÓN.

Si se traza la recta de carga dinámica de ambos transistores se pueden observar los límites de amplitud de señal que pueden tener en su salida. Las ecuaciones de ambas rectas de carga se presentan a continuación:

INCLUIR RCD

RCD del Primer Transistor:

$$i_{D1} = I_{DQ1} + \frac{V_{DSQ1} - v_{d1}}{r_i^{**}} = 24,5mA - \frac{v_{d1}}{39,7\Omega} \quad (12)$$

La raíz se encuentra en $v_{D1} = 973mV$ y la ordenada al origen en $i_{D1} = 24,5mA$.

RCD del Segundo Transistor:

$$i_{D2} = I_{DQ2} + \frac{V_{DSQ2} - v_{d2}}{4,7K\Omega/2} = 2,73mA - \frac{v_{d1}}{2,35K\Omega} \quad (13)$$

La raíz se encuentra en $v_{D1} = 6,42V$ y la ordenada al origen en $i_{D1} = 2,73mA$.

La tensión $V_{o1max} = V_{DSQ1} - 0,94V = 0,97V - 0,94V = 30mV$, mientras que $V_{o2max} = V_{DSQ2} - 4,54V = 6,42V - 4,54V = 1,88V$.

Dado el valor de A_{V1} de la ecuación 7 se puede despejar la tensión de entrada máxima v_i :

$$v_{iM} = \frac{30mV}{0,274} = 30mV \quad (14)$$

Para esta tensión de entrada, por el valor de A_v obtenido en la ec. 9, se tiene:

$$v_{o_M} = |A_v|110mV = 16,22\ 110mV = 1,8V \quad (15)$$

Dado que esta tensión de salida es menor que la obtenida por la RCD del segundo transistor, se puede concluir que el primer transistor es el que limita el comportamiento de esta configuración y los valores presentados en las ecuaciones 14 y 15 son los valores máximos aproximados que se pueden esperar medir sin recorte.

3.2.4. Respuesta en frecuencia para A_{vs} .

Con un análisis por inspección podemos obtener un valor aproximado de las frecuencias de corte inferior y superior del sistema. Utilizando el modelo simple propuesto por el enunciado, tenemos los siguientes datos:

- $C_{g1s} = 2,2pF$
- $C_{g2s} = 1,1pF$
- $C_{d1s} = C_{d2s} = 0,8pF$
- $C_{g1d} = C_{g2d} = 25fF$

Analizando primero la respuesta en bajas frecuencias, considerando entonces únicamente la influencia del capacitor C_G , C_L , y C_{cc} , se calcula lo siguiente:

C_G : GRÁFICO

$$\tau_G = (145\Omega // 1K\Omega)1\mu F = 0,127ms \Rightarrow 1253Hz \quad (16)$$

C_{cc} : GRÁFICO

$$\tau_{cc} = 9,4\Omega 0,1\mu F = 0,94ms \Rightarrow 169Hz \quad (17)$$

C_L : GRÁFICO

$$\tau_L = 9,4\Omega 1\mu F = 9,4ms \Rightarrow 16,9Hz \approx 170Hz \quad (18)$$

Podemos concluir entonces, dado que la suma de polos ficticios es de $1592Hz$, que la frecuencia de corte inferior tendrá este valor aproximado.

[GRÁFICO DE ANÁLISIS EN ALTAS FRECUENCIAS AQUÍ] Para el análisis en altas frecuencias, obtenemos los siguientes valores:

- $C_{G1} = 2,2pF(1 - \frac{v_{source}}{v_i}) + 25fF(1 - \frac{v_o}{v_i}) = 430fF$
- $C_{G2} = 1,1pF(1 - \frac{v_{source}}{v_{gate2}}) = 1,1pF$
- $C_D = 25fF(1 - \frac{v_i}{v_o}) + 0,8pF(1 - \frac{v_{source}}{v_o}) = 1,3pF$
- $C_{Source} = 0,8pF(1 - \frac{v_o}{v_{source}}) + 1,1pF(1 - \frac{v_{source}}{v_{gate2}}) + 2,2pF(1 - \frac{v_i}{v_{source}}) = 14,9pF$

Obtenemos entonces, sin considerar la capacidad del Gate 2 puesto que el capacitor asociado está en serie con una resistencia equivalente que se considera tiende a infinito: C_{G1} : GRÁFICO

$$\tau_{G1} = 430fF1M\Omega = 430ns \Rightarrow f_{G1} = 370,1KHz \quad (19)$$

C_D : GRÁFICO

$$\tau_D = 1,3pF2,35K\Omega = 3,1ns \Rightarrow f_D = 51,3MHz \quad (20)$$

C_S : GRÁFICO

$$\tau_S = 14,9pF145\Omega = 2,16ns \Rightarrow f_S = 73,7MHz \quad (21)$$

Debido a que la frecuencia asociada al Gate 1 es la menor, consideraremos que $f_H = 370,1KHz$ es la frecuencia de corte superior del sistema.

[CUADRO CON TODO AQUÍ O SE DEJA PARA LA ÚLTIMA SECCIÓN?]

4. Simulación
5. Mediciones
6. Análisis Comparativo