



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA
Año 2019 - 2º cuatrimestre

CIRCUITOS ELECTRÓNICOS (86.06)

ETAPAS CON TRANSISTORES DISCRETOS

INFORME DE LABORATORIO N° 2

José F. González - 100063 - <jfgonzalez@fi.uba.ar>

Gottfried, Joel - 102498 - <joelgottfried99@gmail.com>

Urquiza, Elias - 100714 - <eurquiza@fi.uba.ar>

Índice

1. Especificaciones	2
2. Diseño de la Etapa Amplificadora	2
2.1. Rectas de Carga	3
2.2. Parámetros de pequeña señal	4
2.3. Elección de valores	5
2.4. Dispersión de parámetros	5
2.5. Realimentación en señal	7
2.6. Señales sin recorte	8
3. Simulaciones	9
3.1. Rango de Frecuencias Medias	9
4. Mediciones	9
4.1. Ganancia de Tensión	10
4.2. Ganancia de corriente	10
4.3. Resistencia de Salida	10
4.4. Resistencia de Entrada	10
4.5. Análisis de Resultados	11
5. Oscilador Senoidal por desplazamiento de fase	13
5.1. Explicación Cualitativa	13
5.2. Medición y Simulación	14
5.3. Análisis de Resultados	16
6. Conclusiones	16

1. Especificaciones

Necesitamos diseñar una etapa amplificadora con un transistor **JFET 2N5486** donde la ganancia de potencia sea $G_p > 100$.

2. Diseño de la Etapa Amplificadora

Para la elección de la tecnología del transistor se tuvo en cuenta que al necesitar la etapa una alta ganancia de potencia esta será fácil de obtener si el dispositivo tiene corrientes de entrada casi nulas dando ganancias de corriente muy elevadas. Luego se decidió utilizar transistores FET que cumplen esta característica. En particular utilizamos JFET para familiarizarnos con su funcionamiento. En cuanto a la configuración en que funciona el transistor tenemos tres posibilidades, utilizarlo como Gate común, Drain común o Source común. El primer caso se descartó siendo que la configuración Gate Común tiene una ganancia de corriente unitaria. El Drain Común se descarta pues tiene ganancia de tensión casi unitaria. Finalmente usamos la opción de Source Común que nos permite controlar tanto la ganancia de tensión como la de corriente.

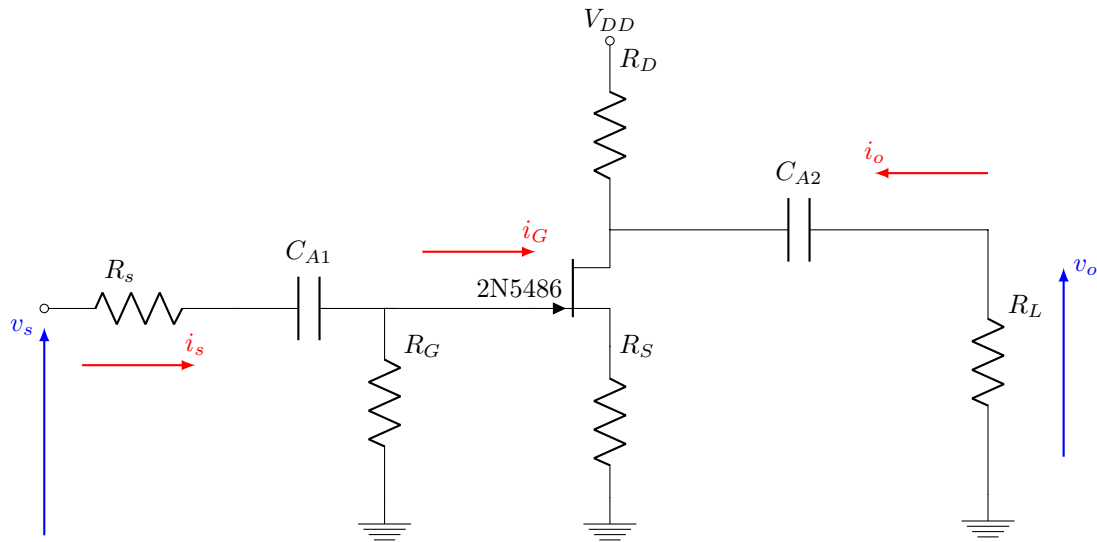


Figura 1: Etapa Amplificadora - Source Común

En la Figura 1 se muestra el circuito propuesto que consiste en un JFET Canal N en modo Source Común con una camino de realimentación. Para este circuito definimos la ganancia de potencia para señales senoidales como

$$G_P = \frac{P_O}{P_I} = \frac{\hat{V}_O \hat{I}_O / 2}{\hat{V}_S \hat{I}_S / 2} = \frac{\hat{V}_O \hat{I}_O}{\hat{V}_S \hat{I}_S} = A_{vs} \cdot A_i \quad (1)$$

De la hoja de datos¹ se obtienen los límites para definir una **zona de operación segura** de la Figura 2 dentro de los cuales podremos polarizar al transistor.

¹<https://www.mouser.com/datasheet/2/68/2n5484-5486-51207.pdf>

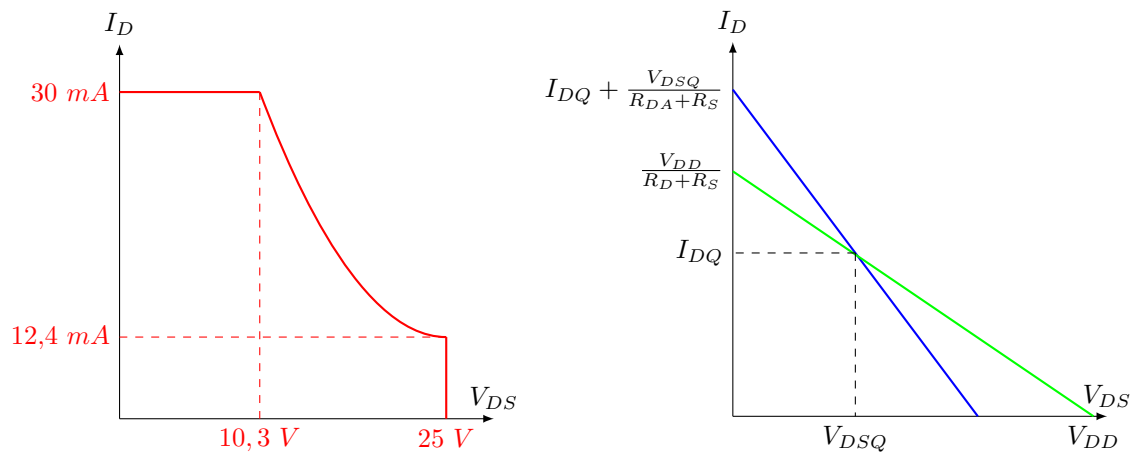


Figura 2: **Izquierda:** Zona de operación segura para el transistor. **Derecha:** Rectas de carga para el circuito propuesto.

2.1. Rectas de Carga

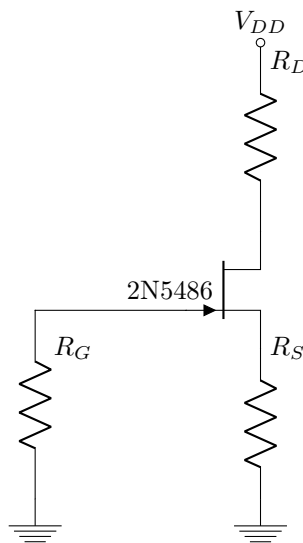


Figura 3: Etapa Amplificadora - Circuito de continua

En la Figura 3 se ve el circuito de continua, donde la recta de carga estática se obtiene al recorrer la malla de salida:

$$I_D = \frac{V_{DD}}{R_D + R_S} - \frac{V_{DSQ}}{R_D + R_S} \quad (2)$$

y la recta de carga dinámica será

$$i_D = \frac{-1}{(R_D // R_L) + R_S} \cdot v_{DS} + I_{DQ} + \frac{V_{DSQ}}{(R_D // R_L) + R_S} \quad (3)$$

2.2. Parámetros de pequeña señal

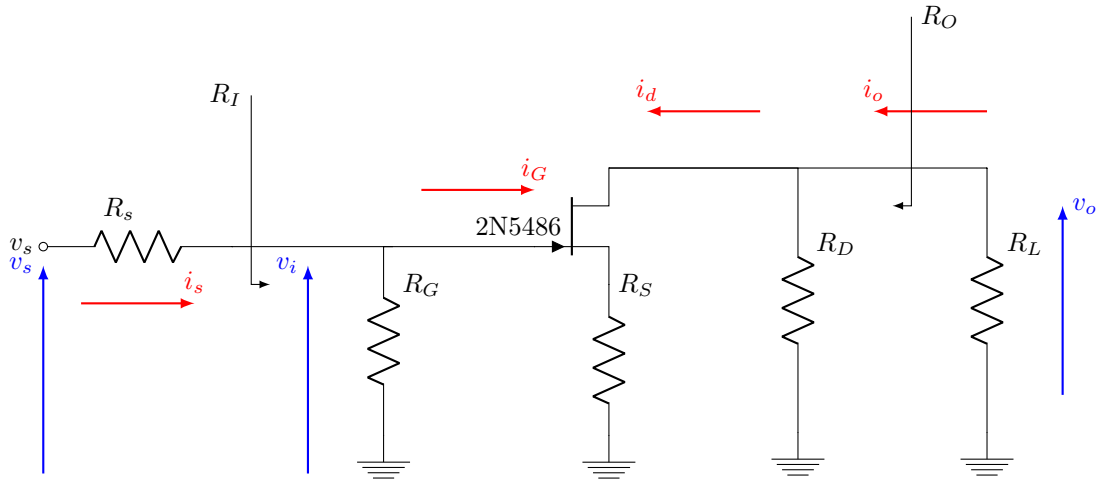


Figura 4: Etapa Amplificadora - Circuito de señal a frecuencias medias

Del circuito de señal a frecuencias medias podemos obtener los siguientes parámetros por inspección, en una primera aproximación **despreciando efectos de segundo orden en el transistor**. La ganancia de tensión será

$$A_v = \frac{v_o}{v_i} = \frac{-i_d(R_D // R_L)}{v_{gs} + v_{RS}} = \frac{-(R_D // R_L)}{\frac{v_{gs}}{i_d} + R_S} = \frac{-(R_D // R_L)}{\frac{1}{g_m} + R_S} \quad (4)$$

que referida al generador resulta

$$A_{vs} = A_v \frac{v_i}{v_s} = A_v \frac{R_G}{R_G + R_s} \quad (5)$$

La ganancia de corrientes será

$$A_i = \frac{i_o}{i_s} = \frac{i_o}{\frac{v_i}{R_G}} = R_G \times \frac{i_o}{v_i} \times \frac{v_o}{v_o} = R_G \times \frac{A_v}{R_L} \quad (6)$$

Asumiendo que se cumple que $R_S \gg 1/g_m$ y $R_s \ll R_G$ se puede expresar la ganancia de potencia en una primera aproximación que depende integralmente de la elección de resistencias

$$G_P = A_{vs} \times A_i = A_v \times \frac{R_G}{R_G + R_s} \times A_v \cdot \frac{R_G}{R_L} \quad (7)$$

$$\approx A_v^2 \frac{R_G}{R_L} \quad (8)$$

$$\approx \left(\frac{R_D // R_L}{R_S}\right)^2 \times \frac{R_G}{R_L} \quad (9)$$

la resistencia de salida se obtiene pasivando la entrada y colocando una señal de prueba a la salida como muestra la Figura 5, tal que

$$\begin{aligned} i_p &= g_m \cdot v_{gs} + \frac{v_p}{R_D} \Rightarrow \frac{v_p}{R_D} = i_p - g_m \cdot v_{gs} = \frac{v_p}{R_D} = i_p - g_m \cdot (-i_p R_S) = i_p(1 + g_m R_S) \\ &\Rightarrow \frac{v_p}{i_p} = R_O = R_D(1 + g_m R_S) \end{aligned} \quad (10)$$

y la resistencia de entrada es simplemente

$$R_I = R_G \quad (11)$$

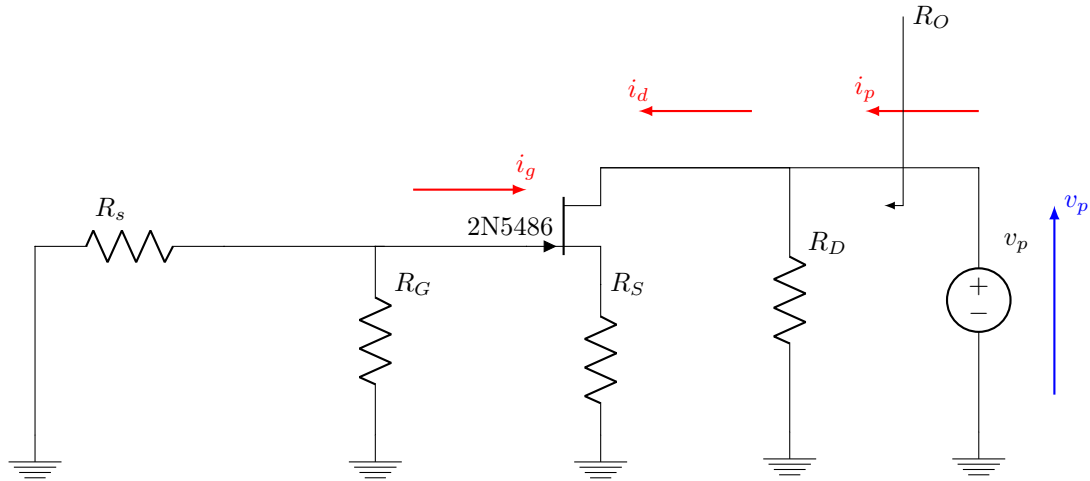


Figura 5: Cálculo por inspección de resistencia de salida a frecuencias medias

2.3. Elección de valores

Con el objetivo de obtener $G_P > 100$ se eligieron los valores de resistencias y fuente de polarización del Cuadro 1. Para ello se utilizó la expresión aproximada de Ganancia de Potencia obtenida en la Sección 2.2 que se la evaluó en los distintos valores ofrecidos por el LACE. **La elección de resistores es tal que, para la tensión de alimentación elegida, permita la mayor ganancia de potencia posible sin que el transistor se salga de saturación.**

R_G	R_D	R_S	R_L	V_{DD}
820 k Ω	1 k Ω	470 Ω	10 k Ω	12 V

Cuadro 1: Valores propuestos para la etapa amplificadora.

2.4. Dispersión de parámetros

En los Cuadros 2 y 3 se muestran los distintos parámetros del amplificador y el punto de reposo para los valores extremos de los parámetros I_{DSS} y V_P del JFET con la elección de resistencias de la sección anterior.

(I_{DSS}, V_P)	Parámetros del Amplificador				Punto de Reposo	
	$ A_{vs} $	$ A_i $	G_P	g_m	I_{DQ}	V_{DSQ}
(20 mA, -6 V)	1,2	101	121	3,6 mA/V	5,8 mA	3,4 V
(14 mA, -4 V)	1,2	99	124	3,7 mA/V	3,9 mA	6,2 V
(8 mA, -2 V)	1,3	104	132	4 mA/V	2,1 mA	9,1 V
Dispersión:	8 %	5 %	9 %	11 %	190 %	160 %

Cuadro 2: Parámetros teóricos de la etapa amplificadora.

Para obtener estos valores se tuvieron en cuenta los siguientes puntos

- En ningún caso se cumple $1/g_m \ll R_S$ luego se usaron las expresiones completas de ganancias.
- Se despreciaron efectos de segundo orden en el transistor.
- Se utilizó para describir la dispersión el rango porcentual respecto al mínimo dado por

$$\delta f \% = \frac{f_{MAX} - f_{MIN}}{f_{MIN}} \times 100$$

(I_{DSS}, V_P)	Parámetros del Amplificador	
	R_I ($k\Omega$)	R_O ($k\Omega$)
(20 mA, -6 V)	820	2,7
(14 mA, -4 V)	820	2,7
(8 mA, -2 V)	820	2,9
Dispersión:	0 %	7 %

Cuadro 3: Parámetros teóricos de la etapa amplificadora - Continuación.

- Se asumieron valores típicos como los valores promedios a falta de esta información en hoja de datos.
- Se despreciaron corrientes de Gate.

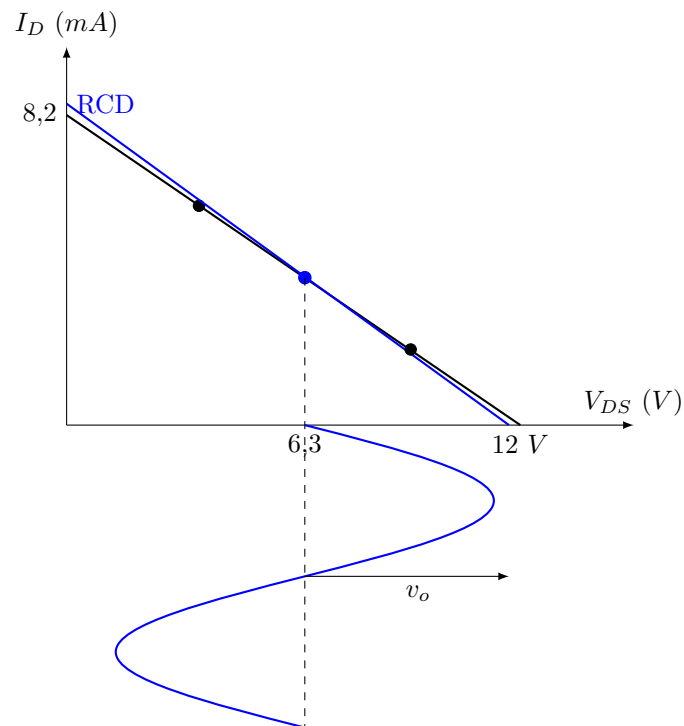


Figura 6: Recta de carga estática con puntos de reposo extremos y típico.

2.5. Realimentación en señal

El circuito presenta un camino de realimentación de señal de muestro de corriente suma de tensión. En la Figura 7 se hace un análisis de incrementos para mostrar que la realimentación es negativa.

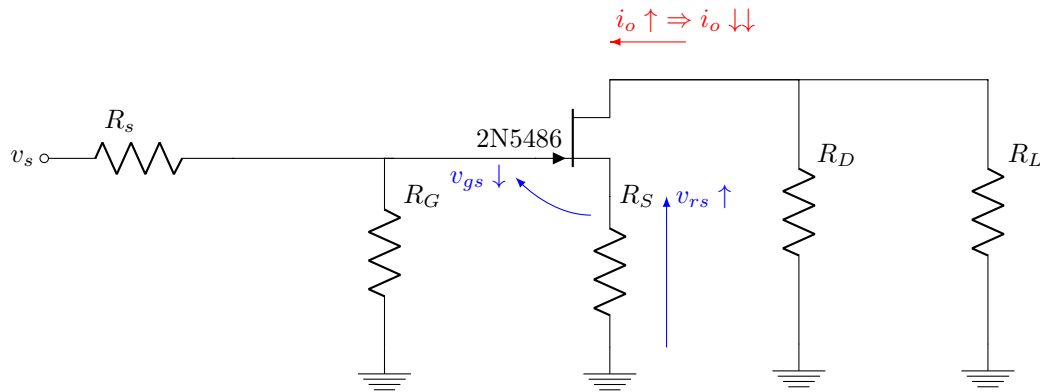


Figura 7: Análisis de incrementos de la realimentación

De las expresiones de ganancia de tensión podemos obtener que el **factor de realimentación** para este circuito es

$$FR = 1 + g_m R_S \quad (12)$$

2.6. Señales sin recorte

Asumiendo el punto de operación Q asociado a los valores típicos del transistor $I_{DSS} = 14 \text{ mA}$ y $V_P = -4 \text{ V}$ obtenemos las máximas señales sin distorsión. De la Figura ?? se ve que para los valores típicos la máxima tensión a la salida sin distorsión por recorte ni triodo serán de tensión máxima aproximadamente $\hat{v}_o = 6 \text{ V}$. La ganancia es $A_{vs} = 1,2$ (Cuadro 2), entonces la máxima tensión que podemos poner del generador sin distorsión de recorte ni triodo, a valores típicos, será

$$v_s = \frac{v_o}{A_{vs}} \approx 5 \text{ V}$$

Sin embargo **el límite por alinealidad será el determinante de las máximas señales del generador**. Aceptando un error del 10 % en la linealización se obtiene una cota de $v_{gs} < 25 \text{ mV}$ asociado a la tensión térmica.

$$v_{gs} = 25 \text{ mV} \Rightarrow v_o = -i_o \times R_D // R_L = -g_m \cdot v_{gs} \times R_D // R_L = -80 \text{ mV} \Rightarrow v_s = 67 \text{ mV} \quad (13)$$

La máxima amplitud pico de señal que puede tener el generador sin distorsión de ningún tipo es $v_s = 67 \text{ mV}$ (cuando $I_{DSS} = 14 \text{ mA}$ y $V_P = -4 \text{ V}$).

3. Simulaciones

Para corroborar la elección de valores de resistencia antes de implementar se simula el circuito en LTSpice. En el Cuadro 4 se muestran los resultados de la simulación.

Parámetros Simulados del Amplificador					Punto de Reposo Medido	
$ A_{vs} $	$ A_i $	G_P	R_I ($k\Omega$)	R_O ($k\Omega$)	I_{DQ}	V_{DSQ}
1,5	123,4	190	819	0,995	5,85mA	3,4V

Cuadro 4: Parámetros simulados de la etapa amplificadora.

3.1. Rango de Frecuencias Medias

En la Figura 8 se muestra la simulación de la respuesta en frecuencia de la transferencia $A_v = v_o/v_i$. La transferencia se mantiene constante en el rango 100 Hz a 10000 kHz.

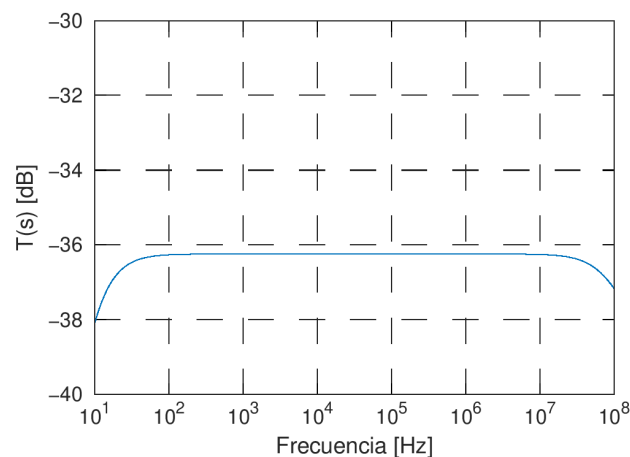


Figura 8: Respuesta en frecuencia del módulo de la transferencia.

4. Mediciones

Se implementó el circuito de la Figura 1 en la placa provista por el LACE utilizando los valores de componentes y alimentaciones definidos en el Cuadro 1. Sobre la placa se midieron los parámetros del circuito amplificador que se resumen en el Cuadro 5 comparándolos con los valores teóricos típicos y con los valores simulados. Para las señales de generador y de prueba se tuvo en cuenta el análisis de distorsiones hecho en la Sección 2.6 y se usaron señales de 40 mV pico a 1 kHz.

	Parámetros del Amplificador					Punto de Reposo	
	$ A_{vs} $	$ A_i $	G_P	R_I ($k\Omega$)	R_O ($k\Omega$)	I_{DQ}	V_{DSQ}
Medido	1,4	112	157	820	1	5,8 mA	3,5 V
Teórico	1,2	99	124	820	2,7	5,8 mA	3,5 V
Sim.	1,5	123,4	190	819	0,995	5,85mA	3,4V

Cuadro 5: Comparación de parámetros medidos de la etapa amplificadora.

4.1. Ganancia de Tensión

Para la medición de ganancia de tensión que fue definida como $A_{vs} = v_o/v_s$ se utilizó el banco de medición de la Figura 9. Donde se determina la ganancia indirectamente como el cociente de los valores pico a pico de las señales de entrada y salida.

4.2. Ganancia de corriente

La ganancia de corriente fue definida como $A_i = i_o/i_s$. La corriente de salida i_o se determina conociendo el valor R_L como $i_o = v_o/R_L$ donde v_o se obtuvo en la medición anterior de ganancia de tensión.

La corriente del generador se obtiene asumiendo que por el gate no circula corriente $i_G = 0$ y midiendo la señal de tensión sobre R_G como muestra la Figura 10 se determina como $i_s = v_{RG}/R_G$. En el Cuadro 5 se muestran los resultados de esta medición.

4.3. Resistencia de Salida

Para medir la resistencia de salida se utilizó un divisor resistivo como el que se muestra en la Figura 11. Conociendo la tensión sobre la resistencia de prueba obtenemos

$$i_p = \frac{v_{CH2} - v_{CH1}}{1 \text{ k}\Omega} \Rightarrow R_o + 1 \text{ k}\Omega = \frac{v_p}{i_p} = \frac{v_p}{v_{CH2} - v_{CH1}} 1 \text{ k}\Omega \quad (14)$$

En el Cuadro 5 se muestran los resultados de esta medición.

4.4. Resistencia de Entrada

Para medir la resistencia de entrada se utilizó la configuración de la Figura 12 asumiendo $i_G = 0$ se obtiene la corriente de prueba como $v_{RG}/R_G = v_{CH1}/R_G$. En el Cuadro 5 se muestran los resultados de esta medición.

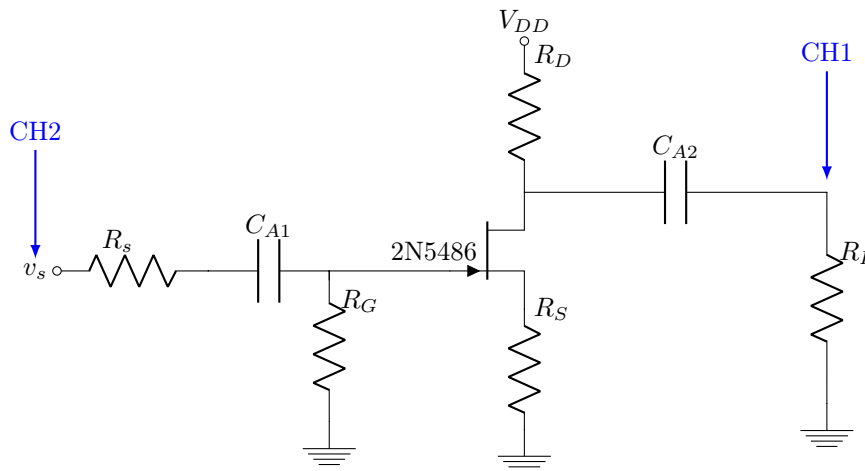


Figura 9: Banco de medición - Ganancia de tensión

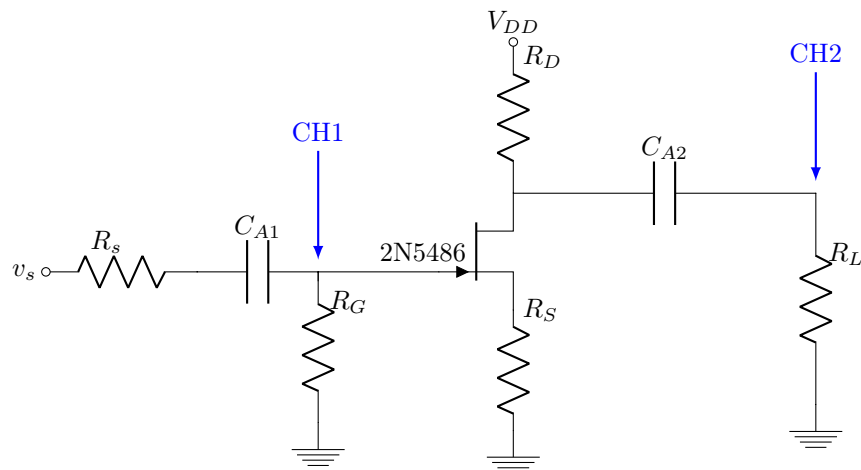


Figura 10: Banco de medición - Ganancia de corriente

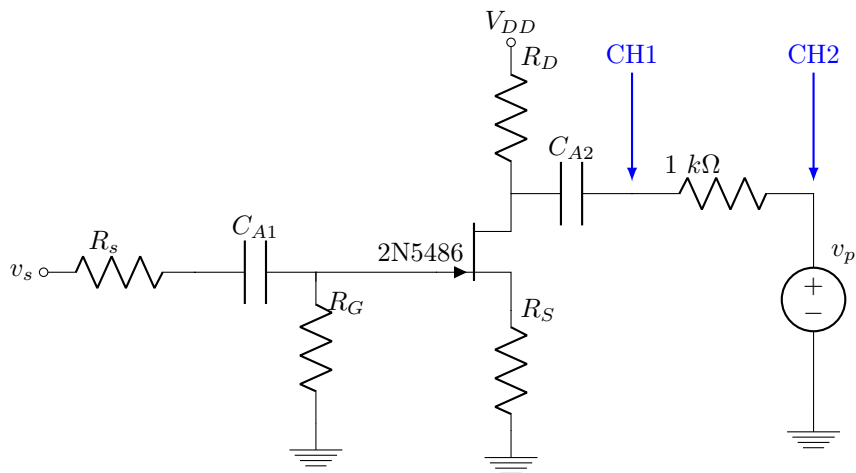


Figura 11: Banco de medición - Resistencia de Salida

4.5. Análisis de Resultados

Se propuso un circuito utilizando un JFET en modo source común con el objetivo de obtener una ganancia de potencia mayor a cien. En el cuadro 5 se puede apreciar que en los tres casos se alcanzó este objetivo. Comparando el resultado de G_p predicho teóricamente con el medido, se aprecia una diferencia del 21 %. Se calcula aproximadamente la misma diferencia porcentual al comparar el valor simulado con el obtenido en la práctica.

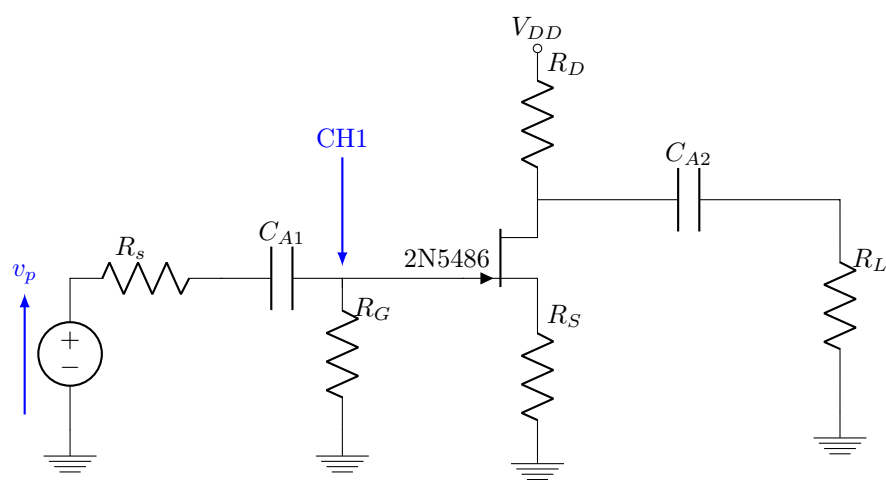


Figura 12: Banco de medición - Resistencia de Entrada

5. Oscilador Senoidal por desplazamiento de fase

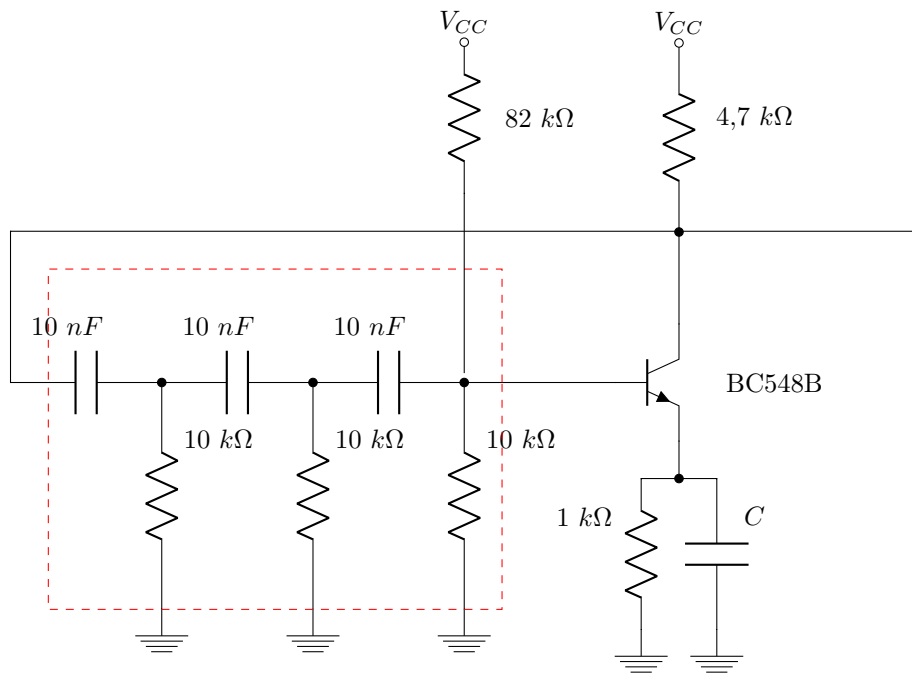


Figura 13: Circuito Oscilador Senoidal por desplazamiento de fase.

5.1. Explicación Cualitativa

Para entender por qué la señal de salida V_o es periódica cuasi senoidal, se puede realizar un análisis recorriendo el lazo de realimentación. Dada una perturbación en la señal presente en la base del transistor, que se considerará positiva, se puede esperar una señal negativa en la salida V_o . Es decir, existe un desfase de 180 entre la base y el colector. Esta señal de salida pasará por el bloque realimentador y, en un análisis simplificado, se puede considerar que el mismo está constituido por tres filtros RC pasa-altos idénticos y desacoplados entre sí. Dado que un filtro RC produce un desfase entre su entrada y su salida, es de esperarse que la señal que entregue a la base del transistor sea positiva -o negativa si la perturbación inicial es así-. Para que oscile, se requiere que dicho desfase total entre la entrada del bloque realimentador y su salida sea de 180 tal que se invierta completamente la señal V_o . En conclusión, se tiene una realimentación positiva.

Aparte, para entender por qué la señal de salida V_o es periódica cuasi senoidal, se puede recurrir a la forma exponencial de la Serie de Fourier, por la cual se tiene que la suma de infinitas exponenciales da lugar a una señal senoidal. En este caso, se tienen tres capacitores, para lo cual se tiene una suma de tres exponenciales y por ello se forma una señal cuasi-senoidal. De tener más bloques, teóricamente, se podría formar una señal senoidal más pura.

La frecuencia de oscilación del circuito puede aproximarse según el desfase que aportará cada bloque RC. Se puede ver el diagrama de bode de fase de un pasa-altos en la figura 14. En la frecuencia de corte $f_c = \frac{1}{2\pi RC} = 1,5 KHz$ se tiene un desfase de 45° , pero se requiere de uno de 90° para que los tres bloques desfasen 180° . Por lo tanto, se puede concluir que la frecuencia de oscilación estará por debajo de la de corte y, según este análisis simplificado, tendrá un valor entre 800Hz y 900Hz.

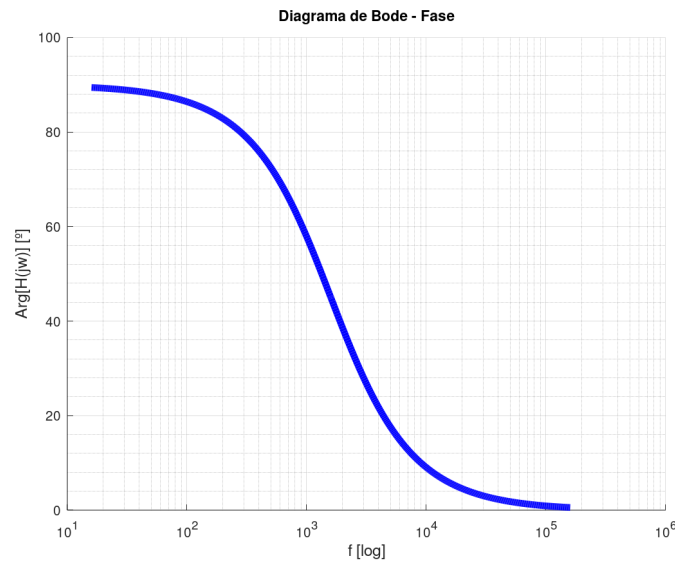


Figura 14: Diagrama de bode de fase para un RC pasa altos con $R = 10K\Omega$ y $C = 10nF$.

Para entender los rangos de tensión en que funciona el oscilador, es de utilidad observar la figura 15. Consideraremos que ambas rectas de carga coinciden, para simplificar el análisis. La oscilación del punto Q sobre la recta estará limitada por la diferencia de tensión entre el V_{CQ} y V_{CC} . Esto es así ya que la carga y descarga de los capacitores del bloque de realimentación estará limitada por el régimen de corte, punto en el cual se realimenta positivamente un desplazamiento al otro extremo y, en caso de que se alcance, estará limitado también por el régimen de saturación. Si se disminuye V_{CC} , la recta se desplaza y el punto Q entra en corte, motivo por el cual dejará de oscilar el circuito.

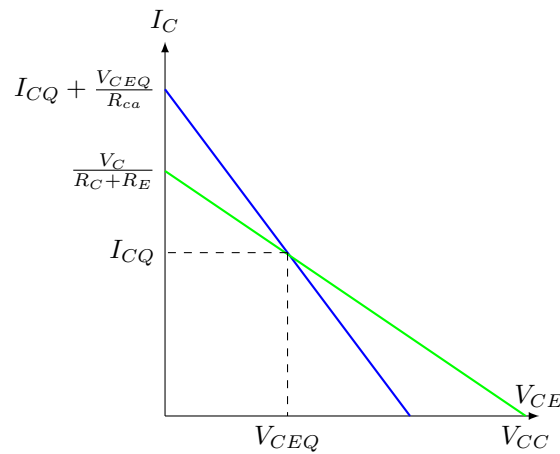


Figura 15: Rectas de Carga Estática y Dinámica del circuito de la fig. 13.

5.2. Medición y Simulación

Se obtuvo la figura 16 al armar el circuito en el laboratorio. Se puede observar que **la frecuencia de oscilación es de 500Hz, y la señal de 14V pico-pico está acoplada a una tensión continua de 13V. Se encontró también que la tensión V_{CC} para la cual se detiene la oscilación es de aproximadamente 8V.**

Por otro lado, al simular el circuito se obtuvo una señal de 515Hz con amplitud pico a pico de 13.7V acoplada a una señal continua de 13.03V, como se puede observar en la figura 17. También se obtuvo la

FFT de la señal de salida, presente en la figura 18 y se puede observar que el armónico predominante es el de aproximadamente 500Hz, por lo que **se realizó un cálculo de la Distorsión Armónica Total y se obtuvo un valor de 14.24 %**.

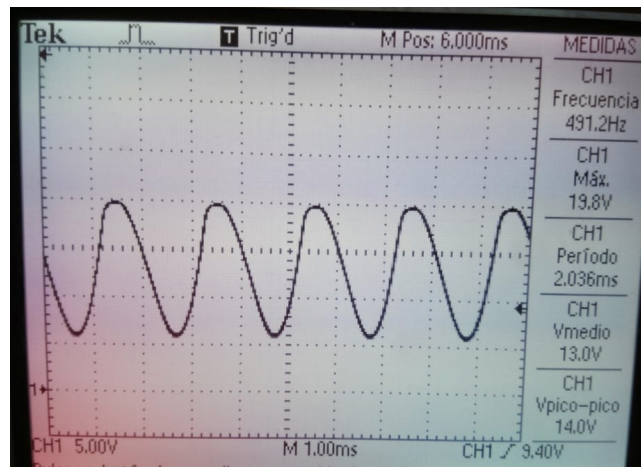


Figura 16: Simulación de la salida del oscilador.

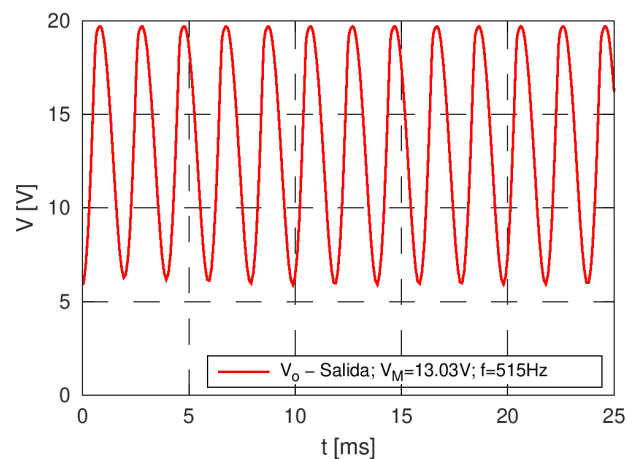


Figura 17: Simulación de la salida del oscilador.

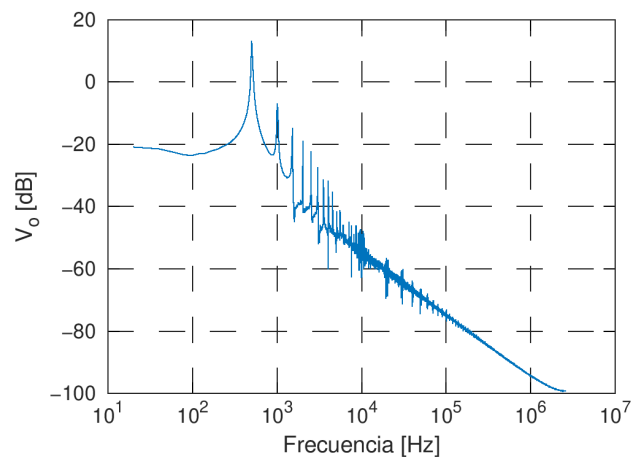


Figura 18: FFT de la señal de salida del oscilador obtenida mediante LTSpice.

5.3. Análisis de Resultados

Primeramente, observamos que la frecuencia de oscilación obtenida en la práctica y en la simulación es de aproximadamente 500Hz, siendo este un valor que se encuentra por debajo del rango teorizado. No estamos seguros de a qué factor se debe esto pero pensamos que puede deberse a que los bloques RC como tal no están desacoplados entre sí, aparte de que existe una corriente de entrada en la base del transistor por lo que este también puede influir.

Por otro lado, al graficar la FFT mediante LTSpice, presente en la figura 18, se puede observar que el armónico predominante se encuentra aproximadamente en 500Hz, pero se tienen otros armónicos presentes también. Consideramos que esto se debe al hecho de estar sumando tres exponenciales para formar una señal cuasi-senoidal, como fue mencionado previamente.

6. Conclusiones

Estudiando los resultados obtenidos de la etapa amplificadora, podemos concluir haber logrado nuestro objetivo de obtener una ganancia de potencia mayor a 100. Se obtuvo en la práctica un valor de $G_p = 157$, siendo este un valor que difiere del teórico en un 21 % y del simulado también en un 21 %.

Por otro lado, refiriendonos al circuito oscilador senoidal por desplazamiento de fase, se midió una frecuencia de oscilación de 500Hz que difiere en un 37.5 % del mínimo valor predicho con un análisis simplificado. Se midió también una señal cuasi-senoidal acoplada a una señal continua de 13V y se encontró que la oscilación se detiene con una fuente de alimentación de aproximadamente 8V, puesto que se posiciona el punto Q cerca de corte.