

3주 1강

# 논리 게이트와 플립플롭



# 1. 논리 게이트



‘0’과 ‘1’ 만 사용하는 이진 정보는 게이트(gate)라고 하는 논리회로에서 처리

1

## AND 게이트

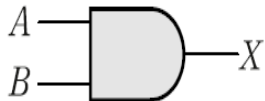
- 논리곱 연산을 수행하는 논리소자다. 모든 입력이 1인 경우에만 출력이 1로 나타난다. 그리고 나머지의 경우에는 0을 출력한다.

- AND 게이트의 진리표(True Map)

입력(A)	입력(B)	출력(X)
0	0	0
0	1	0
1	0	0
1	1	1

- AND 게이트의 논리식 표현 :  $X = A \cdot B$

- AND 게이트의 기호





## 2

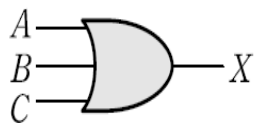
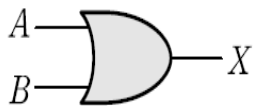
## OR 게이트

- 논리합 연산 수행
- 다수의 입력 중 최소한 하나 이상의 입력이 1일 경우에 출력이 1이 된다.

● 논리식 표현 :  $X = A + B$

● 진리표와 기호

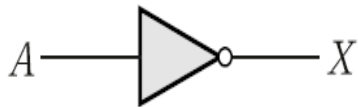
입력(A)	입력(B)	출력(X)
0	0	0
0	1	1
1	0	1
1	1	1





## 3 NOT 게이트

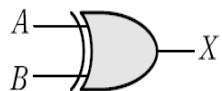
- 한 개의 입력과 한 개의 출력을 갖는 게이트로 논리 부정을 나타낸다.
- 입력 값에 대하여 출력 값이 반대가 되도록 한다.
- 논리식 표현 :  $X = \overline{A} = A'$
- 진리표와 기호



입력(A)	출력(X)
0	1
1	0

## 4 XOR 게이트

- 여러 개의 입력 중에서 1의 개수가 홀수로 입력되면 1을 출력한다.
- 입력이 2개인 경우에 두 입력 중 하나만 1로 입력되면 1을 출력하고, 둘 모두가 1이거나 0이면 0을 출력한다.
- 논리식 표현 :  $X = A \cdot \bar{B} + \bar{A} \cdot B = A \oplus B$
- 진리표와 기호

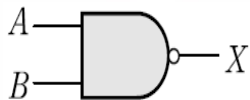


입력(A)	입력(B)	출력(X)
0	0	0
0	1	1
1	0	1
1	1	0



## 5 NAND 게이트

- AND와 NOT 게이트가 결합하여 AND 게이트의 출력과 반대로 출력
- 모든 입력이 1인 경우에만 출력이 0. 그리고 나머지의 경우는 1을 출력
- 논리식 표현 :  $X = \overline{A \cdot B}$
- 진리표와 기호

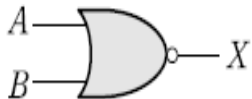


입력(A)	입력(B)	출력(X)
0	0	1
0	1	1
1	0	1
1	1	0



## 6 NOR 게이트

- OR 게이트의 출력에 NOT 게이트를 연결한 개념
- OR 게이트 출력에 반대로 출력, 다수의 입력 중 최소한 하나 이상의 입력이 1을 갖는 경우 출력은 0이 된다.
- 논리식 표현 :  $X = \overline{A+B}$
- 진리표와 기호



입력(A)	입력(B)	출력(X)
0	0	1
0	1	0
1	0	0
1	1	0

## 2. 플립플롭



- '1비트의 정보를 기억할 수 있는 회로로 컴퓨터의 주기억장치 RAM이나 캐시 메모리, 레지스터를 구성하는 기본 회로
- 전원이 있을 때만 기억이 유지되며 전원이 차단되면 정보는 사라지는 휘발성 기억소자다.



### 래치(LATCH)

- 수동적 또는 전자적 조작으로 상태를 바꾸지 않는 한 그 상태를 유지해 주는 장치 또는 회로를 말한다.
- 주어진 상태를 보관 유지할 수 있도록 NAND 게이트 또는 NOR게이트를 이용하여 회로를 구성
- 논리 회로로 구성되었기 때문에 논리회로에 준하는 빠른 동작속도를 얻을 수 있고 플립플롭으로 활용한다.



# R-S 플립플롭

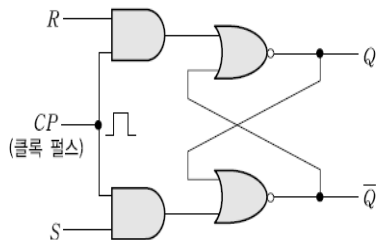


1

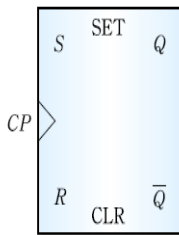
- 래치에 입력 게이트를 추가하여 플립플롭이 클럭 펄스가 발생하는 동안에만 동작하도록 만든 논리회로다.
- 두 개의 AND 게이트와 NOR 게이트를 사용한 R-S 래치로 구성

2

R-S 플립플롭의 회로도와 논리기호



(a) 회로도

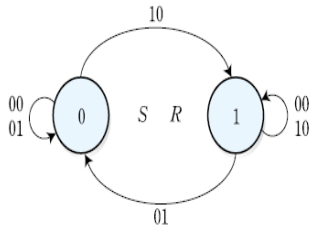


(b) 논리기호

3

R-S 플립플롭의 진리표와 상태도

클럭 펄스	R	S	$Q(t+1)$
1	0	0	$Q$
1	0	1	1
1	1	0	0
1	1	1	불능



# D 플립플롭

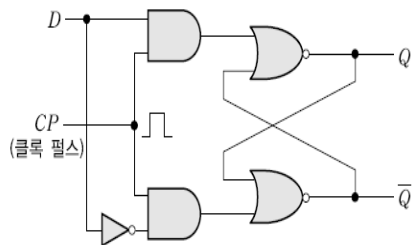


1

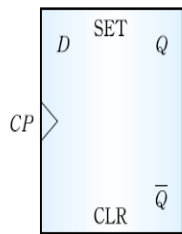
- 입력 단자 R과 S에 동시에 1이 입력되는 것을 회로적으로 차단
- 입력신호 D가 클럭펄스에 의해서 변화 없이 그대로 출력에 전달  
데이터 전달과 지연(Delay)을 의미하는 D 플립플롭이라고 명명

2

D 플립플롭의 회로도와 논리기호



(a) 회로도

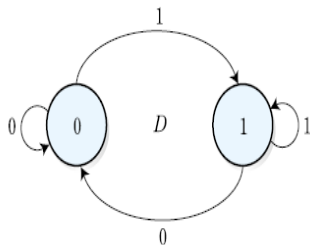


(b) 논리기호

3

D 플립플롭의 진리표와 상태도

클럭 펄스	D	$Q(t+1)$
1	0	0
1	1	1



# J-K 플립플롭

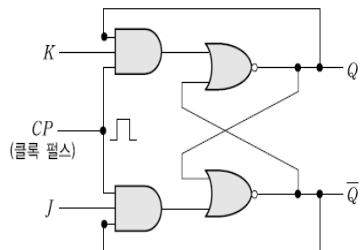


1

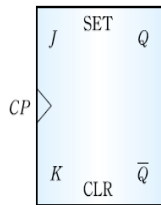
- R-S 플립플롭의  $S=1, R=1$  인 경우 불능 상태가 되는 것을 해결
- J는 S(set)에, K는 R(reset)에 대응하는 입력으로 J와 K의 입력이 동시에 1이 입력되면 플립플롭의 출력은 이전 출력의 보수 상태로 변화하게 된다.

2

J-K 플립플롭의 회로도와 논리기호



(a) 회로도

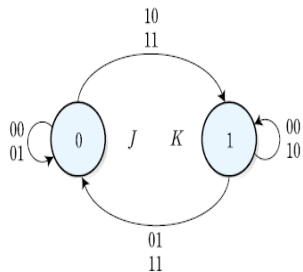


(b) 논리기호

3

J-K 플립플롭의 진리표와 상태도

클럭 펄스	J	K	$Q(t+1)$
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	$\bar{Q}$



다음 시간

## 3주 2강. 조합 논리 회로

