

2023 年全国大学生电子设计竞赛试题

设计报告



信号分离装置（H 题） 【本科组】

摘 要：本系统由移动电源供电的恒定增益模拟加法器构成的加法电路和模拟乘法器、低通滤波器、STM32 与 DDS 构成的分离电路组成。项目组创新性地设计了基于模拟下变频的合路信号分离系统，使用 STM32 控制 DDS 生成频率遍历信号后利用乘法器与低通滤波器实现下变频与模拟信号处理，处理后的信号幅度与原始信号频率值存在直接映射关系，其映射关系经处理后驱动 DDS 直接数字合成分路信号。经测试，本次项目设计制作的信号分离装置可以在规定时间内实现分辨率 5kHz 双路信号的分离。项目组结合通信与信息的多领域知识，利用创新型方案将嵌入式系统的采样频率需求降低约 3,000 倍，最终形成的信号分离装置兼具创新性、完整性与稳定性。

关键词：模拟下变频；嵌入式系统；数字直接合成技术；数字-模拟转换

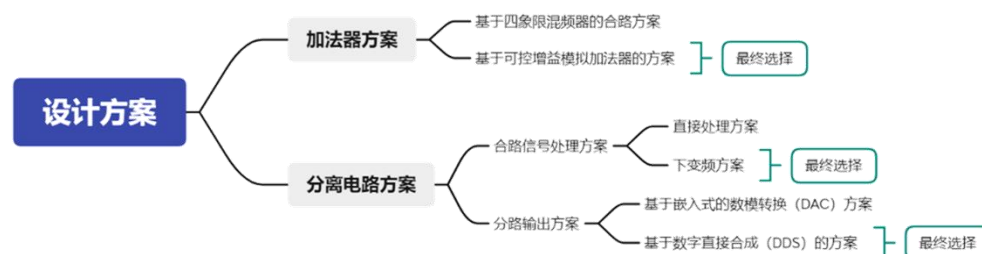
目录

1 方案论证	1
1.1 方案比较与选择	1
1.1.1 加法器方案比较	1
1.1.2 分离电路方案比较	1
1.2 总体方案描述	2
2 理论分析与计算	2
2.1 信号分离理论与方法	2
2.1.1 仿真实验分析	2
2.1.2 实测理论完善	3
2.2 移相理论与方法	3
3 电路与程序设计	4
3.1 电路设计	4
3.1.1 加法器电路设计	4
3.1.2 分离电路设计	4
3.2 程序设计	5
3.2.1 下变频遍历控制程序	5
3.2.2 采样与数据处理程序	5
3.2.3 分路信号输出控制程序	5
4 测试方案与测试结果	6
4.1 测试方案及测试条件	6
4.1.1 测试方案	6
4.1.2 测试条件	6
4.2 完整测试结果	7
4.2.1 基本要求	7
4.2.2 发挥部分	7
4.3 测试结果分析	8
5 参考文献	8

1 方案论证

1.1 方案比较与选择

本系统的设计方案比较与选择部分主要包括以下内容：



1.1.1 加法器方案比较

基于四象限混频器的合路方案：四象限混频器可以实现高速四则运算并进行低噪高频电压输出。但由于其集成功能较多，增益程控过程较为复杂，与本题恒定增益要求匹配性差。

基于恒定增益模拟加法器的方案：基于模拟电路理论设计的有源加法器可以实现 100kHz 以下信号的同相加法运算。加法器可以通过电路设计实现**恒定增益控制**和 $\pm 5V$ - $\pm 15V$ 的**移动电源驱动**，满足题目要求。

1.1.2 分离电路方案比较

分离电路方案需要同时**实现合路信号的处理和输出信号的生成**。

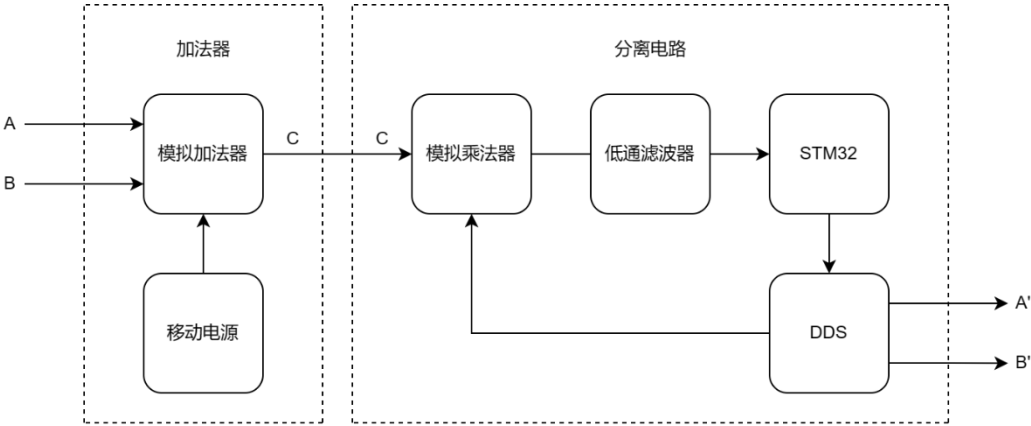
合路信号处理部分，项目组设计并比较了两种方案：**直接处理方案**计划使用微控制单元（MCU）直接进行模拟-数字转化（ADC），对于采样后的信号进行快速傅里叶变换（FFT）分析其频谱，根据频谱坐标位置与波形判断输入信号的类别与频率，最终通过 MCU 的数字-模拟转化（DAC）功能实现波形输出；但项目组现有的 MCU 性能有限，无法同时确保 ADC 的采样率与采样深度，无法实现 1024 位宽的 FFT 运算，不利于预期功能实现。**下变频方案**的灵感来源于幅度调制（AM），先对合路信号乘以正弦信号使其部分能量转移至低频，使用低通滤波器选择出低频信号后利用 MCU 进行幅度采样，通过遍历不同本振下低频信号能量确定输入信号频谱分布；下变频方案可以通过自主设计遍历程序在保证精确性的同时**将 ADC 采样频率需求降低约 3,000 倍**（从 300kHz 降低到约 100Hz），节省的大量算力可以增加采样深度并提升运行速度，在项目组有限的资源条件下最大程度上满足设计需求。

输出信号生成部分，项目组设计比较了两种方案：**基于嵌入式的 DAC 方案**

计划使用 MCU 直接输出波形；然而项目组现有 MCU 模拟信号生成能力较差，输出波形因分辨率不足存在明显失真，输出幅值也难以满足需求。**基于 DDS 的方案**通过 MCU 驱动 DDS，DDS 根据控制信号直接合成两路波形分别输出；项目组有能力在 MCU 中集成 DDS 驱动功能，DDS 输出信号波形标准、频率稳定、幅度可以达到设计需求的 5 倍以上（峰峰值约 5.5V），符合设计需求。

1.2 总体方案描述

项目总体方案框图如下所示：



信号 A 和 B 同时输入由移动电源的模拟加法器，加法器增益恒定为 1。合路信号与 DDS 生成的、频率周期性变化的正弦波通过模拟乘法器相乘。乘法器输出信号在频域上周期性向低频方向平移，当遍历频率与合路信号同频，信号能量将接近零频，可以通过低通滤波器。STM32 采样低通滤波器输出信号并计算幅值均方根（RMS），完成程序遍历后，RMS 值最高的两个频率即合路信号的两个频率。最终，STM32 控制 DDS 生成两路恢复信号，实现信号分离。

2 理论分析与计算

2.1 信号分离理论与方法

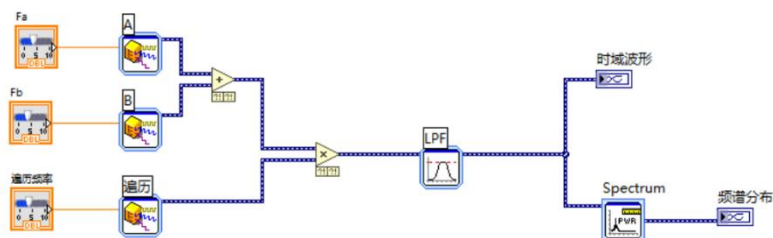
项目通过 STM32 控制 DDS 输出频率周期性改变的正弦波，正弦波与合路信号做乘法实现下变频后通过低通滤波器，STM32 采样低通滤波器输出并计算信号 RMS，RMS 最高的两组遍历频率值即输入信号频率，STM32 控制 DDS 直接合成波形完成信号分离。

2.1.1 仿真实验分析

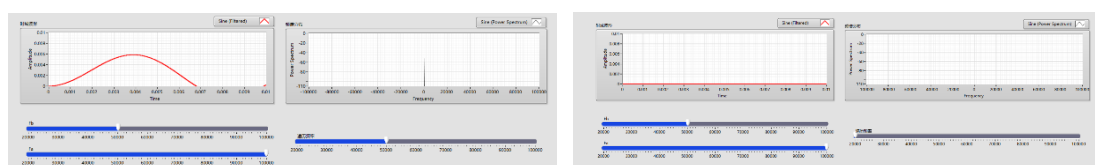
LabVIEW 是一种图形化编程环境，用于快速开发测试、控制和仿真。

项目使用 LabVIEW 对信号分离理论方法进行仿真：生成两路同相正弦信号

作加法后，生成一路随机相位的正弦信号进行频率遍历。输出信号通入 2kHz 的二阶巴特沃夫滤波器，观察信号的时域波形（预期的 ADC 幅度输入）与频域波形（与 ADC 采集的 RMS 值正相关）。



连续运行遍历程序，控制前面板数值条确定信号 A 与 B 的频率，拖动遍历频率数值条进行频率遍历。下图反映的仿真实验中，输入信号 A 为 50kHz，B 为 100kHz，进行频率遍历后，仅在遍历频率为 50kHz（左图）和 100kHz 条件下时域波形存在幅值，通过滤波器的低频信号能量在频谱零频附近出现。但当遍历频率与输入的两个频率不同，时域频域均无波形，通过低通滤波器的能量为 0。



综上所述，仿真计算中设计理论可行。

2.1.2 实测理论完善

经过硬件实验，项目组发现**仿真数据与实际硬件问题存在一定偏差**：仿真过程中输入信号与待测信号频率完全相同时通过低通滤波器的能量最大，实测过程中直流信号的传递受到阻碍，频率遍历输出的幅频对应关系不显著。为此，项目组规定遍历频率与实际位置均偏移 0.1kHz，当频率相合时，信号能量被移动至 0.1kHz 位置，其时域波形近似为正弦，可以在硬件系统中低损耗传递。

2.2 移相理论与方法

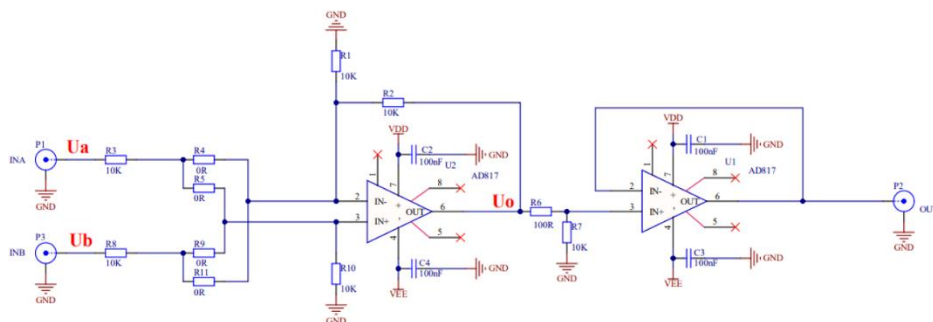
项目计划采用软件锁相环（PLL）技术实现移相。软件 PLL 特别适用于 DDS 系统。在 STM32 上实现软件锁相环需要经过确定参考信号、采样参考信号和 DDS 输出信号、相位检测、利用 PID 算法产生控制信号调整 DDS 输出信号的频率和相位，最终实现保持锁定状态的循环过程。项目组使用 STM32 的定时器、中断和数字信号处理技术并根据 AD9959 DDS 模块具体情况和相位同步与移相实现进行了算法设计和参数调整尝试，期望通过硬件调试确保系统稳定运行。

3 电路与程序设计

3.1 电路设计

本系统硬件电路主要由加法器与分离电路组成，两部分电路之间的信号传输均使用 SMA 线完成。

3.1.1 加法器电路设计



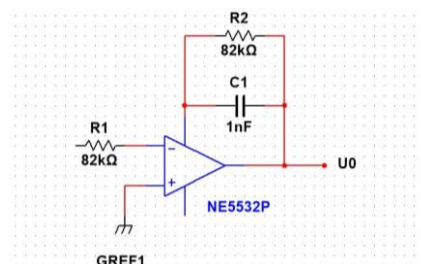
加法器电路原理图如上所示。加法器运放采用 AD817，支持多种电源输入电压，方便项目组设计移动电源供电。同时其具有高速，低功耗，高输出电流驱动能力等优点，非常适合各种信号处理和数据采集应用。

项目组通过 TPS5430 电源模块，将单电源 14.8V 锂电池转为 $\pm 5V$ 向加法器模块供电。电路通过集成运放的比例运算电路实现了信号的相加，其增益为 1。同时为了方便调试，加法器电路设计过程中接入了 4 个 0R 电阻。

3.1.2 分离电路设计

分离电路通过 AD835 乘法器将混合信号 C 与 DDS 扫频信号相乘，后接 2kHz 有源低通滤波器进行滤波，最后接入 STM32 分析后通过 DDS 输出波形，实现两路信号分离。分离电路中 AD835 乘法器，有源滤波器，DDS 均采用 $\pm 5V$ 供电，STM32 采用 USB 口供电。

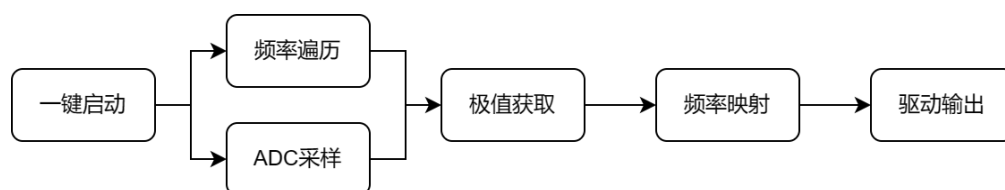
AD835 乘法器可以实现 250 MHz 四象限电压输出，满足题目 20kHz~100kHz 要求。在对乘法器输出信号进行频谱分析后，项目组设计了增益为 1 的一阶**有源低通滤波器**，其截止频率为 2kHz，滤波器运放选择噪声性能与动态范围良好的 NE5532P。



本次项目选择 STM32F103-RCT6 开发板为主控硬件，定义 PA1 针脚为 ADC 采样端口，根据 DDS 原理图与驱动程序定义将 STM32 开发板针脚与 DDS 控制针脚连接后，DDS 可根据 STM32 控制信号生成指定频率与相位的正弦波。DDS 拥有四个相互独立的输出频道，CH0 向乘法器输出用于下变频输出信号，CH2 生成频率较低的 A'，CH3 输出频率较高的 B'。

3.2 程序设计

本项目基于通信思路创新性地降低软件复杂度，大幅度降低算力消耗。



小组最终采用 STM32 程序控制 DDS 通过模拟混频对合路信号进行遍历式模拟下变频，通过 STM32 的 ADC 对滤波后的下变频信号进行采样与分析，并最终再次控制 DDS 进行分路信号输出。

3.2.1 下变频遍历控制程序

项目根据题目发挥部分要求，一键启动后使用 MCU 控制 DDS 在 20kHz 到 100kHz 范围内遍历生成步长为 5kHz 的正弦信号输入乘法器以实现模拟下变频。项目通过设置 MCU 定时器，使用嵌套循环结构控制控制采样与遍历的稳定分频关系并确保 ADC 采样与处理的同步性；通过设置统一的全局数组确定频点与 ADC 采样 RMS 最大两项极值的映射关系；通过建立循环结构完成周期性的频率遍历。

3.2.2 采样与数据处理程序

周期性遍历的同时，项目组定义 MCU ADC 输入端口对信号进行实时幅度采样并计算 RMS。遍历过程中，幅度数据暂存至缓冲数组，程序在每一次频点跳变前计算数组中数值的 RMS。在完成所有频点遍历后，程序分析 RMS 全局数列的两个极大值并确定其与频率的映射关系，输出状态和频率将在 LCD 屏幕上显示，程序进入输出阶段。

3.2.3 分路信号输出控制程序

确定两路信号频率后，MCU 调用输出方法生成相应控制信号驱动 DDS 刷新端口状态，生成两路分离信号。

4 测试方案与测试结果

4.1 测试方案及测试条件

4.1.1 测试方案

1. 基本要求:

- 1) 使用一台双路输出信号源输出 2 路正弦波 A 和 B (频率范围: 20kHz ~100kHz, 且 $f_A < f_B$; 峰峰值均为 1V), 通过设计增益为 1 的加法器产生混合信号 C, 使用示波器测试 C 的波形及幅度, 判断 C 是否等于 $A+B$ 且增益为 1。使用此方法测试多组数据并记录;
- 2) 信号源输出 2 路正弦波 A 和 B, 其中 $f_A = 50\text{kHz}$, $f_B = 100\text{kHz}$, 经加法器和分离电路分离出信号 A'和 B', 用示波器显示 A 和 A'、B 和 B'。观察 A 和 A'、B 和 B'是否连续稳定同频显示且峰峰值大于 1V。使用此方法测试多组数据并记录;
- 3) 信号源输出 2 路正弦波 A 和 B, 其中 $f_A < f_B$ 且分别为 10kHz 的整数倍, 经加法器和分离电路分离出信号 A'和 B', 用示波器显示 A 和 A'、B 和 B'。观察 A 和 A'、B 和 B'是否连续稳定同频显示且峰峰值大于 1V。使用此方法测试多组数据并记录。

2. 发挥部分:

- 1) 使用信号源输出 2 路正弦波 A 和 B, 其中 $f_A < f_B$ 且分别为 5kHz 的整数倍, 经加法器和分离电路分离出信号 A'和 B', 用示波器显示 A 和 A'、B 和 B'。观察 A 和 A'、B 和 B'是否连续稳定同频显示且峰峰值大于 1V。使用此方法测试多组数据并记录;
- 2) 使用信号源输出 2 路正弦波 A 和 B, 其中 $f_A < f_B$ 且 f_A 是 f_B 的整数倍, 经加法器和分离电路分离出信号 A'和 B', 用示波器显示 A 和 A'、B 和 B'。观察 A 和 A'、B 和 B'是否连续稳定同频显示且峰峰值大于 1V。使用此方法测试多组数据并记录。

4.1.2 测试条件

本装置中, 加法器采用移动电源 $\pm 5\text{V}$ 供电, 其余均外接 5V 电压进行供电; 信号的输入使用 BNC 线与双路输出信号源相接, 输出使用 BNC 或者没有增益的探头与示波器相接。

4.2 完整测试结果

4.1.1 基本要求

1. 项目组分别测试了输入峰峰值为 1V 正弦波 A 和 B，同频率相位时加法器输出信号 C 的波形和幅度并且记录如下：

正弦波 A 和 B 的频率	C 是否稳定	C 的峰峰值
$f_A = 20.0\text{kHz}$ $f_B = 20.0\text{kHz}$	是	2.01V
$f_A = 50.0\text{kHz}$ $f_B = 50.0\text{kHz}$	是	2.05V
$f_A = 100.0\text{kHz}$ $f_B = 100.0\text{kHz}$	是	2.01V

2. 输入峰峰值为 1V 正弦波 A 和 B，其中 $f_A = 50.0\text{kHz}$, $f_B = 100.0\text{kHz}$ ，观察 A 与 A', B 与 B' 的波形并且比较。实验结果 A' 信号和 B' 信号峰峰值均大于 1V，且 A 与 A', B 与 B' 频率相同波形相同，稳定显示：

序号	输入				输出			
	f_A	峰峰值	f_B	峰峰值	$f_{A'}$	峰峰值	$f_{B'}$	峰峰值
1	50.0kHz	1.00V	100.0kHz	1.00V	50.1kHz	5.38V	99.9kHz	5.42V

3. 输入峰峰值为 1V 正弦波 A 和 B，频率分别为 10.0kHz 的整数倍，观察 A 与 A', B 与 B' 的波形并且比较。实验结果 A' 信号和 B' 信号峰峰值均大于 1V，且 A 与 A', B 与 B' 频率相同波形相同，稳定显示：

序号	输入				输出			
	f_A	峰峰值	f_B	峰峰值	$f_{A'}$	峰峰值	$f_{B'}$	峰峰值
1	20.0kHz	1.00V	100.0kHz	1.00V	19.8kHz	5.61V	100.1kHz	5.58V
2	30.0kHz	1.00V	70.0kHz	1.00V	29.9kHz	5.55V	70.1kHz	5.59V
3	50.0kHz	1.00V	60.0kHz	1.00V	50.2kHz	5.62V	60.1kHz	5.61V

4.1.2 发挥部分

1. 输入峰峰值为 1V 正弦波 A 和 B，频率分别为 5kHz 的整数倍，观察 A 与 A', B 与 B' 的波形并且比较。实验结果 A' 信号和 B' 信号峰峰值均大于 1V，且 A 与 A', B 与 B' 频率相同波形相同，稳定显示：

序号	输入				输出			
	f_A	峰峰值	f_B	峰峰值	$f_{A'}$	峰峰值	$f_{B'}$	峰峰值
1	25.0kHz	1.00V	95.0kHz	1.00V	25.2kHz	5.33V	95.1kHz	5.36V
2	35.0kHz	1.00V	45.0kHz	1.00V	35.0kHz	5.41V	44.9kHz	5.41V
3	50.0kHz	1.00V	75.0kHz	1.00V	50.1kHz	5.35V	75.0kHz	5.39V

2. 在上一问基础上设置 f_B 为 f_A 的整数倍，观察 A 与 A'，B 与 B' 的波形并且比较。实验结果 A' 信号和 B' 信号峰峰值均大于 1V，同波同频，稳定显示：

序号	输入				输出			
	f_A	峰峰值	f_B	峰峰值	$f_{A'}$	峰峰值	$f_{B'}$	峰峰值
1	25.0kHz	1.00V	50.0kHz	1.00V	24.9kHz	5.46V	50.2kHz	5.46V
2	25.0kHz	1.00V	75.0kHz	1.00V	25.0kHz	5.32V	75.1kHz	5.31V
3	25.0kHz	1.00V	100.0kHz	1.00V	25.0kHz	5.39V	100.2kHz	5.40V

3. 本装置设计过程中实现了**全流程 LCD GUI 功能**：在装置通电时，ADC 采样算法直接将采样结果反馈在屏幕上；频率遍历过程中，装置可以展示状态并实时显示遍历值；采样数组写入时，装置可以显示目前循环样本数和写入值；进入输出模式时，装置可以显示输入的两路信号频率，即输出频率。

4.3 测试结果分析

综上所述，项目成功设计了增益为 1 的加法器，装置完成了基础部分当 $f_A=50\text{kHz}$ ， $f_B=100\text{kHz}$ ，以及 f_A 、 f_B 分别为 10kHz 的整数倍时的信号分离。在发挥部分中，装置实现了正弦波信号 A、B 频率分别为 **5kHz 的整数倍**以及 **f_B 是 f_A 的整数倍**时的信号分离。

本项目方案设计极具**创新性**，充分融合通信、信息工程等多专业领域知识，充分利用现有资源适应崭新场景；本项目**完整性**极高，成功完成了信号分离装置全流程设计制作；项目成果具有**稳定性**，尽管在少数情况下模拟输出存在不稳定现象，但在理想调试条件下能够稳定完成设计任务。

5 参考文献

- [1] 童诗白. 模拟电子技术基础[M]. 第三版. 北京：高等教育出版社，2001.1.1