# Tugas Praktikum SKJ
# Ke -3

Nama : Bagus Cipta Pratama

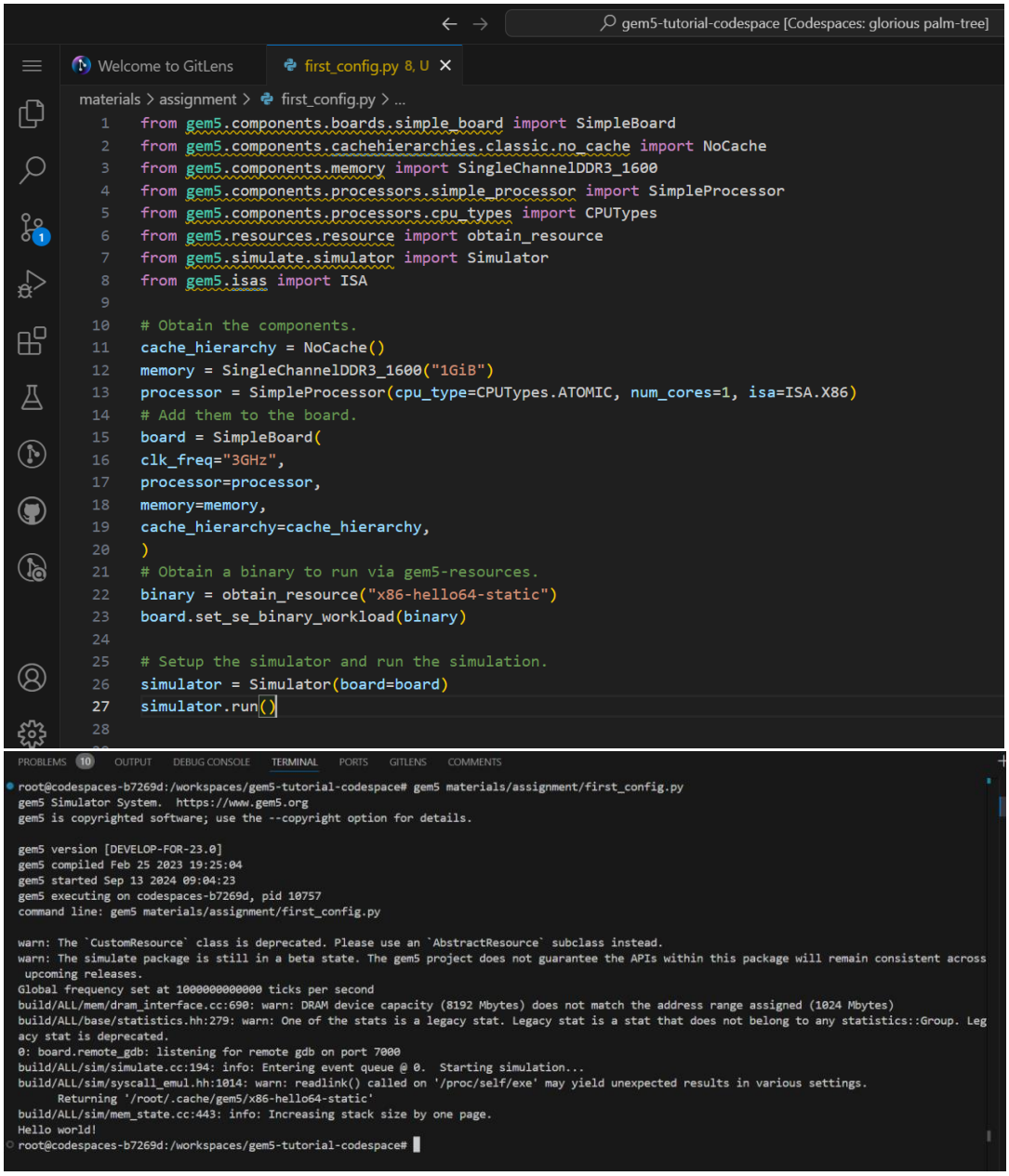
NIM : 23/516539/PA/22097

Kelas : KOMC

# A. First Assignment : Hello World! (30 poin)

Dalam assignment pertama, kita akan membuat sebuah simulasi "hello world" minimal menggunakan gem5. Kita akan membuat file konfigurasi first_config.py yang mencakup impor komponen-komponen penting dari gem5, definisi komponen sistem komputer seperti prosesor, memori, dan cache, serta menghubungkan komponen-komponen tersebut ke board. Selanjutnya, kita akan menambahkan binary "hello world" untuk dijalankan pada simulasi. Akhirnya, kita akan mengkonfigurasi dan menjalankan simulasi. Tujuan utama dari assignment ini adalah memperkenalkan kita pada dasar-dasar konfigurasi dan simulasi menggunakan gem5, memberikan kita pengalaman praktis dalam menyiapkan simulasi sederhana.

Berikut adalah bukti screenshotnya ,



## B. Second Assignment : Simulasi Sistem Komputer Sederhana (30 poin)

Assignment kedua mengajak kita untuk membuat simulasi sistem komputer yang lebih kompleks. Kita akan membuat file second_config.py untuk mensimulasikan sistem yang terdiri dari CPU, memory bus, dan memory controller. Proses ini melibatkan impor library m5 dan SimObjects yang diperlukan, pembuatan dan konfigurasi objek System termasuk clock domain dan memory range, serta pembuatan dan penghubungan CPU, memory bus, dan memory controller. Kita juga akan mengatur proses yang akan dijalankan oleh CPU, dalam hal ini program "Hello world". Akhirnya, kita akan menginisialisasi dan menjalankan simulasi. Assignment ini bertujuan untuk memberikan pemahaman yang lebih mendalam tentang konfigurasi komponen-komponen sistem dalam gem5 dan bagaimana komponen-komponen tersebut berinteraksi.

Berikut adalah bukti screenshotnya ,

Welcome to GitLens | first_config.py 8, U | second_config.py 9+, U

materials > assignment > second_config.py > ...

```python
import m5
from m5.objects import *

system = System()
system.clk_domain = SrcClockDomain()
system.clk_domain.clock = "1GHz"
system.clk_domain.voltage_domain = VoltageDomain()
system.mem_mode = "timing"  # Use timing accesses
system.mem_ranges = [AddrRange("512MB")]  # Create an address range
system.cpu = X86TimingSimpleCPU()
system.membus = SystemXBar()
system.cpu.icache_port = system.membus.cpu_side_ports
system.cpu.dcache_port = system.membus.cpu_side_ports
system.cpu.createInterruptController()
system.cpu.interrupts[0].pio = system.membus.mem_side_ports
system.cpu.interrupts[0].int_requestor = system.membus.cpu_side_ports
system.cpu.interrupts[0].int_responder = system.membus.mem_side_ports
system.mem_ctrl = MemCtrl()
system.mem_ctrl.dram = DDR3_1600_8x8()
system.mem_ctrl.dram.range = system.mem_ranges[0]
system.mem_ctrl.port = system.membus.mem_side_ports
system.system_port = system.membus.cpu_side_ports

# Load the binary for the "Hello World" application
binary = "gem5/tests/test-progs/hello/bin/x86/linux/hello"
system.workload = SEWorkload.init_compatible(binary)

# Create a process for a simple "Hello World" application
```

```
root@codespaces-b7269d:/workspaces/gem5-tutorial-codespace# gem5 materials/assignment/second_config.py
gem5 Simulator System.  https://www.gem5.org
gem5 is copyrighted software; use the --copyright option for details.

gem5 version [DEVELOP-FOR-23.0]
gem5 compiled Feb 25 2023 19:25:04
gem5 started Sep 13 2024 09:29:12
gem5 executing on codespaces-b7269d, pid 25331
command line: gem5 materials/assignment/second_config.py

Global frequency set at 1000000000000 ticks per second
build/ALL/mem/dram_interface.cc:690: warn: DRAM device capacity (8192 Mbytes) does not match the address range assigned (512 Mbytes)
build/ALL/base/statistics.hh:279: warn: One of the stats is a legacy stat. Legacy stat is a stat that does not belong to any statistics::Group. Le
acy stat is deprecated.
0: system.remote_gdb: listening for remote gdb on port 7000
Beginning simulation!
build/ALL/sim/simulate.cc:194: info: Entering event queue @ 0.  Starting simulation...
Hello world!
Exiting @ tick 462979000 because exiting with last active thread context
root@codespaces-b7269d:/workspaces/gem5-tutorial-codespace#
```

## C. Third Assignment : Menambahkan Cache (30 poin)

Dalam assignment ketiga, kita diminta untuk memperluas konfigurasi dari assignment kedua dengan menambahkan hierarki cache. Kita akan menambahkan cache L1 dan L2 ke sistem, mengkonfigurasi parameter cache seperti ukuran, associativity, dan ukuran blok. Kita juga perlu memperbarui koneksi antara cache, CPU, dan memory bus untuk memastikan integrasi yang benar. Setelah konfigurasi selesai, kita akan menjalankan simulasi untuk memverifikasi bahwa cache telah terintegrasi dengan benar. Tujuan dari assignment ini adalah memberikan kita pengalaman praktis dalam mengkonfigurasi cache pada simulator gem5 dan memahami bagaimana penambahan cache dapat mempengaruhi kinerja sistem. Ini merupakan langkah penting dalam memahami arsitektur komputer modern dan peran cache dalam meningkatkan kinerja sistem.

Berikut adalah bukti screenshotnya ,

materials > assignment > third_config.py > ...

```python
import m5
from m5.objects import *
from cache import L1Cache, L1ICache, L1DCache, L2Cache

system = System()
system.clk_domain = SrcClockDomain()
system.clk_domain.clock = "1GHz"
system.clk_domain.voltage_domain = VoltageDomain()
system.mem_mode = "timing"
system.mem_ranges = [AddrRange("512MB")]
system.cpu = X86TimingSimpleCPU()
system.membus = SystemXBar()

system.cpu.icache = L1ICache()
system.cpu.dcache = L1DCache()

system.cpu.icache.connectCPU(system.cpu)
system.cpu.dcache.connectCPU(system.cpu)

system.l2bus = L2XBar()

system.cpu.icache.connectBus(system.l2bus)
system.cpu.dcache.connectBus(system.l2bus)

system.l2cache = L2Cache()
system.l2cache.connectCPUSideBus(system.l2bus)
system.membus = SystemXBar()
system.l2cache.connectMemSideBus(system.membus)
```

```python
import m5
from m5.objects import Cache

# Add the common scripts to our path
m5.util.addToPath("../../")

# Some specific options for caches
# For all options see src/mem/cache/BaseCache.py


class L1Cache(Cache):
    """Simple L1 Cache with default values"""

    assoc = 2
    tag_latency = 2
    data_latency = 2
    response_latency = 2
    mshrs = 4
    tgts_per_mshr = 20

    def _init_(self, options=None):
        super()._init_()
        pass

    def connectBus(self, bus):
        """Connect this cache to a memory-side bus"""
        self.mem_side = bus.cpu_side_ports
```

```
PROBLEMS 38  OUTPUT  DEBUG CONSOLE  TERMINAL  PORTS  GITLENS  COMMENTS
root@codespaces-b7269d:/workspaces/gem5-tutorial-codespace# gem5 materials/assignment/thir
gem5 Simulator System.  https://www.gem5.org
gem5 is copyrighted software; use the --copyright option for details.

gem5 version [DEVELOP-FOR-23.0]
gem5 compiled Feb 25 2023 19:25:04
gem5 started Sep 13 2024 20:48:37
gem5 executing on codespaces-b7269d, pid 3548
command line: gem5 materials/assignment/third_config.py

Global frequency set at 1000000000000 ticks per second
build/ALL/mem/dram_interface.cc:690: warn: DRAM device capacity (8192 Mbytes) does not mat
build/ALL/base/statistics.hh:279: warn: One of the stats is a legacy stat. Legacy stat is
acy stat is deprecated.
0: system.remote_gdb: listening for remote gdb on port 7000
Beginning simulation!
build/ALL/sim/simulate.cc:194: info: Entering event queue @ 0.  Starting simulation...
Hello world!
Exiting @ tick 56435000 because exiting with last active thread context
root@codespaces-b7269d:/workspaces/gem5-tutorial-codespace#
```

## D. Link Repository GitHub :

berikut adalah link repository github yang memuat semua kode diatas :
https://github.com/mobssspro/Bagus-Cipta-Pratama-SKJ-Lab.git