1) (10 pontos) Qual o conjunto de sinais de controle deveriam ser gerados pelo subsistema de controle para que a instrução LW fosse executada?

aluOp(3)= 000

aluSrc(1)= 1

regDest(2)= 01

Branch(1)= 0

Jump(2)= 00

RegWr(1)= 1

memRd(1)= 1

memWr(1)= 0

mem2Reg(3)= 010

2) (10 pontos) Durante o semestre, estudamos três tipos de organização para a arquitetura MIPS. Monociclo, Multiciclo e Pipelining. Explique com suas palavras quais tipos de ociosidades são resolvidas por cada tipo de organização.

Na arquitetura monociclo cada instrução é executada em 1 ciclo de clock, que tem seu tempo definido pela instrução com maior tempo de execução. Assim, as instruções com menor tempo ficam com ociosidades esperando o tempo do clock acabar.

A multiciclo define que cada instrução é executada em mais de um ciclo de clock, usa-se o tempo do subsistema mais lento como tempo de 1 ciclo de clock. Dessa forma, assim que uma instrução se encerra, outra iniciará, eliminando o tempo de espera do clock. Entretando como alguns subsistemas gastam menos tempo para executar, eles tem um tempo de ociosidade.

Na arquitetura Pipelining esse tempo é eliminado, já que são executadas mais de uma instrução ao mesmo tempo, se utilizando de um modelo como de esteira. Porém, deverão ser inseridas instruções NOP para atrasar algum subsistema, por exemplo, não podemos executar um add $s0, $s3, $s4 apos um add $v0, $s1,$s0 sem que o primeiro seja finalizado já que o valor de $s0 não terá sido preenchido ainda.

3) (50 pontos) Apresente o diagrama de alocação de subsistemas para o programa abaixo. Faça o diagrama para as três organizações estudadas.

la $t7, pt

sw $v0, 0($t7)

add $s2, $zero, $v0

add $s3, $zero, $zero

FOR1: slt $t7, $s3, $s0

beq $t7, $zero, SAI1

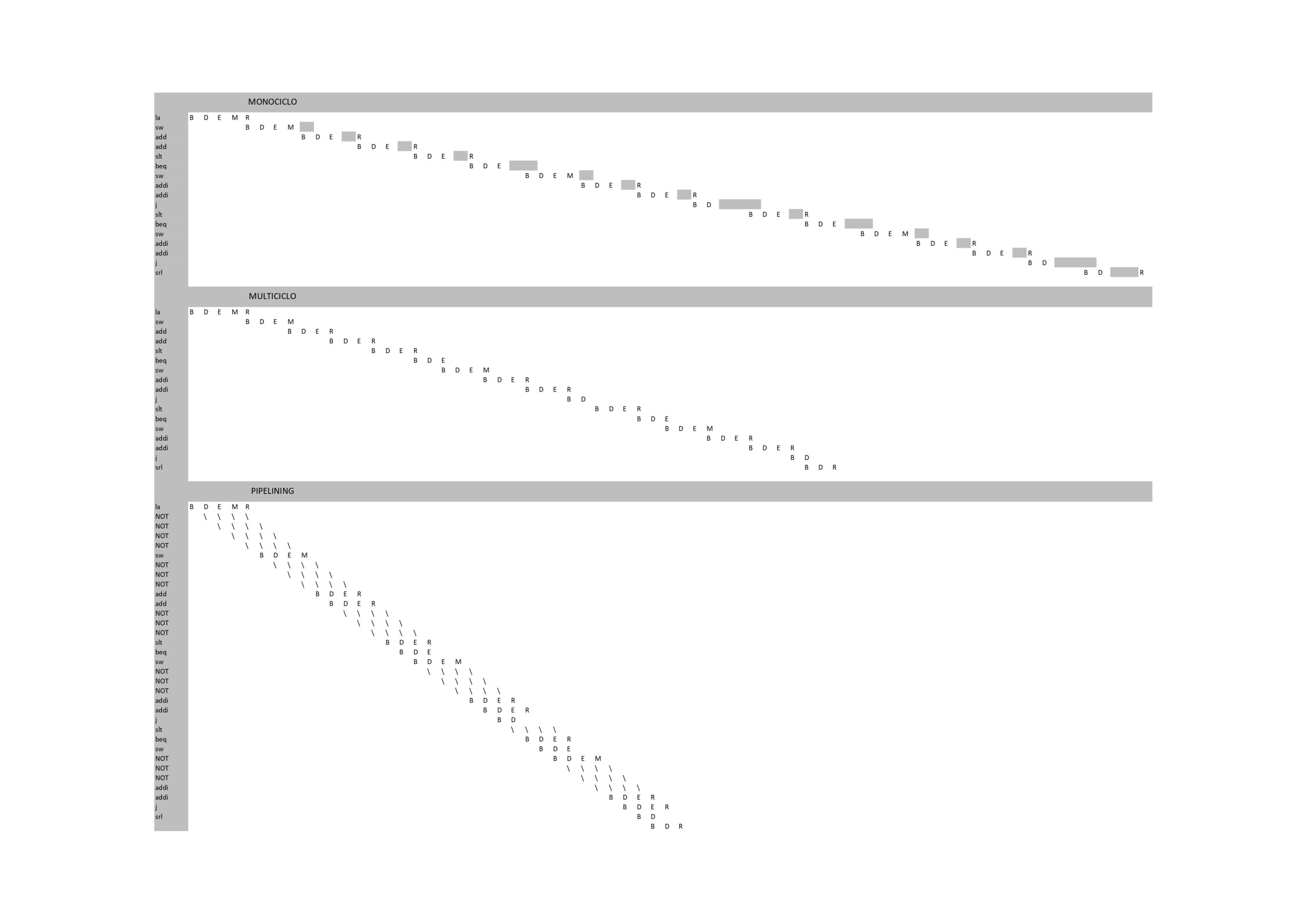
sw $v0, 0($s2)

addi $s2, $s2, 4

addi $s3, $s3, 1

j FOR1

SAI1: srl $s4, $s0, 1



4) (10 pontos) Memórias cache são uma das principais razões pelo desempenho atual de computadores. Explique porque caches tendem a causarem muito mais cache hits do que cache misses.

Um cache miss salva todo um bloco de código, como os acessos à memoria são feitos, normalmente, em sequência, ao inserir todo um bloco haverão mais cache hit do que cache miss.

5) (20 pontos) A partir do processador MIPS MONO v.5.5, proponha alterações para que o sistema de suporte a instrução slti.