



# ENSEA

Beyond Engineering

## COMPTE RENDU DE TP

**Design RF Linéaire**

**Conception d'un amplificateur faible bruit large bande**

3<sup>eme</sup> année

Année : 2025 - 2026

Camille LANFREDI  
Décembre 2025

## Table des matières

<b>1 Objectif du TP</b>	<b>2</b>
<b>2 Choix du transistor</b>	<b>3</b>
2.1 Caractéristiques du Tr1 : ph_fuj_FHX35LG . . . . .	3
2.2 Caractéristiques du Tr2 : ph_mit_MGF4916C . . . . .	4
2.3 Caractéristiques du Tr3 : ph_nec_NE32484A . . . . .	5
2.4 Comparaison des $NF_{min}$ . . . . .	6
2.5 Etude du gain et de la stabilité . . . . .	8
<b>3 Etude de l'étage à transistors</b>	<b>9</b>
3.1 Polarisation des 2 transistors . . . . .	9
3.2 Polarisation de la grille T2 et le drain T1 via quart d'onde . . . . .	11
3.3 Correction des instabilités basses fréquences . . . . .	12
3.4 Coefficients de réflexion d'adaptation : $\Gamma_{opt}$ (bruit) et $\Gamma$ pour gain max . . . . .	14
3.5 Cercles à facteur de bruit constant et à gain constant à la fréquence centrale . . . . .	15
<b>4 Synthèse des quadripôles d'adaptation</b>	<b>16</b>
4.1 Synthétisez les quadripôles d'entrée / sortie pour un fonctionnement optimisé en terme de transfert de puissance . . . . .	16
4.1.1 Détermination du circuit RC série équivalent à l'entrée de l'étage à transistors et du RC parallèle équivalent à la sortie. . . . .	17
4.1.2 Résultats-Optimisation en gain . . . . .	19
4.1.3 Schéma électrique réel (sans éléments idéaux) . . . . .	20
4.2 Synthétisez les quadripôles d'entrée / sortie pour un fonctionnement optimisé en bruit . . . . .	22
4.2.1 Détermination du circuit RC série équivalent à l'entrée de l'étage à transistors et du RC parallèle équivalent à la sortie. . . . .	22
4.2.2 Résultats-Optimisation en bruit . . . . .	23
4.3 Critères d'optimisation en gain et en bruit . . . . .	26
<b>5 Conclusion</b>	<b>27</b>

## 1 Objectif du TP

L'objectif de ce TP est de concevoir un amplificateur faible bruit (LNA) large bande répondant aux spécifications suivantes :

- une bande passante de fonctionnement comprise entre 4 GHz et 6 GHz,
- un gain minimal de 25 dB,
- un facteur de bruit le plus faible possible,
- une adaptation correcte de l'entrée et de la sortie, avec  $|S_{11}| \leq -10$  dB et  $|S_{22}| \leq -10$  dB.

Pour répondre à ce cahier des charges, plusieurs étapes sont nécessaires :

- le choix du transistor le plus adapté à une application faible bruit,
- l'étude de la stabilité sur la bande 0.1–10 GHz,
- la conception d'une architecture à un puis deux étages afin d'atteindre le gain spécifié,
- la synthèse des réseaux d'adaptation optimisés en gain puis en bruit,
- l'analyse globale du LNA (gain, facteur de bruit, stabilité, paramètres  $S$ ).

Ce travail permet ainsi de mettre en pratique les principes de conception RF, depuis l'analyse du transistor jusqu'à l'obtention d'un LNA complet conforme aux spécifications.

## 2 Choix du transistor

Trois transistors sont mis à disposition pour la conception du LNA : le FHX35LG, le MGF4916C et le NE32484A. Pour chacun d'eux, les caractéristiques statiques, l'évolution du facteur de bruit minimum  $NF_{min}$  en fonction de  $V_{gs}$ , ainsi que le gain maximum et le gain associé ont été analysés.

### 2.1 Caractéristiques du Tr1 : ph\_fuj\_FHX35LG

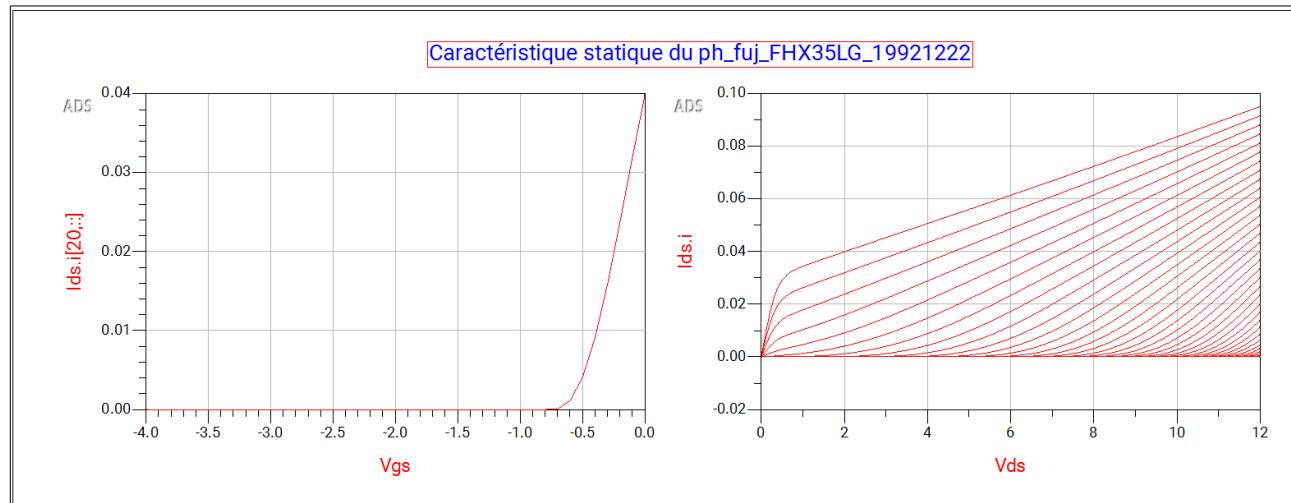


Figure 1: Caractéristiques statiques du transistor ph\_fuj\_FHX35LG

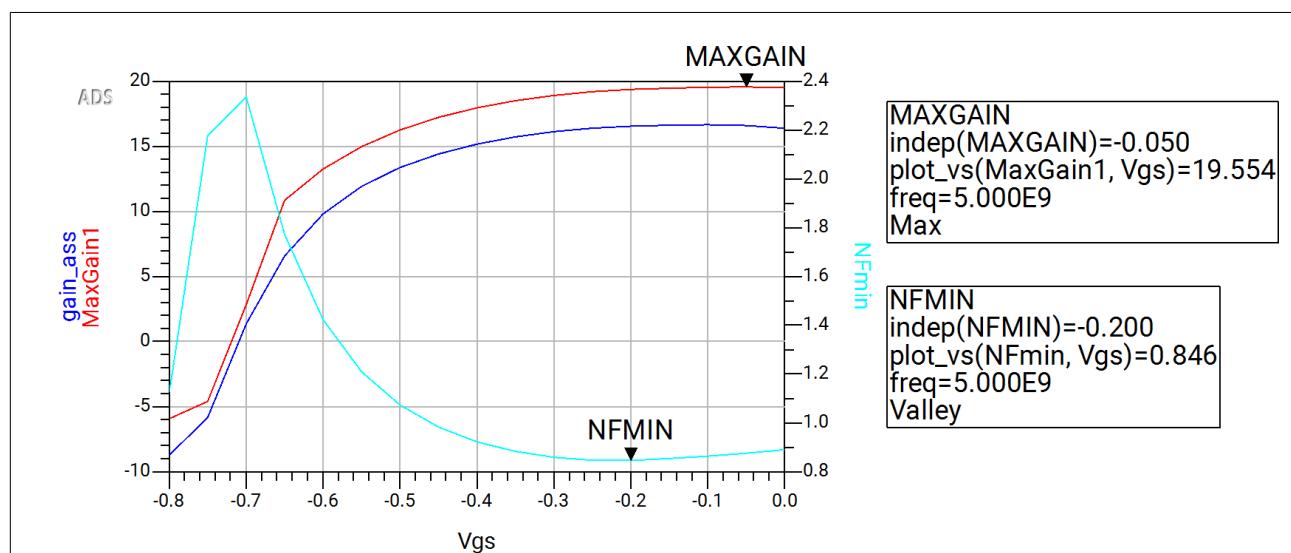


Figure 2: Évolution du gain maximal et du facteur de bruit minimum du FHX35LG en fonction de  $V_{gs}$

## 2.2 Caractéristiques du Tr2 : ph\_mit\_MGF4916C

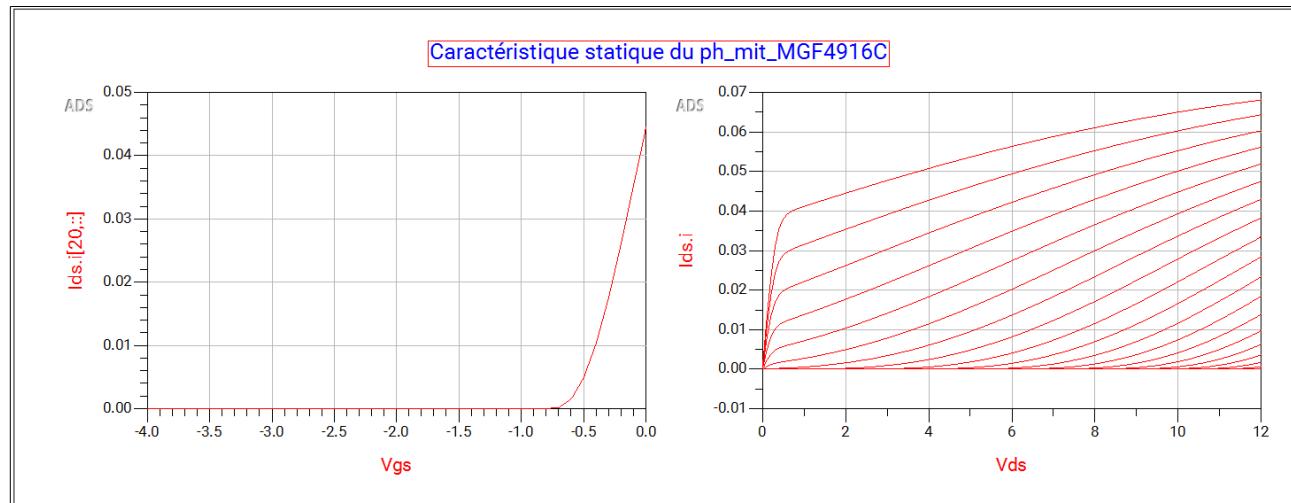


Figure 3: Caractéristiques statiques du transistor ph\_mit\_MGF4916C

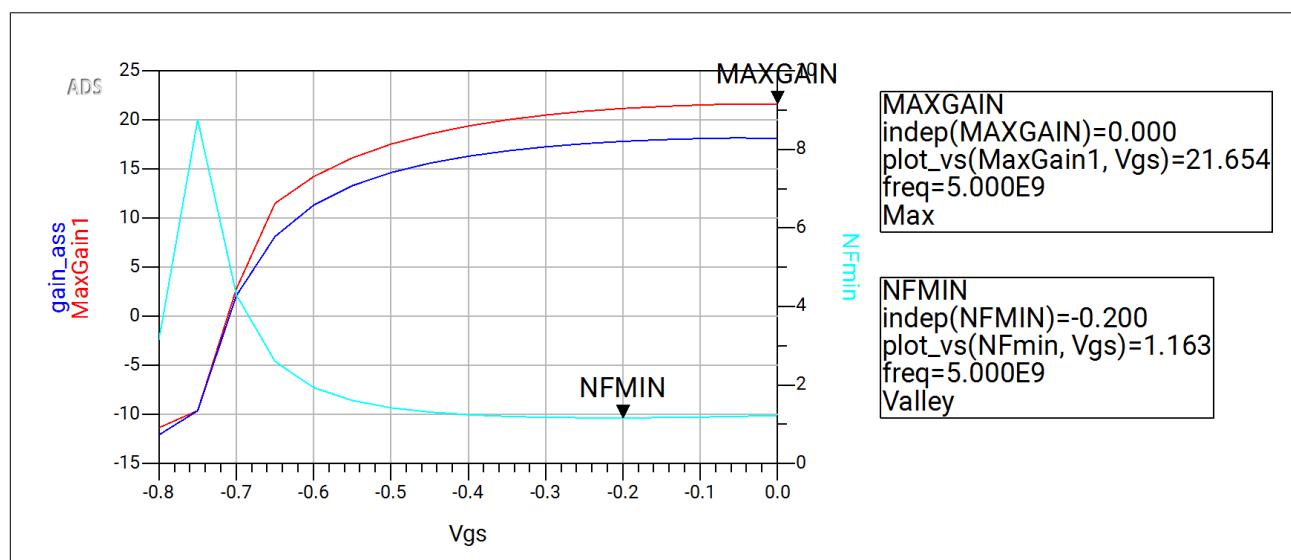


Figure 4: Évolution du gain maximal et du facteur de bruit minimum du MGF4916C en fonction de  $V_{gs}$

## 2.3 Caractéristiques du Tr3 : ph\_nec\_NE32484A

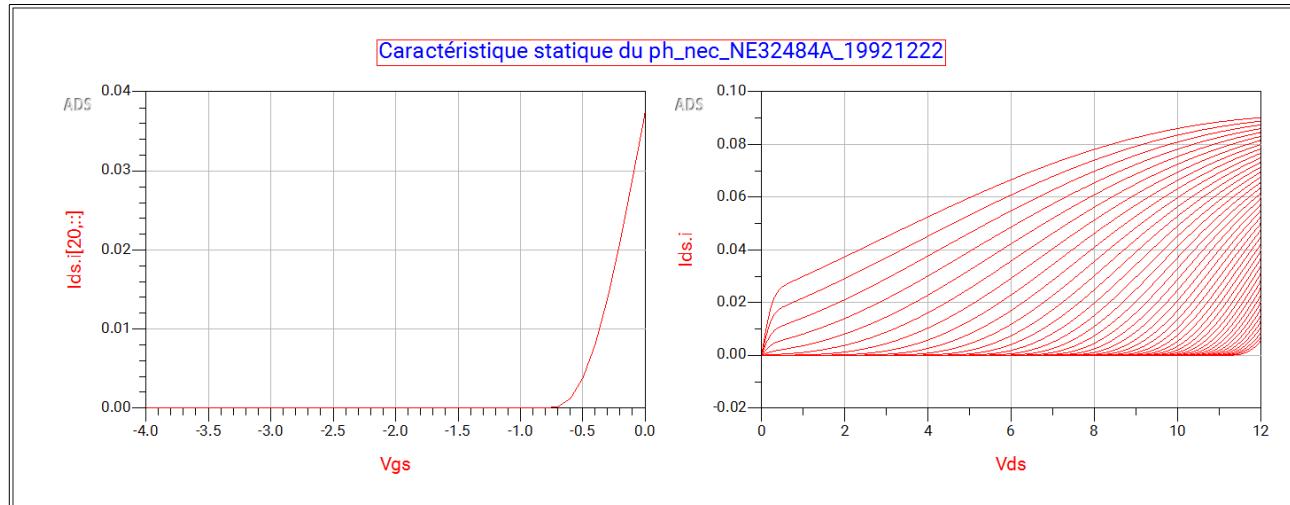


Figure 5: Caractéristiques statiques du transistor ph\_nec\_NE32484A

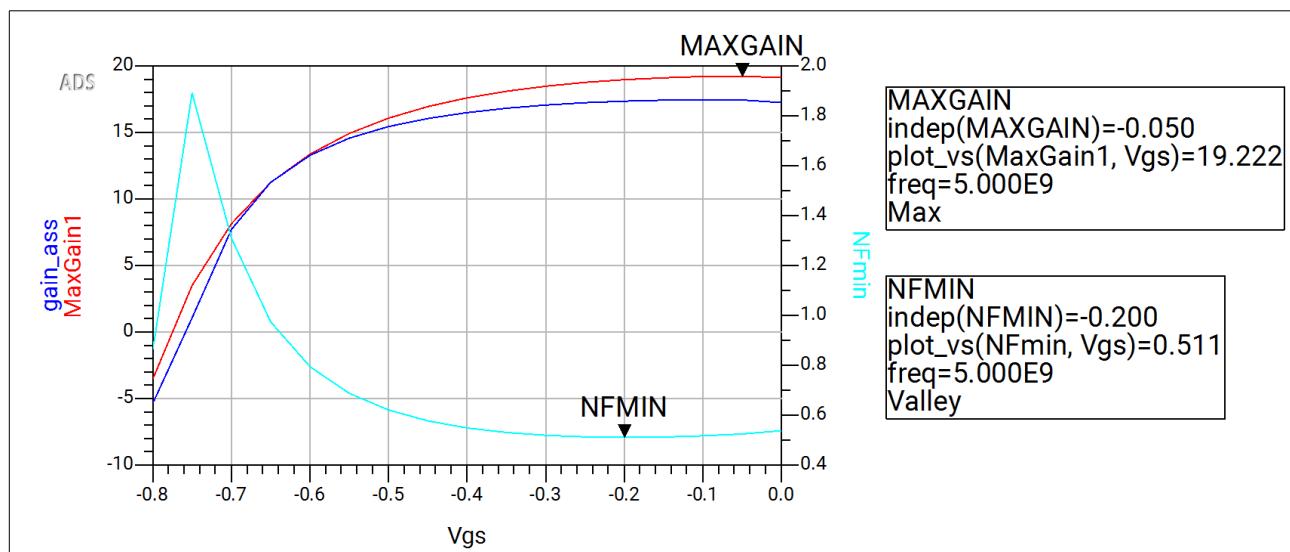


Figure 6: Évolution du gain maximal et du facteur de bruit minimum du NE32484A en fonction de  $V_{gs}$

Nous pouvons d'ores et déjà remarquer qu'aucun transistor polarisé n'atteint le gain souhaité. Alors, nous choisissons le facteur de bruit :  $NF_{min}$ .

## 2.4 Comparaison des $NF_{min}$

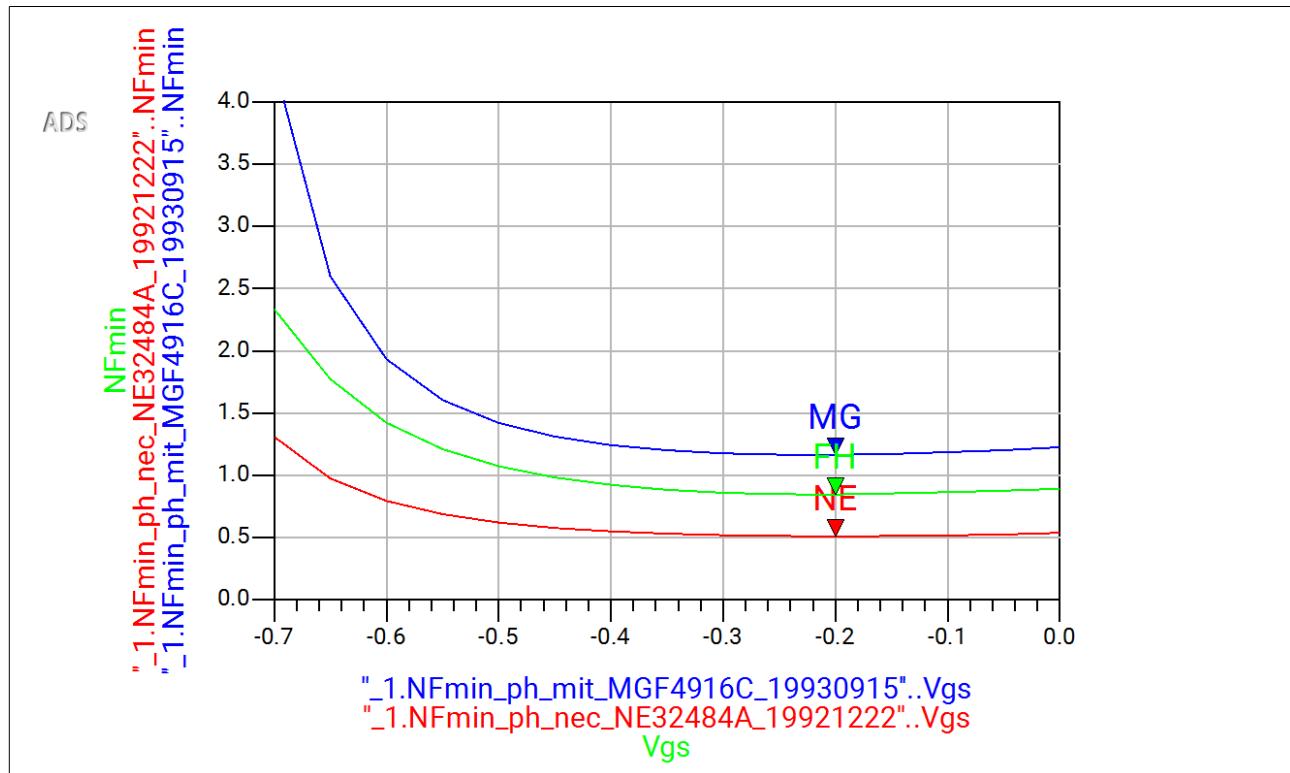


Figure 7: Comparaison de l'évolution du NF<sub>min</sub> des trois transistors en fonction de V<sub>gs</sub>

```

NE
indep(NE)=-0.200
plot_vs("_1.NFmin_ph_nec_NE32484A_19921222"..NFmin, "_1.NFmin_ph_nec_NE32484A_19921222..Vgs)=0.511
freq=5.000E9

MG
indep(MG)=-0.200
plot_vs("_1.NFmin_ph_mit_MGF4916C_19930915"..NFmin, "_1.NFmin_ph_mit_MGF4916C_19930915..Vgs)=1.163
freq=5.000E9

FH
indep(FH)=-0.200
plot_vs(NFmin, Vgs)=0.846
freq=5.000E9
    
```

Figure 8: Valeurs minimales du NF<sub>min</sub> pour chaque transistor

Les Figures 7 et 8 comparent l'évolution du facteur de bruit minimum NF<sub>min</sub> pour les trois transistors étudiés : le *ph\_fuj\_FHX35LG*, le *ph\_mit\_MGF4916C* et le *ph\_nec\_NE32484A*. L'analyse des courbes montre clairement que, sur l'ensemble de la plage de tension V<sub>gs</sub>, le transistor *NE32484A* présente le NF<sub>min</sub> le plus faible. Cela se confirme sur la Figure 8, où l'on observe que ce transistor atteint son minimum de bruit pour une tension de grille de V<sub>gs</sub> ≈ −0.2 V.

À l'inverse, les transistors *FHX35LG* et *MGF4916C* présentent des NF<sub>min</sub> plus élevés et des variations plus importantes en fonction de V<sub>gs</sub>. Bien que le *MGF4916C* offre un gain maximal intéressant, celui-ci reste pénalisé par un facteur de bruit supérieur. Le *FHX35LG* demeure moins performant que le *NE32484A* en

termes de bruit.

Ainsi, cette comparaison met clairement en évidence que le *ph\_nec\_NE32484A* est le meilleur candidat pour la conception d'un amplificateur faible bruit large bande. Son faible  $NF_{min}$ , associé à une tension de polarisation optimale bien définie, en fait le choix le plus pertinent pour minimiser le bruit global du LNA.

Cependant, aucun des transistors n'étant capable d'atteindre seul le gain exigé ( $G > 25$  dB), nous retiendrons le *NE32484A* et exploiterons une architecture en cascade afin d'augmenter le gain tout en conservant de bonnes performances en bruit.

## 2.5 Etude du gain et de la stabilité

Dans un premier temps, le transistor *NE32484A* est polarisé à l'aide de tés idéaux afin d'évaluer les performances accessibles avec un seul étage d'amplification.

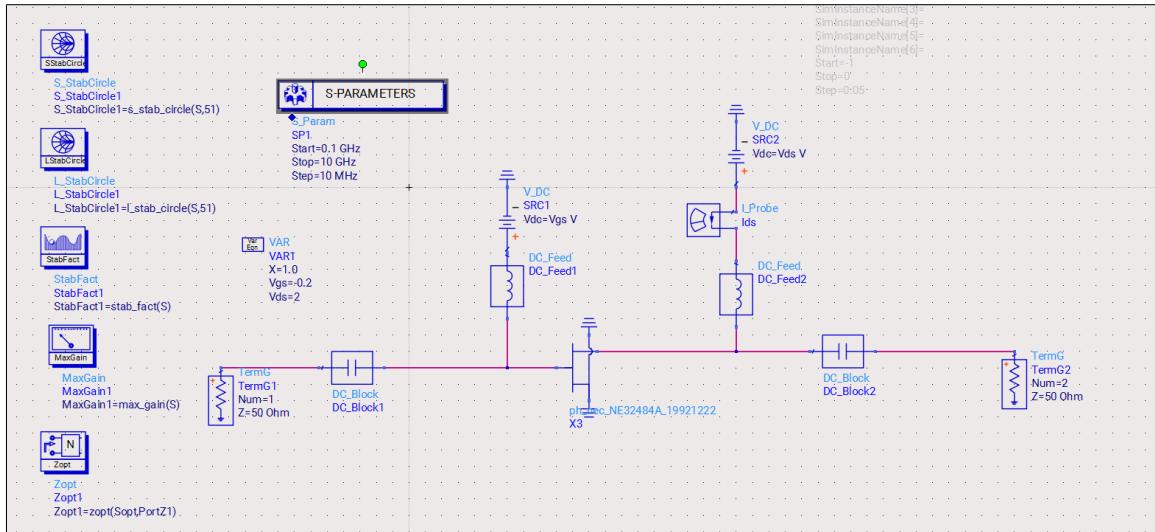


Figure 9: Schéma de simulation du transistor NE32484A avec polarisation par tés idéaux

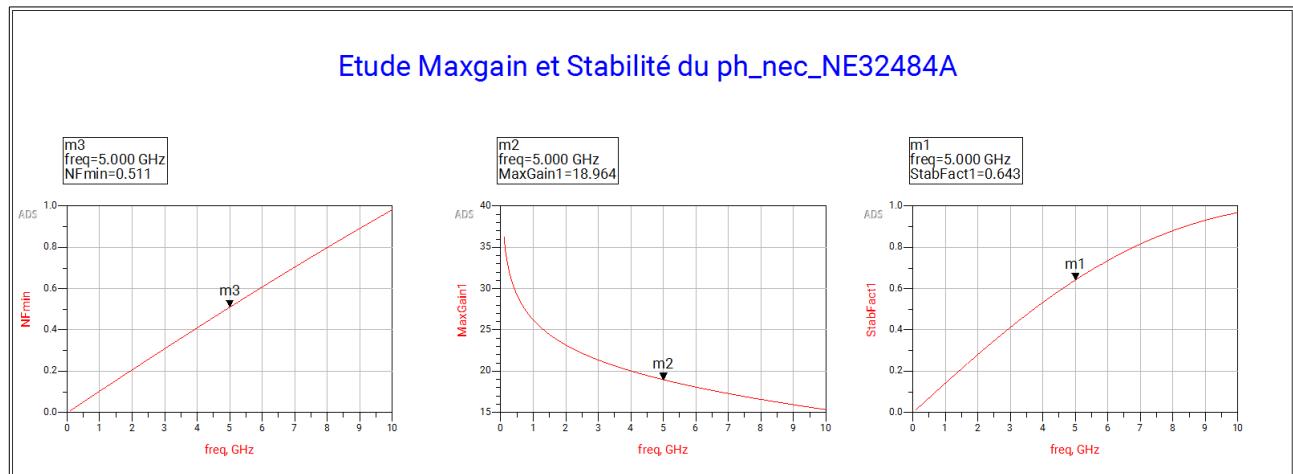


Figure 10: Gain maximal et facteur de stabilité du NE32484A sur la bande 0.1–10 GHz

Les résultats obtenus confirment les observations de la section précédente : malgré une polarisation optimisée en bruit, le gain reste insuffisant pour satisfaire la spécification de 25 dB. La stabilité intrinsèque du transistor demeure correcte dans la bande d'intérêt, mais devient plus délicate dans les basses fréquences, ce qui impose des précautions lors de la conception du réseau d'adaptation. Cependant, cette limitation ne permet ni d'atteindre le gain requis, ni de garantir une marge de stabilité confortable.

Ces éléments justifient l'adoption d'une architecture à deux transistors en cascade, permettant d'augmenter significativement le gain global tout en maîtrisant les conditions de stabilité et en conservant un facteur de bruit faible.

La suite de l'étude est donc consacrée à la mise en œuvre et à la polarisation de cette structure en cascade.

### 3 Etude de l'étage à transistors

#### 3.1 Polarisation des 2 transistors

Dans cette étape, les deux transistors *NE32484A* sont polarisés en cascade en utilisant des tés idéaux, afin d'obtenir une première estimation des performances du dispositif complet. La Figure 11 montre le schéma de simulation du double étage, tandis que les Figures 12 et 13 présentent respectivement le gain maximum accessible ainsi que le facteur de bruit minimal et les paramètres de stabilité correspondants.

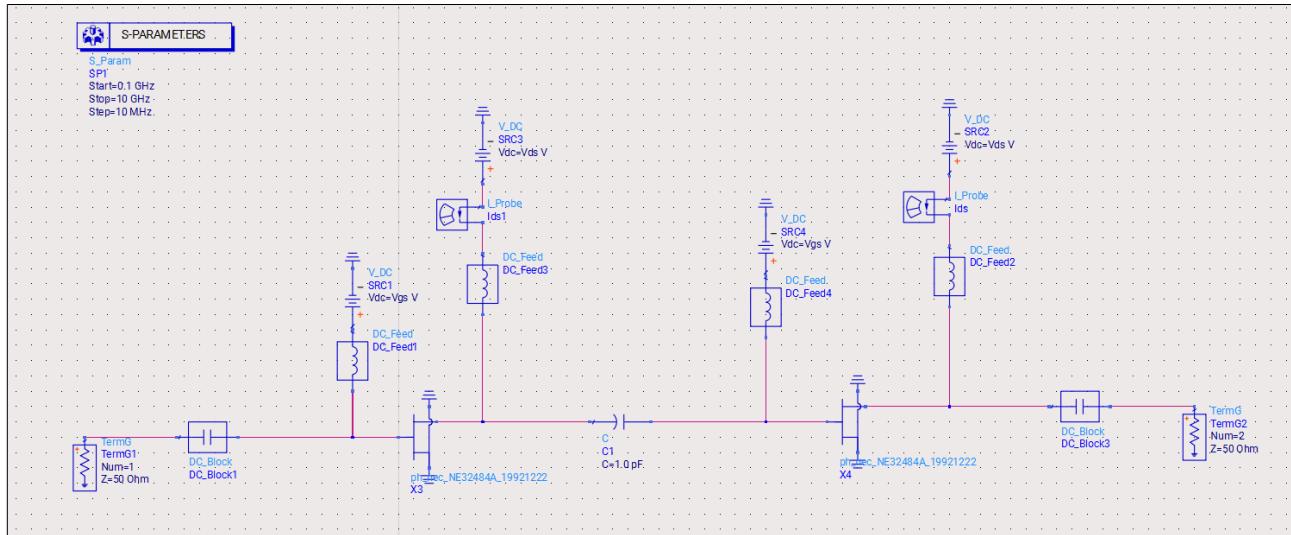


Figure 11: Schéma de la cascade de deux transistors *NE32484A* avec polarisation par tés idéaux

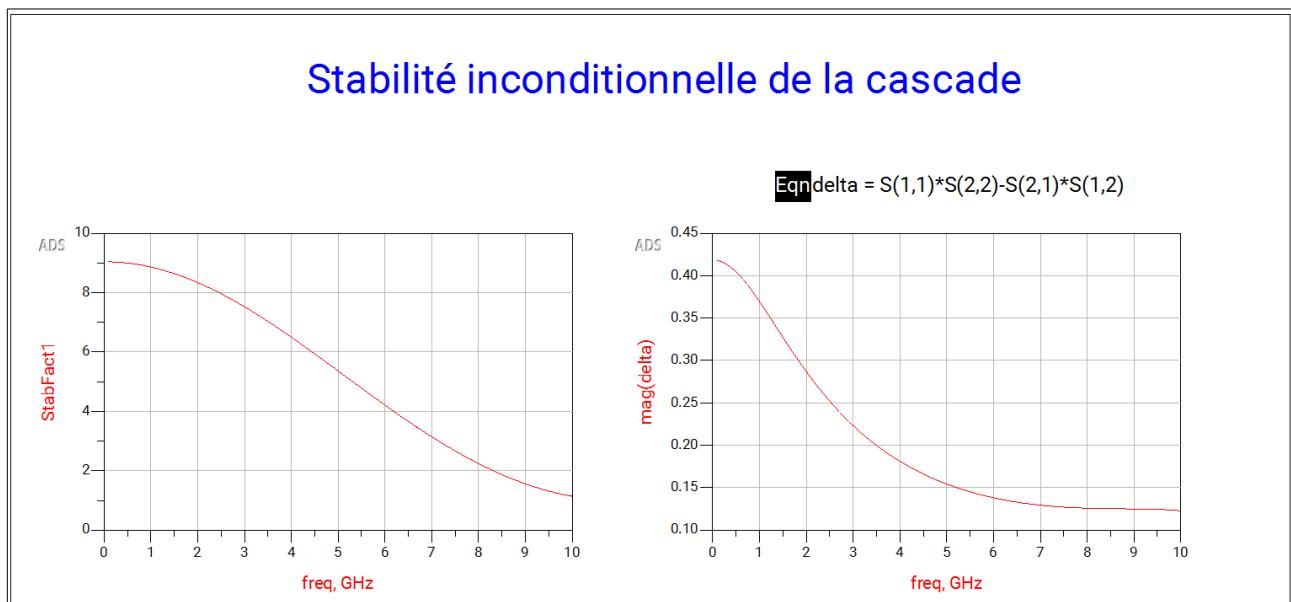


Figure 12: Facteurs de stabilité de la cascade sur la bande 0.1–10 GHz

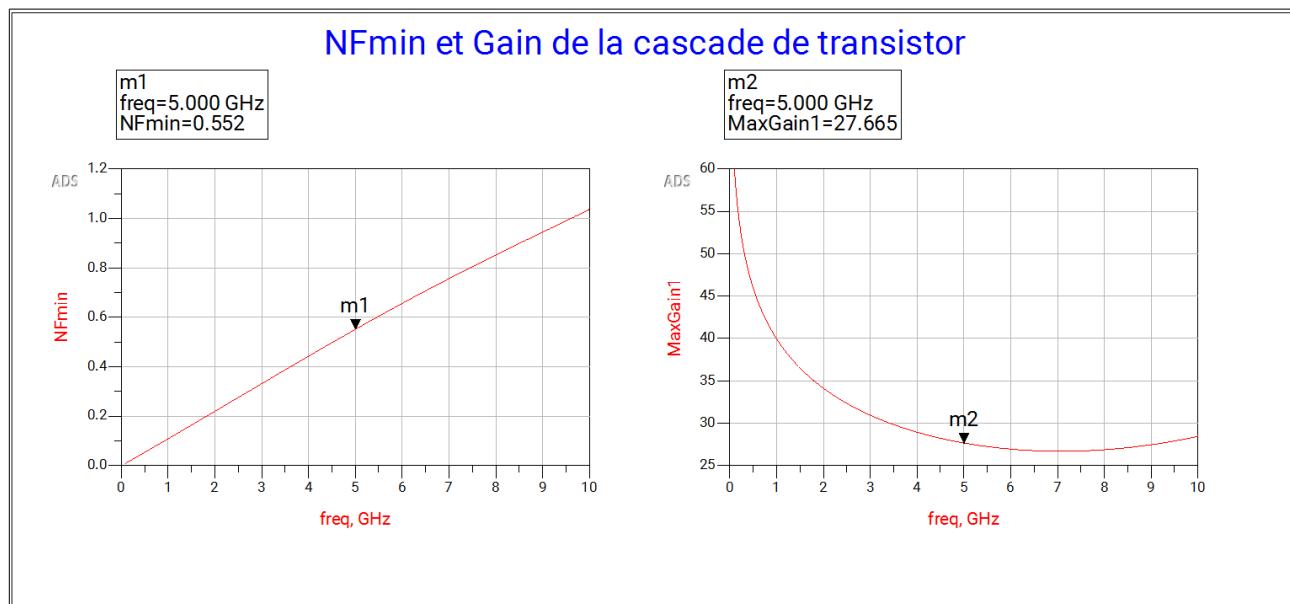


Figure 13: Gain maximal et facteur de bruit minimum de la cascade de transistors

L'utilisation de deux étages améliore significativement le gain global du montage, confirmant l'intérêt de la topologie en cascade pour satisfaire la contrainte de gain  $> 25$  dB. Toutefois, malgré cette amélioration, certaines limites persistent. Les résultats indiquent que le dispositif n'est pas encore parfaitement stable sur l'ensemble de la bande [0.1–10] GHz : on observe notamment des zones où le facteur de stabilité  $K$  s'approche de 1, traduisant des risques de comportement instable en basses fréquences.

Concernant le bruit, le premier transistor conserve un  $NF_{min}$  faible grâce à sa polarisation optimale, ce qui permet d'obtenir une performance en bruit global acceptable pour un LNA. Le second étage, qui contribue davantage au gain, n'a qu'une influence modérée sur le bruit global tant que la stabilité est maîtrisée.

### 3.2 Polarisation de la grille T2 et le drain T1 via quart d'onde

L'introduction de lignes quart d'onde pour la polarisation de la grille de T2 vise à isoler la polarisation continue tout en préservant le comportement RF du circuit.

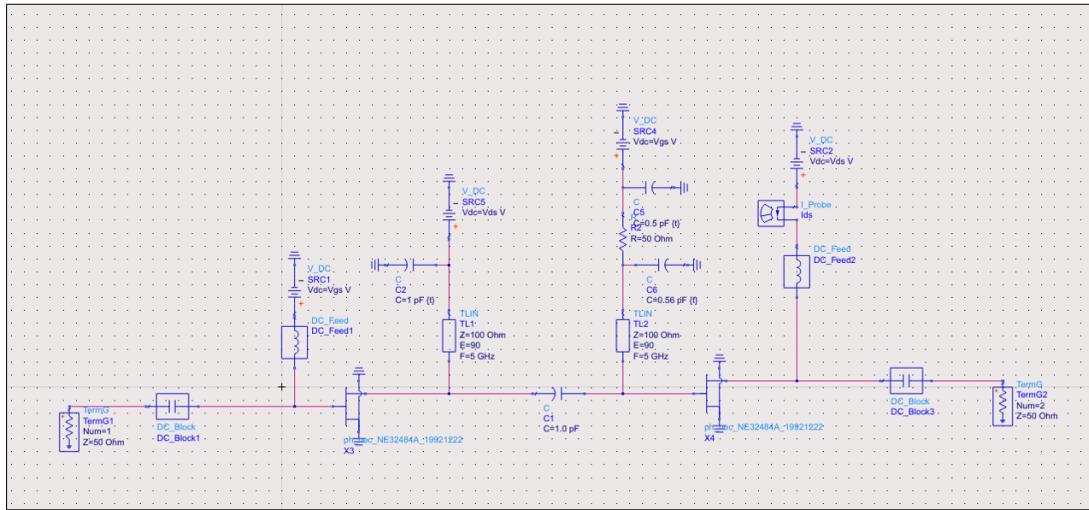


Figure 14: Schéma de la polarisation inter-étage par lignes  $\lambda/4$

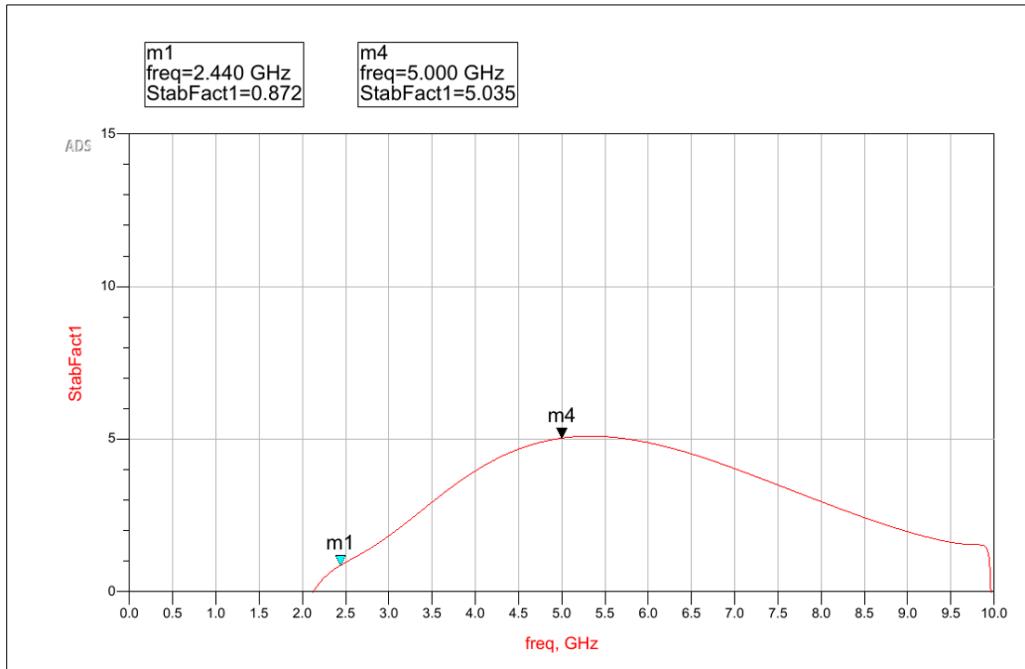


Figure 15: Évolution du facteur de stabilité avec polarisation par lignes quart d'onde

L'analyse de la Figure 15 indique que l'utilisation des sections  $\lambda/4$  améliore significativement la stabilité en hautes fréquences : le système est en effet stable entre 3 et 10 GHz, où le facteur de stabilité  $K$  demeure strictement supérieur à 1. En revanche, en dessous de 3 GHz, le dispositif reste instable : le facteur  $K$  passe sous l'unité.

Ainsi, bien que la stabilité soit correctement assurée entre 3 et 10 GHz, une technique de stabilisation supplémentaire est nécessaire pour corriger les instabilités basses fréquences.

### 3.3 Correction des instabilités basses fréquences

L'ajout d'une résistance série dans le drain du transistor T1 permet de corriger les instabilités basses fréquences. Toutefois, cette modification affecte directement le point de polarisation du transistor. La résistance introduit une chute de tension proportionnelle au courant drain  $I_D$ , ce qui réduit la tension  $V_{DS}$  appliquée au transistor. Autrement dit, l'insertion de cette résistance fait diminuer naturellement  $V_{DS}$ , qui n'est alors plus égal à la valeur souhaitée.

Pour retrouver le point de polarisation optimal ( $V_{DS0} = 2$  V), il est nécessaire d'augmenter la tension d'alimentation. Comme le montre la Figure 16, la source d'alimentation du drain a été ajustée à environ 3.06 V afin de compenser la chute de tension  $R \cdot I_D$  et de replacer T1 dans sa zone de fonctionnement correcte. Cette modification implique également une légère augmentation de la consommation du LNA, la résistance dissipant une partie de la puissance.

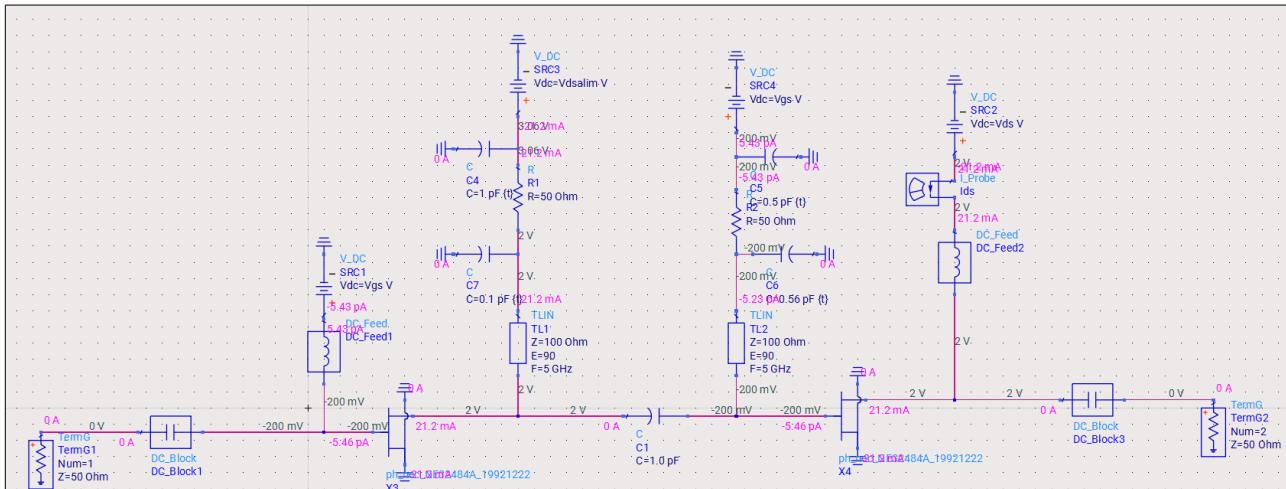


Figure 16: Schéma de simulation avec polarisation inter étage en  $\lambda/4$  et stabilisation

Une fois cette correction appliquée, la Figure 17 indique que le montage devient inconditionnellement stable sur l'ensemble de la bande [0.1–10] GHz. Le facteur de stabilité  $K$  reste en effet strictement supérieur à 1, avec un minimum de  $K = 1.483$  à 9.93 GHz, ce qui garantit une marge de stabilité suffisante dans toute la bande utile.

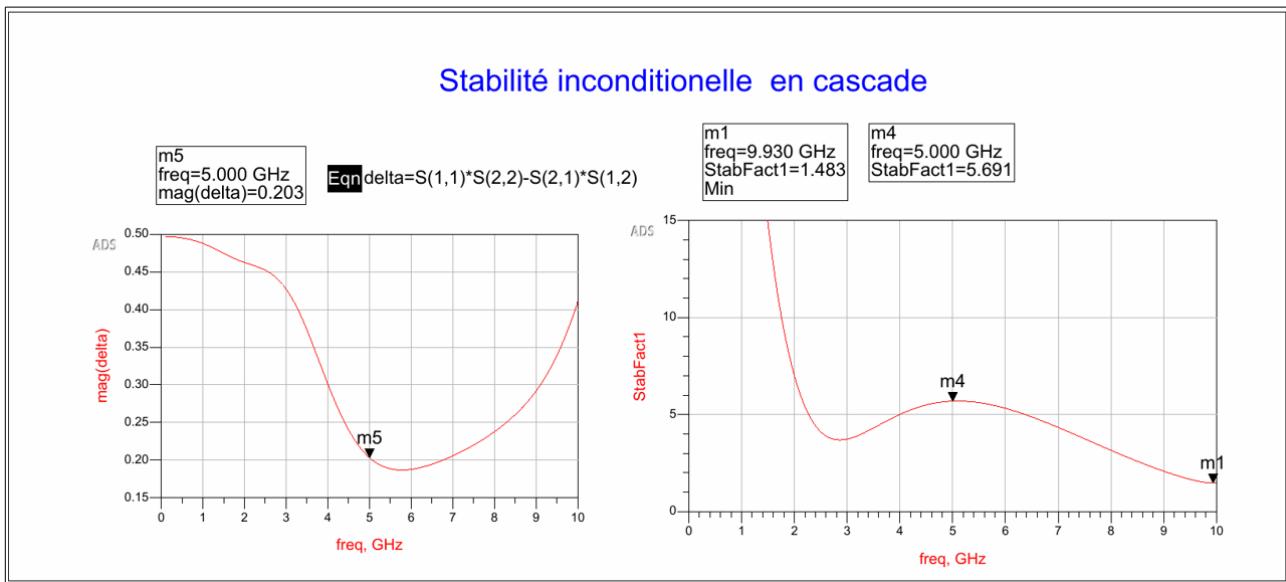


Figure 17: Stabilité de la cascade de transistor nec avec polarisation  $\lambda/4$  et stabilisation de 0 à 10GHz

Ainsi, l'ajout de la résistance dans le drain de T1 permet de stabiliser efficacement le premier étage tout en conservant un point de polarisation adéquat, condition indispensable pour la suite de la conception du LNA.

### 3.4 Coefficients de réflexion d'adaptation : $\Gamma_{\text{opt}}$ (bruit) et $\Gamma$ pour gain max

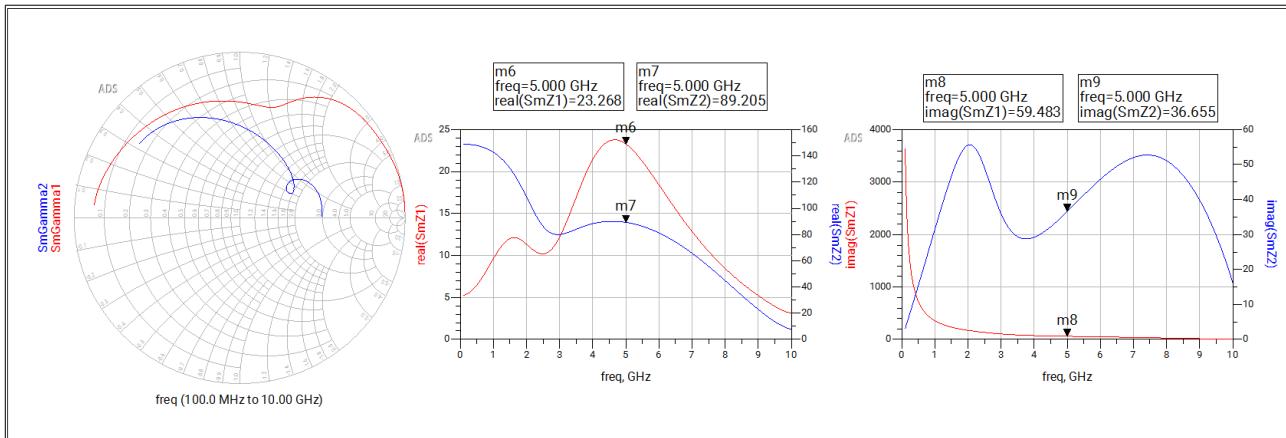


Figure 18: Valeur de simulation pour GammaOpt

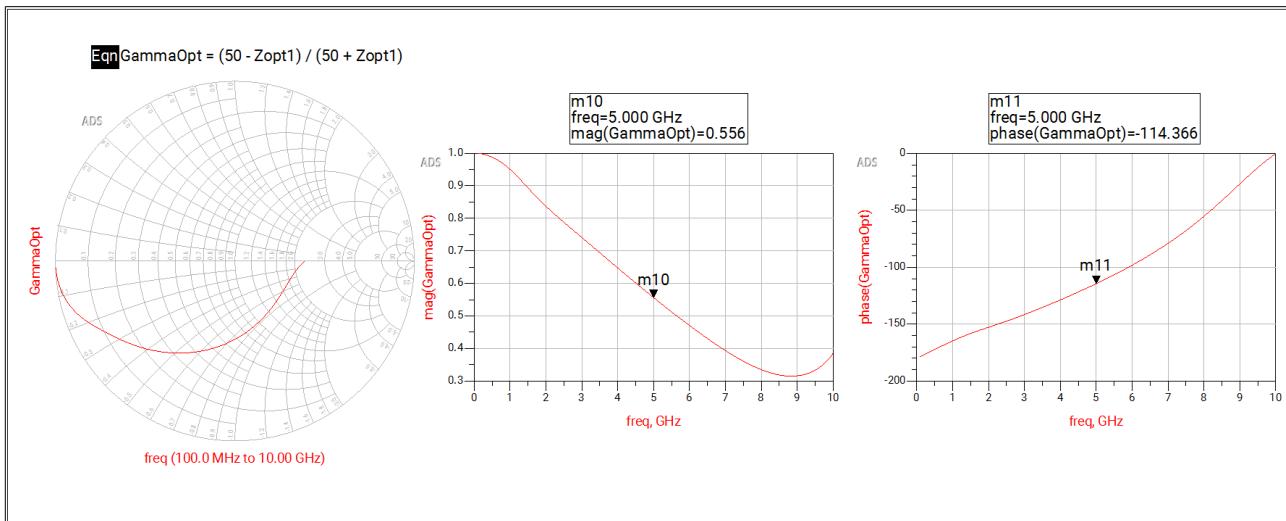


Figure 19: Valeur de simulation pour GammaOpt

Le diagramme de Smith situé à gauche montre la trajectoire de  $\Gamma_{\text{opt}}$  en fonction de la fréquence, tandis que les deux graphes à droite donnent respectivement la magnitude et la phase de ce coefficient.

À la fréquence centrale de 5 GHz, les marqueurs indiquent :

$$|\Gamma_{\text{opt}}| = 0.556, \quad \arg(\Gamma_{\text{opt}}) = -114.366^\circ.$$

L'adaptation optimale en bruit correspond donc à un coefficient de réflexion situé dans une zone intermédiaire du diagramme de Smith, ni trop proche du centre (adaptation parfaite), ni trop proche du bord. Cette position traduit le compromis nécessaire pour minimiser le bruit ajouté par le transistor.

L'évolution de  $|\Gamma_{\text{opt}}|$  montre une décroissance depuis les basses fréquences, puis une légère remontée au-delà de 8 GHz, signe d'une sensibilité plus marquée au bruit en dessous de 3 GHz et d'un comportement stabilisé entre 3 et 8 GHz. La phase de  $\Gamma_{\text{opt}}$  varie de manière continue, passant d'environ  $-200^\circ$  à  $0^\circ$ , ce

qui reflète la dépendance fréquentielle naturelle de l'impédance optimale du transistor.

Ces résultats permettent de déterminer précisément le point d'adaptation bruit qui sera utilisé pour la synthèse du réseau d'entrée du LNA.

Les valeurs de ces coefficients de réflexion ne sont pas identiques, il est donc impossible d'avoir satisfaction du MaxGain et N Fmin en même temps.

### 3.5 Cercles à facteur de bruit constant et à gain constant à la fréquence centrale

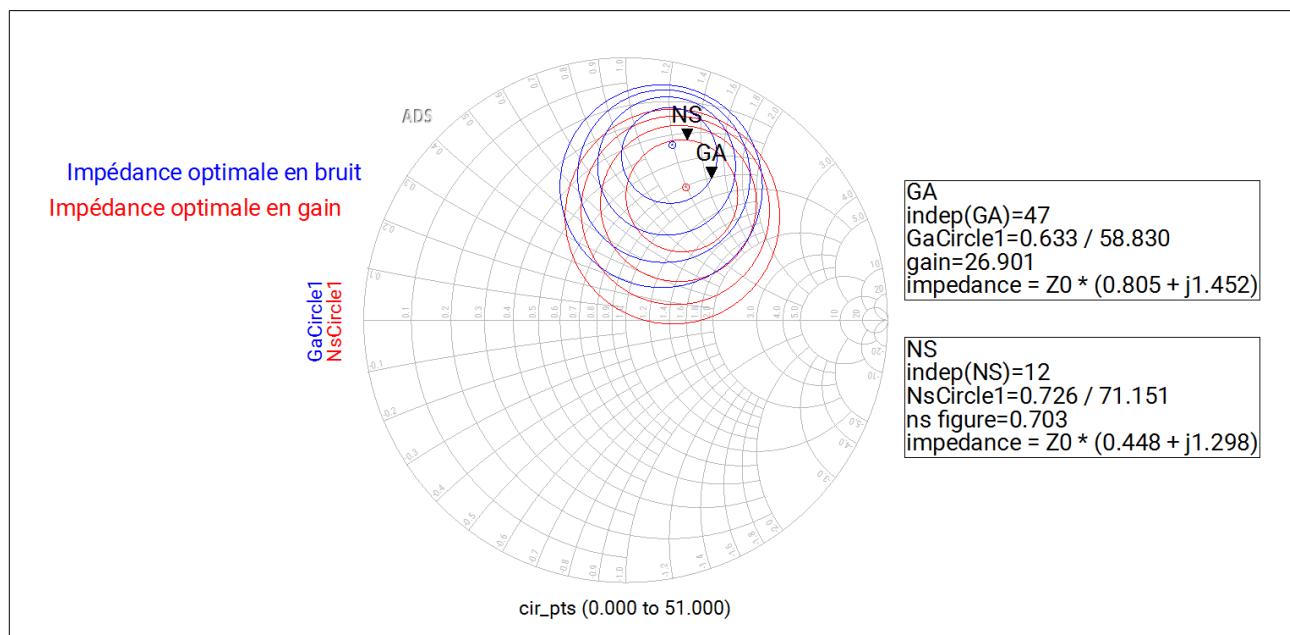


Figure 20: Cercles à gain et bruit constant

On voit que le meilleur facteur de bruit et le meilleur gain possible ne sont pas confondus. On ne peut donc pas obtenir le meilleur gain en même temps que le meilleur facteur de bruit. Il faudra donc faire un choix sur le critère à privilégier.

Dans la section suivante, nous réalisons donc la synthèse des quadripôles d'adaptation, d'abord pour optimiser le fonctionnement en gain, puis pour optimiser le fonctionnement en bruit.

## 4 Synthèse des quadripôles d'adaptation

Après avoir étudié le comportement de la cascade de transistors en termes de bruit, de gain et de stabilité, nous avons mis en évidence, dans les sections précédentes, qu'il est impossible d'obtenir simultanément l'adaptation optimale en bruit  $\Gamma_{\text{opt}}$  et l'adaptation assurant le gain maximal  $\Gamma_{\text{Gmax}}$ . Les cercles de bruit et de gain tracés à la fréquence centrale montrent clairement que les deux points d'adaptation ne coïncident pas : le point minimisant le facteur de bruit se situe dans une zone du diagramme de Smith distincte de celle correspondant au gain maximal. Cette incompatibilité impose alors un choix de conception.

La comparaison des deux maximums permettra, en conclusion de cette section, de mettre en évidence le compromis classique entre gain et bruit dans la conception d'un amplificateur faible bruit, et d'orienter le choix final selon les spécifications les plus critiques du cahier des charges.

### 4.1 Synthétisez les quadripôles d'entrée / sortie pour un fonctionnement optimisé en terme de transfert de puissance

Le premier réseau d'adaptations permet d'optimiser le transfert de puissance entre les différents étages de l'amplificateur. Autrement dit, nous cherchons à maximiser le gain en réalisant une adaptation d'impédance classique autour de la fréquence centrale de 5 GHz, sans prendre en compte dans un premier temps l'optimisation en bruit.

Pour ce faire, nous déterminons d'abord l'impédance équivalente vue à l'entrée du premier transistor et l'impédance équivalente vue à la sortie du second transistor. Ces deux impédances sont ensuite modélisées sous forme de circuits RC simples (série en entrée, parallèle en sortie), ce qui permet de synthétiser les quadripôles d'adaptation correspondants.

#### 4.1.1 Détermination du circuit RC série équivalent à l'entrée de l'étage à transistors et du RC parallèle équivalent à la sortie.

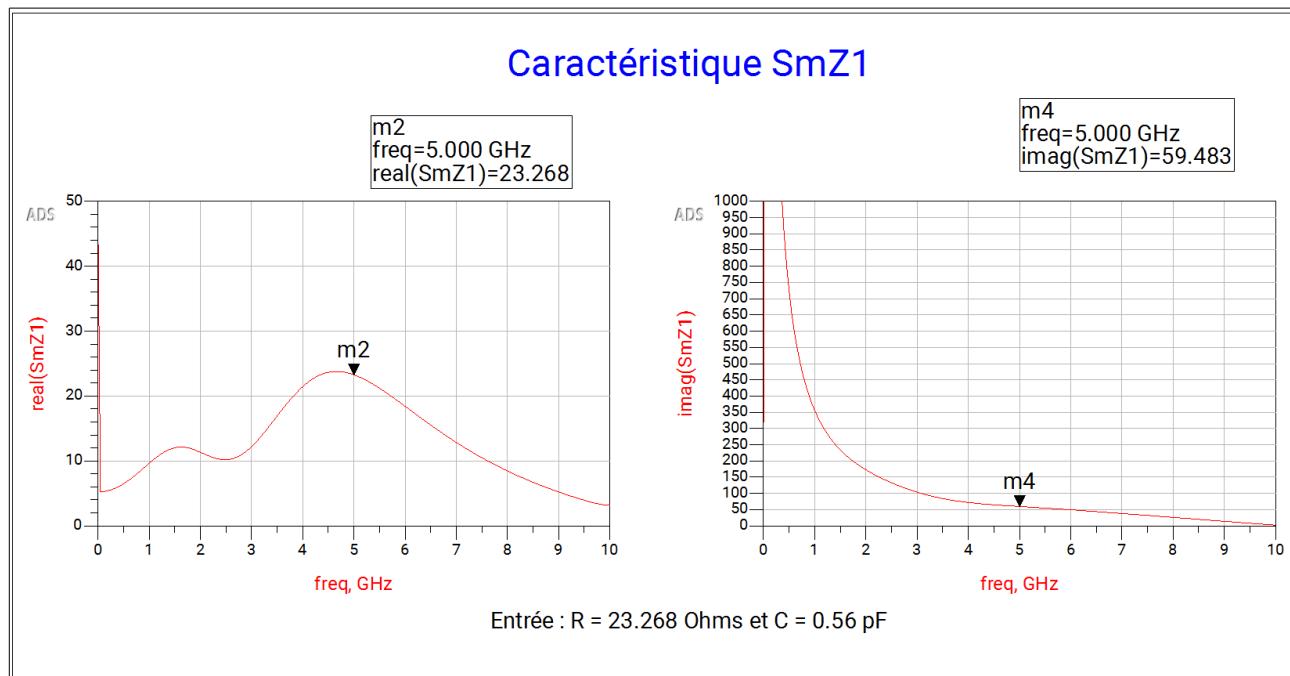


Figure 21: Caractéristique  $S_{mZ1}$  – Extraction de l'impédance équivalente d'entrée du double étage

La Figure 21 présente la caractéristique  $S_{mZ1}$  utilisé pour extraire l'impédance équivalente d'entrée du double étage. L'analyse du diagramme permet d'approximer cette impédance par un circuit RC série constitué de :

$$R_{\text{in}} = 23.3 \Omega, \quad C_{\text{in}} = 0.56 \text{ pF}.$$

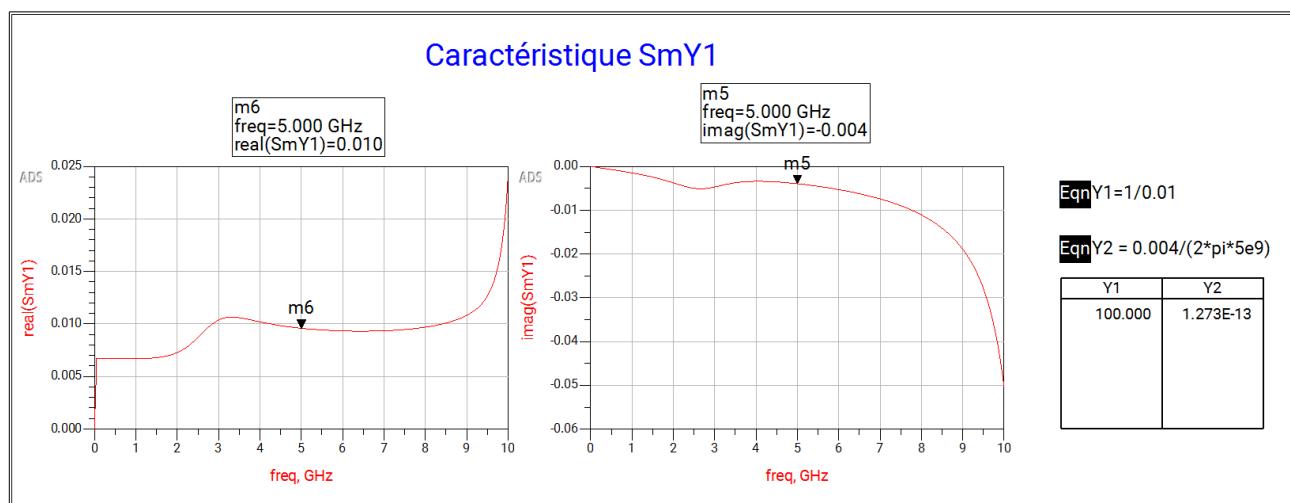


Figure 22: Caractéristique  $S_{mY1}$  – Extraction de l'impédance équivalente de sortie du double étage

De manière similaire, la caractéristique  $S_{mY1}$  correspond à l'impédance vue en sortie du second transistor.

Celle-ci peut être modélisée par un circuit RC parallèle :

$$R_{\text{out}} = 100 \text{ } \Omega, \quad C_{\text{out}} = 0.13 \text{ pF}.$$

Ces modèles permettent de concevoir des quadripôles d'adaptation simples.

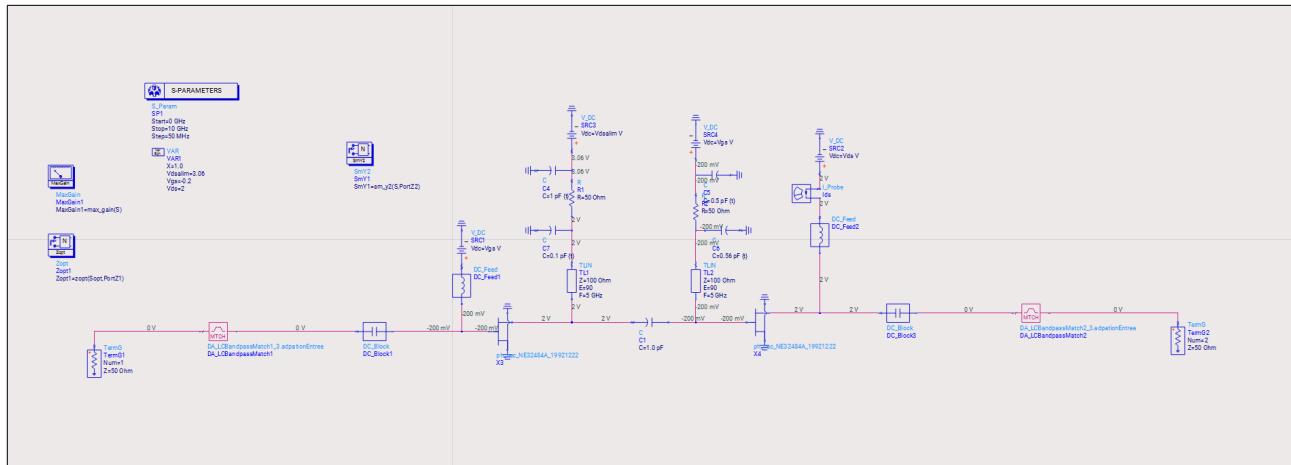


Figure 23: Schéma global du LNA avec réseaux d'adaptation optimisés en gain

La Figure 23 présente le schéma complet du LNA intégrant les réseaux d'adaptation d'entrée et de sortie synthétisés à partir des modèles RC précédemment déterminés. Ces réseaux sont conçus de manière à assurer une adaptation proche de  $50\Omega$  autour de la fréquence centrale, afin de maximiser le transfert de puissance et donc le gain global de l'amplificateur.

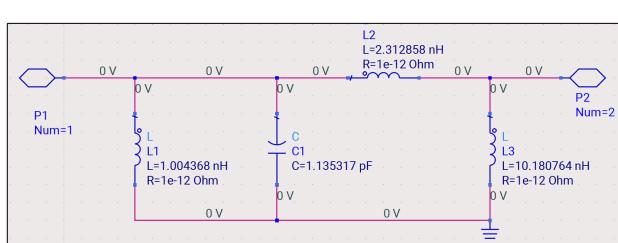


Figure 24: Réseau d'adaptation d'entrée optimisé pour le gain

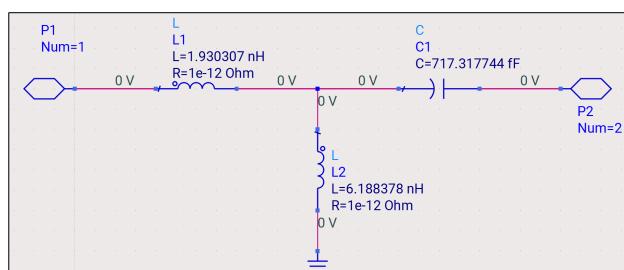


Figure 25: Réseau d'adaptation de sortie optimisé pour le gain

Les Figures 24 et 25 détaillent les réseaux d'adaptation d'entrée et de sortie respectivement. Ces réseaux sont conçus pour transformer l'impédance d'entrée et de sortie du double étage de transistors vers  $50\Omega$ , assurant ainsi une adaptation optimale pour maximiser le gain.

### 4.1.2 Résultats-Optimisation en gain

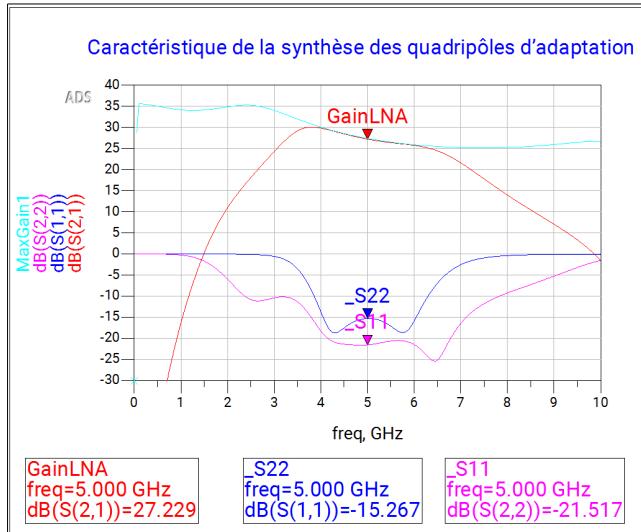


Figure 26: Gain et paramètres S du LNA après synthèse des réseaux d'adaptation

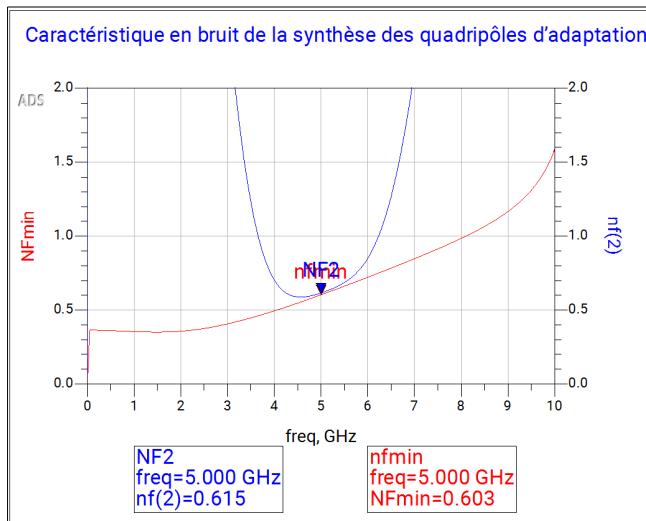


Figure 27: Facteur de bruit du LNA en configuration optimisée en gain

Une fois les réseaux d'adaptation implémentés, nous évaluons les performances en gain et en bruit du montage. La Figure 26 montre que l'adaptation maximise efficacement le transfert de puissance, permettant d'atteindre un gain satisfaisant autour de la fréquence centrale.

Concernant le bruit, la Figure 27 indique que le facteur de bruit global reste modéré mais légèrement dégradé par rapport au minimum accessible. En effet, l'adaptation en gain ne coïncidant pas avec  $\Gamma_{\text{opt}}$ , un compromis en bruit est inévitable.

Les résultats montrent néanmoins que l'objectif principal — maximiser le gain — est pleinement atteint.

### 4.1.3 Schéma électrique réel (sans éléments idéaux)

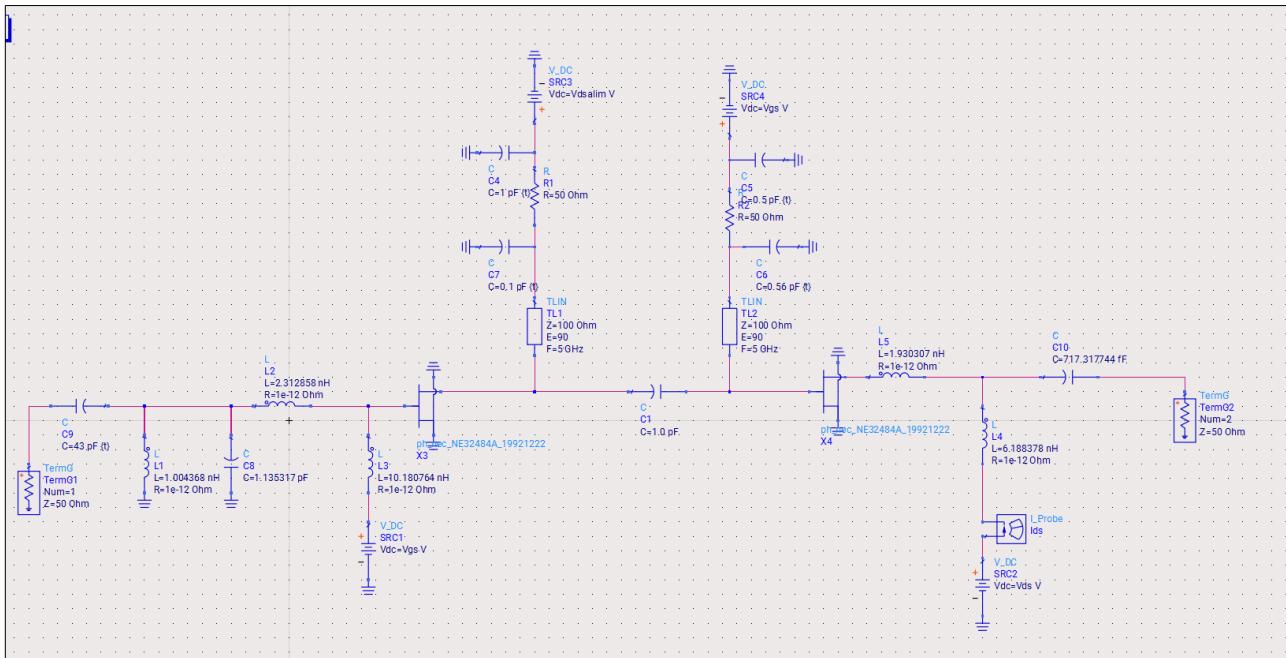


Figure 28: Schéma électrique du LNA avec composants réels (sans éléments idéaux)

Enfin, la Figure 28 présente la réalisation complète du réseau d'adaptation à l'aide de composants réels, en remplaçant les éléments idéaux par leurs équivalents physiques adaptés aux technologies microondes. Cette étape valide la faisabilité de la solution et constitue la base du passage vers une implémentation pratique du LNA.

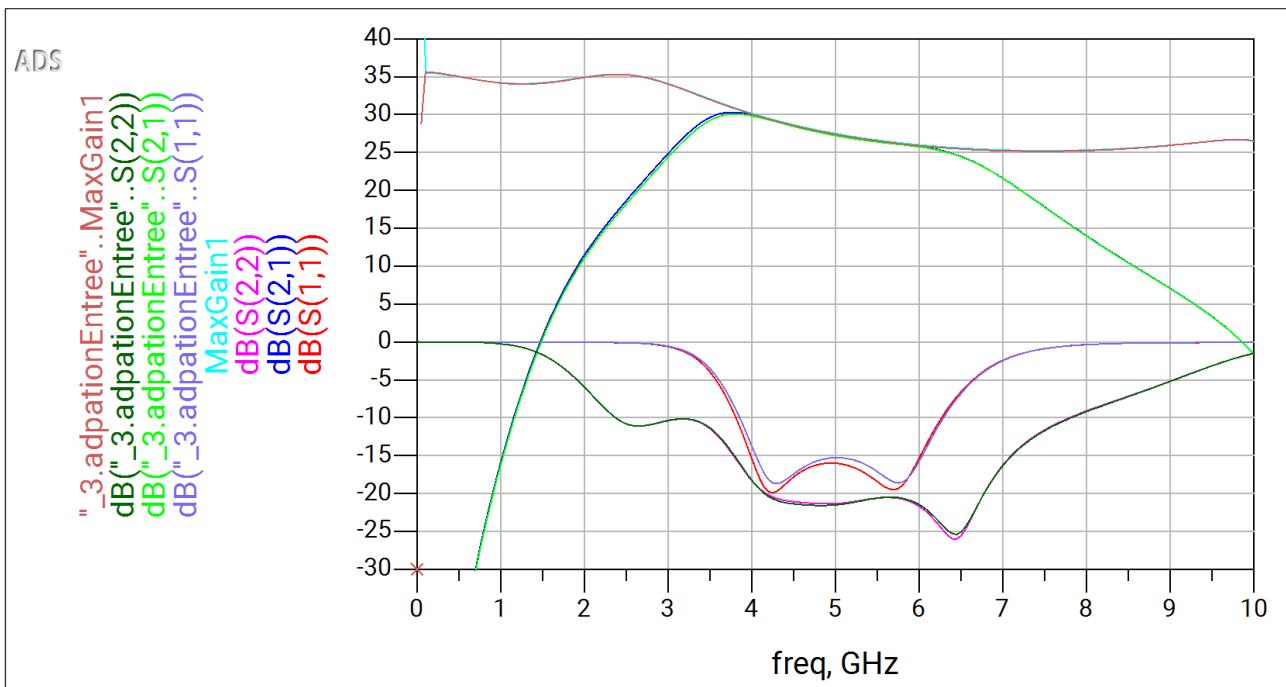


Figure 29: Comparaison des performances entre schéma idéal et schéma réel

La comparaison entre les courbes montre que les gains  $S_{21}$  et  $\text{MaxGain}$  sont pratiquement identiques sur toute la bande considérée. Cela confirme que les composants réels n'affectent que très faiblement l'amplification globale du montage.

En revanche, de très légères variations apparaissent sur  $S_{11}$  et  $S_{22}$  lorsque l'on remplace les éléments idéaux par leurs équivalents physiques. Ces écarts restent modestes et se traduisent par un léger déplacement des minima d'adaptation ainsi qu'une profondeur d'adaptation légèrement réduite.

Globalement, les performances demeurent très proches du cas idéal, ce qui valide la robustesse de l'adaptation réalisée même lorsque le réseau est implémenté avec des composants physiques.

## 4.2 Synthétisez les quadripôles d'entrée / sortie pour un fonctionnement optimisé en bruit

Après avoir synthétisé les réseaux d'adaptation pour maximiser le transfert de puissance, nous réalisons ici une nouvelle synthèse visant à optimiser le facteur de bruit du LNA. Pour cela, nous recherchons une adaptation en entrée qui rapproche l'impédance source de l'impédance optimale de bruit  $\Gamma_{\text{opt}}$ , déterminée précédemment à la fréquence centrale.

### 4.2.1 Détermination du circuit RC série équivalent à l'entrée de l'étage à transistors et du RC parallèle équivalent à la sortie.

La détermination du circuit RC série équivalent à l'entrée et du circuit RC parallèle équivalent à la sortie doit être répétée, car les modèles extraits pour l'optimisation en gain ne sont pas adaptés à la conception en bruit.

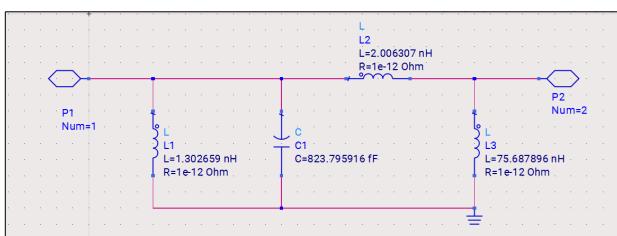


Figure 30: Réseau d'adaptation d'entrée optimisé pour le bruit

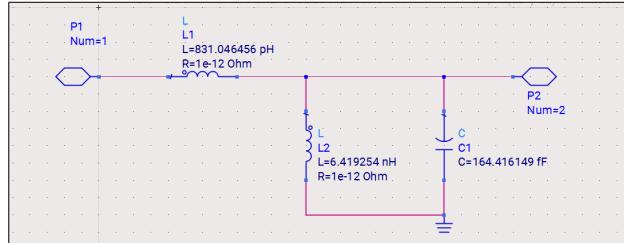


Figure 31: Réseau d'adaptation de sortie optimisé pour le bruit

Les Figures 30 et 31 présentent les réseaux d'adaptation d'entrée et de sortie synthétisés dans le cadre de l'optimisation en bruit. Ces réseaux sont conçus afin de rapprocher l'impédance source vue par le premier transistor de l'impédance optimale de bruit  $\Gamma_{\text{opt}}$ .

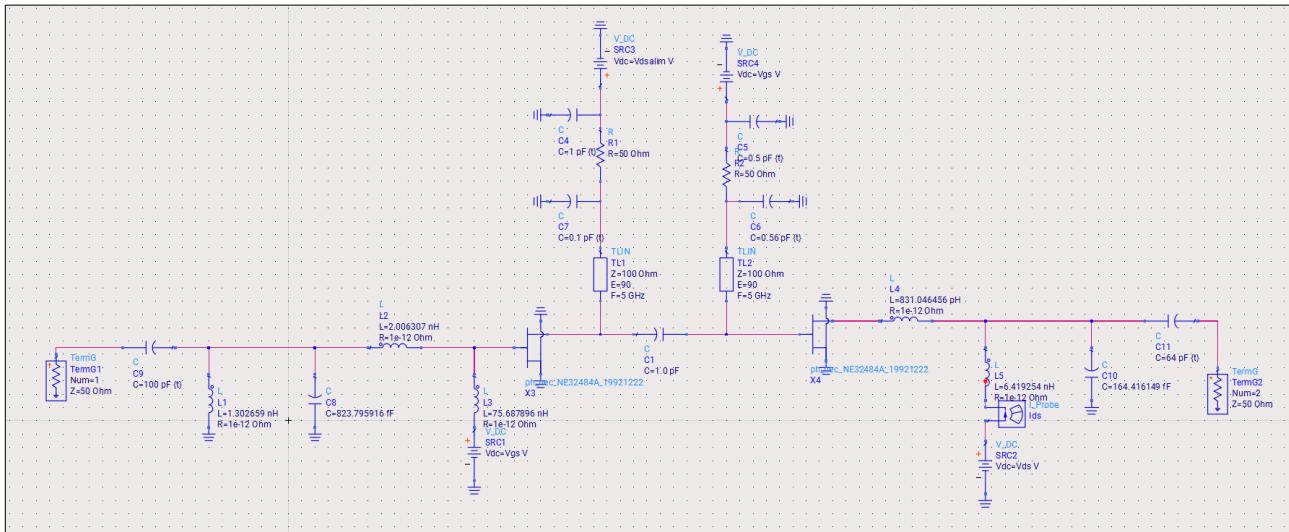


Figure 32: Schéma électrique réel du LNA optimisé en bruit

#### 4.2.2 Résultats-Optimisation en bruit

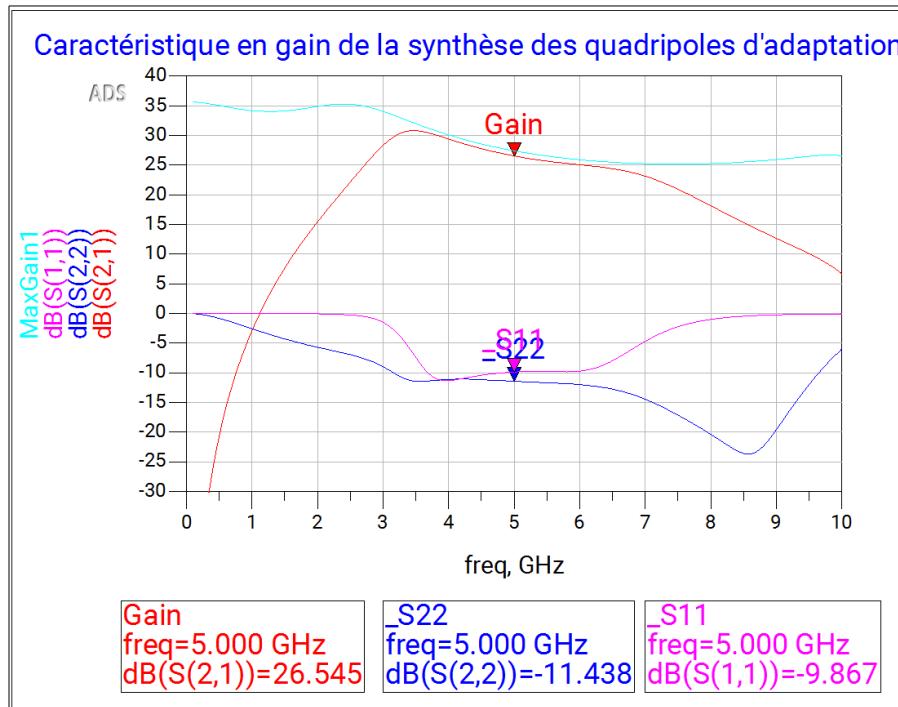


Figure 33: Gain et paramètres S du LNA optimisé en bruit

La Figure 33 présente l'évolution du gain  $S_{21}$  ainsi que des coefficients de réflexion  $S_{11}$  et  $S_{22}$  du LNA après synthèse des réseaux d'adaptation optimisés en bruit. À la fréquence centrale de 5 GHz, le gain atteint une valeur d'environ 26,5 dB, ce qui reste supérieur au seuil minimal imposé par le cahier des charges ( $G > 25$  dB).

On observe cependant une légère diminution du gain par rapport à l'optimisation en gain. Cette évolution est attendue et résulte du fait que l'adaptation d'entrée est désormais orientée vers la minimisation du facteur de bruit plutôt que vers l'adaptation conjuguée en puissance. Les coefficients  $S_{11}$  et  $S_{22}$  demeurent inférieurs à -10 dB autour de la bande utile, garantissant une adaptation correcte de l'entrée et de la sortie.

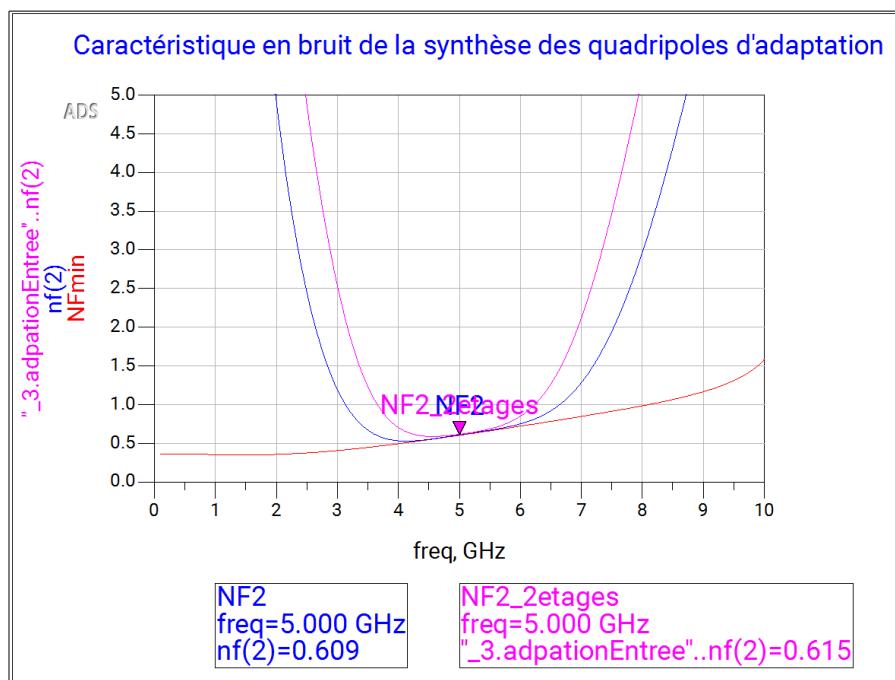


Figure 34: Facteur de bruit du LNA optimisé en bruit - Comparaison avec le LNA à 2 étages non optimisé

La Figure 34 montre l'évolution du facteur de bruit du LNA optimisé en bruit, comparée à celle du LNA à deux étages non optimisé. Une légère amélioration du facteur de bruit est observée autour de la fréquence centrale. Cette réduction du bruit s'explique par une adaptation d'entrée proche de l'impédance optimale de bruit  $\Gamma_{\text{opt}}$ , permettant au premier transistor de fonctionner dans des conditions proches de son  $NF_{\min}$ .

On observe également que l'adaptation orientée bruit permet d'élargir la bande fréquentielle sur laquelle le facteur de bruit reste faible. Contrairement au LNA non optimisé, pour lequel le minimum de bruit est fortement localisé autour de la fréquence centrale, le LNA optimisé en bruit présente une variation plus progressive du facteur de bruit, garantissant des performances plus homogènes sur l'ensemble de la bande utile.

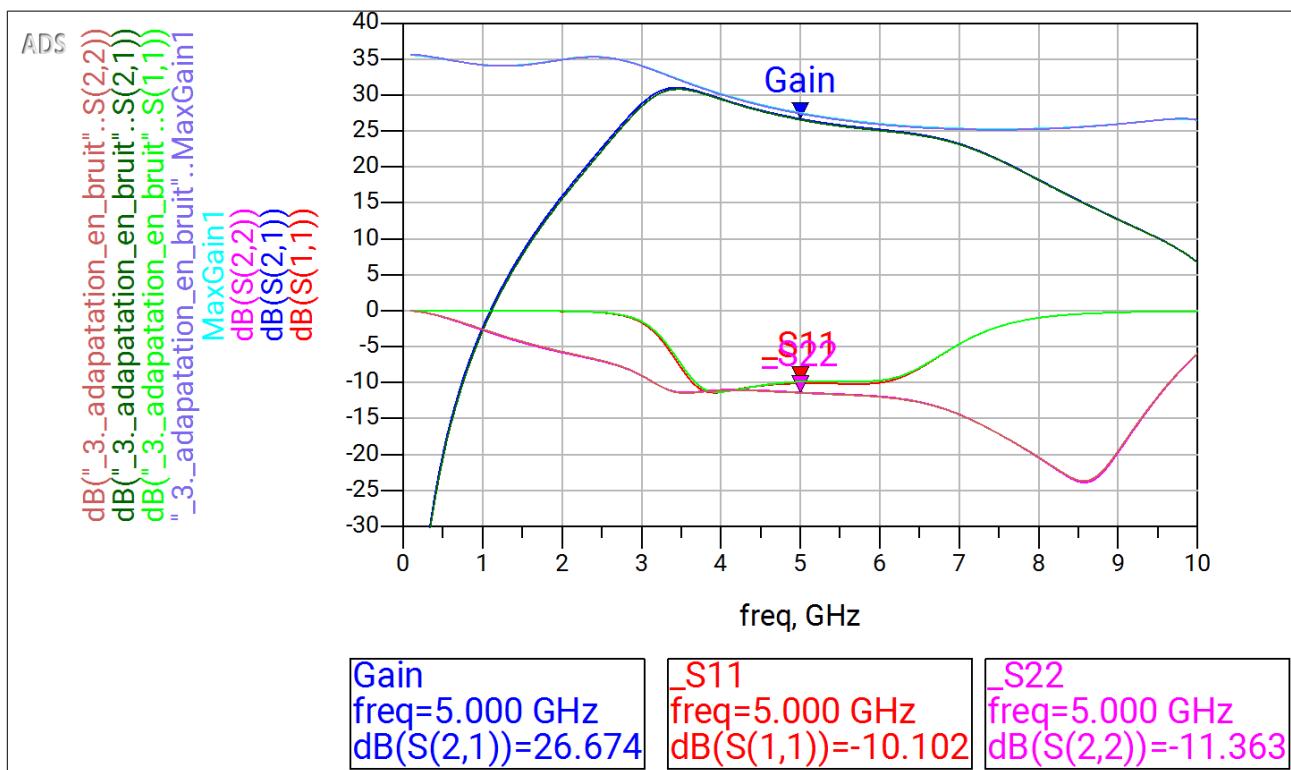


Figure 35: Performances globales du LNA optimisé en bruit - Comparaison entre schéma idéal et schéma réel

La Figure 35 compare les performances du LNA optimisé en bruit entre le schéma idéal (avec éléments idéaux) et le schéma réel (avec composants physiques). On constate que les performances restent très proches entre les deux configurations, confirmant la robustesse de LNA lorsqu'on implémente les réseaux d'adaptation avec des composants réels.

### 4.3 Critères d'optimisation en gain et en bruit

La conception des réseaux d'adaptation d'un amplificateur faible bruit repose sur des critères distincts selon que l'objectif principal est la maximisation du gain ou la minimisation du facteur de bruit. Ces deux objectifs conduisent à des orientations différentes des impédances adaptées aux entrées et aux sorties de chaque étage, et ne peuvent généralement pas être satisfaits simultanément.

**Optimisation en gain** Dans le cadre de l'optimisation en gain, l'objectif est de maximiser le transfert de puissance entre la source, les différents étages du LNA et la charge. Cette condition est atteinte lorsque chaque interface est adaptée de manière conjuguée. L'utilisation du paramètre *SMZ1* permet d'extraire l'impédance équivalente vue à l'entrée de l'étage à transistors, servant de référence pour la synthèse du réseau d'adaptation d'entrée.

Ainsi, l'adaptation est orientée de manière à transformer l'impédance source de  $50 \Omega$  vers le conjugué de l'impédance d'entrée du premier transistor. De façon analogue, l'impédance de sortie du second transistor est adaptée vers  $50 \Omega$ , assurant un transfert de puissance maximal vers la charge. Cette stratégie conduit à un gain élevé, mais ne garantit pas une performance optimale en bruit.

**Optimisation en bruit** À l'inverse, l'optimisation en bruit est gouvernée par les caractéristiques intrinsèques de bruit du transistor, et plus particulièrement par l'impédance optimale de bruit, caractérisée par le paramètre *Sopt*. Dans ce cas, l'adaptation d'entrée n'est plus orientée vers l'impédance d'entrée du circuit, mais vers l'impédance source permettant de minimiser le facteur de bruit.

**Choix final entre adaptation en gain et adaptation en bruit** La comparaison des deux synthèses montre un compromis entre gain et facteur de bruit. À 5 GHz, la configuration optimisée en bruit améliore le facteur de bruit d'environ  $\Delta NF \simeq 0.006 \text{ dB}$  ( $0.615 \text{ dB} \rightarrow 0.609 \text{ dB}$ ), tandis que le gain diminue d'environ 1 dB. Or, une baisse de 1 dB du gain du premier étage dégrade la capacité du LNA à atténuer la contribution en bruit des étages suivants (formule de Friis), alors que le gain en facteur de bruit observé ici reste marginal.

Dans ce contexte, le choix retenu est l'optimisation en gain, car elle préserve une marge de gain plus confortable tout en conservant un facteur de bruit très proche du minimum atteint. L'optimisation en bruit ne deviendrait prioritaire que si l'amélioration de  $NF$  était significativement plus élevée ou si la sensibilité système était le critère dominant.

## 5 Conclusion

Ce travail a permis de mener une démarche complète de conception d'un amplificateur faible bruit large bande, depuis le choix du transistor jusqu'à la synthèse finale des réseaux d'adaptation, en tenant compte des contraintes de gain, de bruit, d'adaptation et de stabilité imposées par le cahier des charges.

L'étude comparative des trois transistors proposés a mis en évidence que le NE32484A présente les meilleures performances en termes de facteur de bruit minimum sur la bande considérée. Ce critère étant déterminant pour une application LNA, ce transistor a été retenu pour la suite de l'étude, avec une polarisation optimisée autour de la fréquence centrale de 5 GHz.

L'analyse d'un étage unique a montré que le gain maximal accessible restait insuffisant pour atteindre la spécification de 25 dB, justifiant l'adoption d'une architecture à deux transistors en cascade. Cette topologie a permis d'augmenter significativement le gain global, tout en conservant un facteur de bruit acceptable, à condition de maîtriser soigneusement la stabilité du dispositif sur une large bande fréquentielle.

L'introduction de lignes quart d'onde pour la polarisation inter-étage, associée à l'ajout d'éléments résistifs de stabilisation aux basses fréquences, a permis d'obtenir un fonctionnement inconditionnellement stable sur la bande 0.1–10 GHz. Ces choix de conception illustrent l'importance du compromis entre stabilité, gain et consommation dans les architectures RF multi-étages.

La synthèse des réseaux d'adaptation a ensuite mis en évidence le compromis fondamental entre optimisation en gain et optimisation en bruit. L'adaptation orientée gain, basée sur l'extraction des impédances équivalentes via le paramètre *SMZ1*, permet de maximiser le transfert de puissance mais conduit à une dégradation du facteur de bruit. À l'inverse, l'adaptation orientée bruit, fondée sur l'utilisation du paramètre *Sopt*, privilégie la réduction du bruit ajouté par le premier étage, au prix d'une légère diminution du gain.

Enfin, l'implémentation des réseaux d'adaptation à l'aide de composants réels a confirmé la robustesse de la solution proposée. Les performances finales du LNA optimisé en gain respectent l'ensemble des spécifications du cahier des charges, avec un gain supérieur à 25 dB, une bonne adaptation en entrée et en sortie, un facteur de bruit réduit et une stabilité garantie sur la bande considérée.

Ce travail met ainsi en évidence la complexité de la conception d'un LNA large bande, qui repose sur une gestion des compromis entre gain, bruit, stabilité et faisabilité pratique.