

1. Half-Adder (반가산기), Full-Adder (전가산기)의 진리표/논리식/회로도를 작성하시오.

X	Y	S	C
0	0		
0	1		
1	0		
1	1		

X	Y	C_{in}	S_n	C_{out}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

2. Half-Subtractor (반감산기), Full-Subtractor (전감산기)의 진리표/논리식/회로도를 작성하시오.

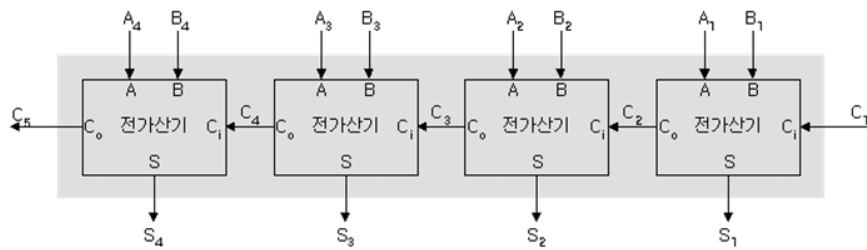
X	Y	D	B
0	0		
0	1		
1	0		
1	1		

X	Y	$B_{(n-1)}$	D_n	B_n
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

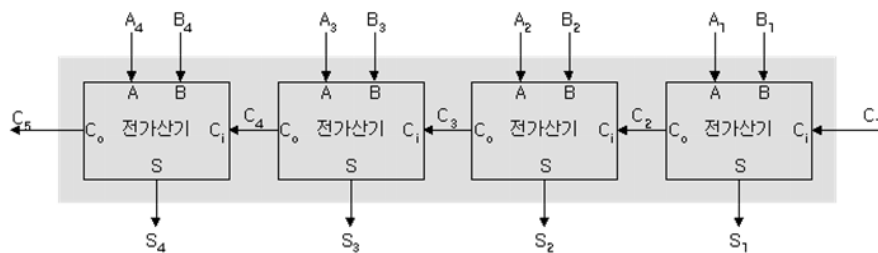
3. 다음 4비트 전가산기 구조에서 A, B, S, C 각각의 의미를 설명하고 2의 보수의 2진수 $5+5$ 와 $7+5$ 를 수행하는 경우 $A_{1:4}$, $B_{1:4}$, $S_{1:4}$, $C_{1:5}$ 각각의 입력/출력 값, 오버플로우 확인 회로를 그림에 표시하시오.

- $A_{4:1}$
- $B_{4:1}$
- $S_{4:1}$
- $C_{5:1}$

● $5 + 5 =$



● $7 + 5 =$



● 다음 4비트 전가산기 구조를 사용하여 2의 보수의 2진수 뺄셈 $7-5=2$ 를 구현하고, 오버플로우도 확인 할 수 있도록 회로를 변경하시오. (힌트 : 2의 보수법)

