

1. Full-Adder (전가산기)의 진리표를 작성하고 논리게이트(and, or, xor, not)를 사용하여 회로도를 설계하시오.

X	Y	$C_{(n-1)}$	Sum_n	$Carry_n$
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

2. Full-Adder (전가산기)의 진리표를 작성하고 4x1 MUX를 사용하여 회로도를 설계하시오.

X	Y	$C_{(n-1)}$	Sum_n	$Carry_n$
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3. 쿼터스에서 위 2번의 설계를 구현하고 결과파형을 확인하시오.
- MUX에서 s1, s0는 select 신호이므로 X, Y를 입력으로 연결.
 - MUX에서 D0~D3는 진리표의 결과를 입력으로 연결 : 진리표 결과 1은 VCC, 0은 GND.
 - 4x1 멀티플렉서 두 개를 이용 : 하나는 Sum 출력(출력명 Sum_학번)으로, 또 하나는 Carry 출력(출력명 Carry_학번)으로 사용