

华中科技大学

数字电路与逻辑设计
课程实验报告

多功能电子钟系统设计

2
0
2
1

姓 名：	董玲晶
学 号：	U202090063
班 级：	CS2005
专 业：	计算机科学与技术
完成日期：	2021.12.11

实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件 logisim 的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.16.1 软件 1 套，微型计算机 1 台。

4. 课时

课内 8 个课时，课外 8 个课时。

5. 实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

- (1) 显示时、分、秒；
- (2) 可以切换 24 小时制或 12 小时制（上午和下午）；
- (3) 整点报时，整点前 10 秒开始，整点时结束；
- (4) 单独对“时、分”计时校准，分钟值校准时不影响小时值；
- (5) 闹钟，到设定时间提醒 10 秒。

使用 Logisim 软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：

（采用 Logisim 软件提供的“时钟频率”为 8hz 的信号源。）

(1) 具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图 5.1 所示。

具体要求：

- (a) 封装后的电路输入：一个累加计数脉冲输入端 CPU、一个累减计数脉冲

输入端 CP_D 、清零输入信号 Clr 、一个计数值校准输入控制信号 Adj ;

(b) 封装后的电路输出为输出八个计数器状态输出值 $Q_{1D} Q_{1C} Q_{1B} Q_{1A} Q_{0D} Q_{0C} Q_{0B} Q_{0A}$ (测试电路中要接 16 进制数字显示器), 进位输出信号 $\overline{Q_{cc}}$;

(c) 当 $Adj=1$ 时, 可以通过 CP_U 、 CP_D , 对计数值进行加、减调整来设置当前时间, 递减的时候不需要循环, 回到 0 即可, 递增的时候需要可以循环;

(d) 当 $Adj=0$, 通过输入脉冲 CP_U 计数器累加计数, 每当累计满 60 产生一个进位输出信号 $\overline{Q_{cc}}$;

(e) Clr 为 1 时, 计数器清零;

(f) 计数器的输出为两位 8421 码;

(g) 封装后做出测试电路, 测试电路要外接 16 进制显示器, CP_U 、 CP_D 接按钮。

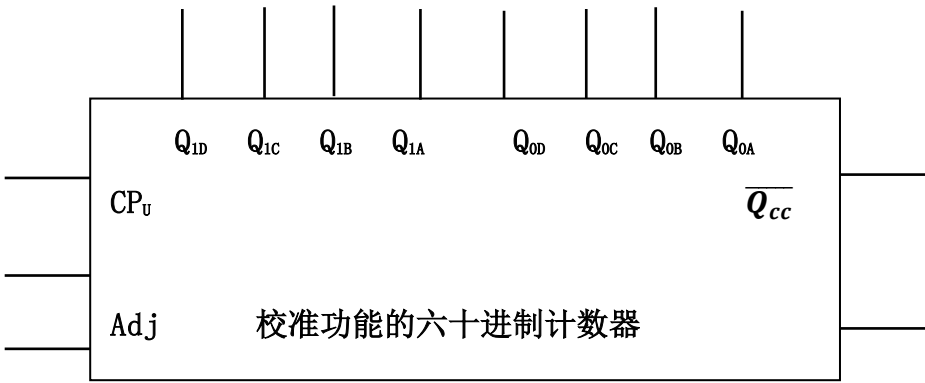


图 5.1 调整计数值的 60 进制计数器

(2) 具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用 (1) 设计的六十进制计数器和相应元器件, 设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器, 并进行封装, 该计数器封装图如图 5.2 所示。

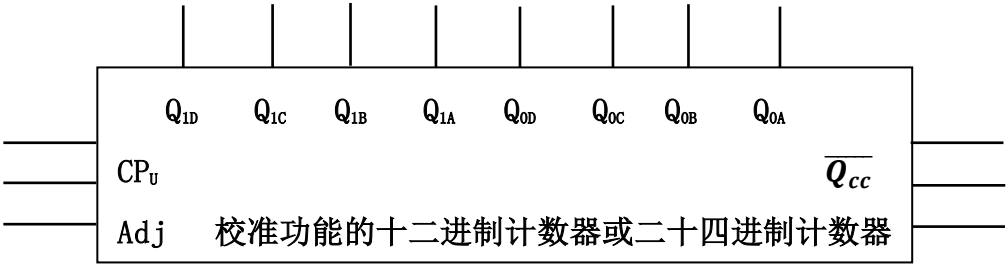


图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

(a) 封装后的电路输入：一个累加计数脉冲输入端 CP_U 、一个累减计数脉冲输入端 CP_D 、清零输入信号 Clr 、一个计数值校准输入控制信号 Adj 、12 小时计时或 24 小时计时控制信号 Set ；

(b) 封装后的电路输出为输出八个计数器状态输出值 $Q_{1D} Q_{1C} Q_{1B} Q_{1A} Q_{0D} Q_{0C} Q_{0B} Q_{0A}$ （测试电路中要接 16 进制数字显示器），进位输出信号 $\overline{Q_{cc}}$ ；

(c) 当 $Adj=1$ 时，可以通过 CP_U 、 CP_D ，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到 0 即可，递增的时候需要可以循环；

(d) 当 $Adj=0$ ，通过输入脉冲 CP_U 计数器累加计数，每当累计满 12 或 24（根据计数制）产生一个进位输出信号 $\overline{Q_{cc}}$ ；

(e) Clr 为 1 时，计数器清零；

(f) 当 $Set=0$ ，12 小时计时；当 $Set=1$ 时，24 小时计时；

(g) 计数器的输出为两位 8421 码；

(h) 封装后做出测试电路，测试电路要接 16 进制显示器， CP_U 、 CP_D 接按钮。

(3) 显示“上午”、“下午”的电路

设计一个采用“Led 点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3 所示。封装图如图 5.4 所示，测试电路如图 5.5 所示。

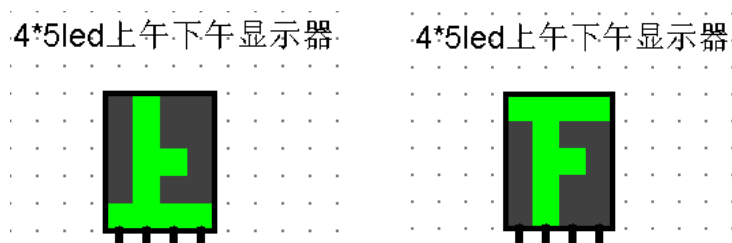


图 5.3 led 点阵显示器

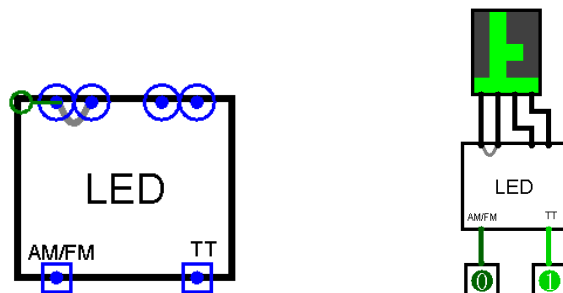


图 5.4 led 点阵封装图

图 5.5 led 点阵测试图

具体要求：

- (a) 封装后的电路输入为：一个上下午显示控制信号 **AM/FM**、计时控制 **TT**；
- (b) 封装后的电路输出为 4 个五位的数据，用以接 **4*5Led**（4 列×5 行）显示器；
- (c) **AM/FM=0**，显示“上”； **AM/FM=1**，显示“下”；
- (d) **TT=0** 时，24 小时计时，此时“上、下午”显示屏全灭； **TT=1** 时，12 小时计时，此时根据具体时间显示“上”或“下”；
- (e) 封装时 **Led** 显示屏不封装在内；
- (f) 封装后做出测试电路，外接 **Led** 显示屏。

(4) 电子钟整点报时电路

设计一个 10 秒的整点报时电路，并进行封装，该电路在整点前 10 秒（59 分 50 秒）被触发，发出报时信息（用 **Led** 灯的亮灭来表示），报时 10 秒结束。

(5) 秒计时脉冲产生电路

按要求以 **Logisim** 软件的 8hz 信号作为电路震荡源，设计一个输出为 1hz 的脉冲信号电路，并封装，逻辑符号如图 5.6 所示，它成为秒计数器的计数脉冲信号。

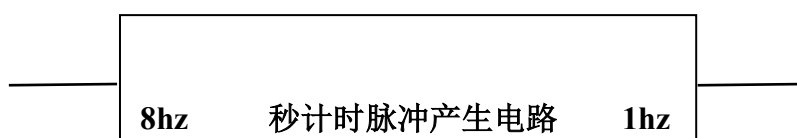


图 5.6 秒计时脉冲产生电路

(6) 闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

- (a) 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用 16 进制数字显示器显示；
- (b) 在设定的起闹时间，闹钟开始响铃，十秒后结束；
- (c) 闹铃用 **Led** 灯的亮灭表示；
- (d) 有控制端可以启用或关闭闹钟。

(7) 多功能数字钟电路

充分利用(1)~(6)设计的“私”有元件和相应元器件,设计满足多功能电子钟“设计场景”要求的电路,并封装,封装图如图 5-7 所示,测试图如图 5.8 所示。

(a) 输入信号有“Set”、“CPU、CPD”、“Adj0、Adj1”、“Clr”、“8hz 信号”;输出信号为“小时”、“分”、“秒”对应的 6 个 8421 码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号;

(b) “Set”为“小时计数器”输入信号,当 Set=1 时,计数器为二十四进制计数器,Set=0 为低电平时为十二进制计数器;十二进制和二十四进制转换时时间需对应;

(c) “CPU、CPD”为计数器计数值进行手动加、减调整的输入脉冲信号;

(d) “Adj0”为计数器计数值进行校准的输入控制信号,Adj0=0,表示不调整时钟;Adj0=1,表示调整时钟,在调整时钟时,不产生任何进位信息(秒不向分进位,分不向小时进位);

(e) “Adj1”为计数器计数值进行校准的选择输入控制信号,Adj1=0,表示调整小时;Adj1=1,表示调整分钟;

(f) “Clr”为计数器的清除信号,同时对小时、分、秒清零;

(g) “8hz 信号”为电子钟脉冲输入信号;

(h) 输出的时间小时、分和秒分别为 6 个 8421 码;

(i) “Led 点阵”显示器分别对应“上、下午”输出信号;

(j) 两个“发光二极管(Led 灯)”分别对应“闹钟”,“整点”输出信号。

(k) 如果选做闹钟,“Alarm”为输入的时间设定提醒值(闹钟值);

(l) 封装后做出测试电路,测试电路中小时、分和秒要接 16 进制显示器,CPU、CPD 接按钮,CP 接时钟源,闹钟和定点报时接 Led 灯,Led 显示接 Led 显示屏,其余接输入引脚。

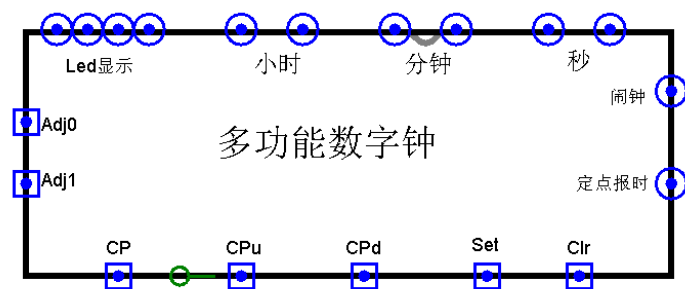


图 5.7 电子钟的“输入、输出检查要求”

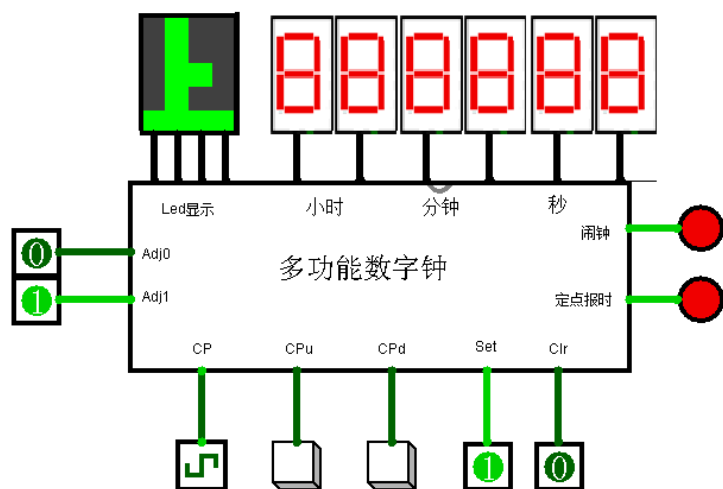


图 5.8 电子钟的测试电路

6. 实验方案设计

(1) 具有校准计数值的六十进制计数器电路

在四位二进制可逆计数器的基础上加入进位和借位端。进位端满十进 1，借位端为 0 借 1，若四位二进制为 0，则 CPd 不再有效。 \sim LD 变为置 9 端。

将两个四位二进制可逆计数器连接，加法时个位满十进 1 并清零，十位满六进 1 并清零；减法时个位为 0，可以产生借位，此时如果十位不为 0 则十位 CPD 产生一个脉冲，十位减 1，个位置 9。

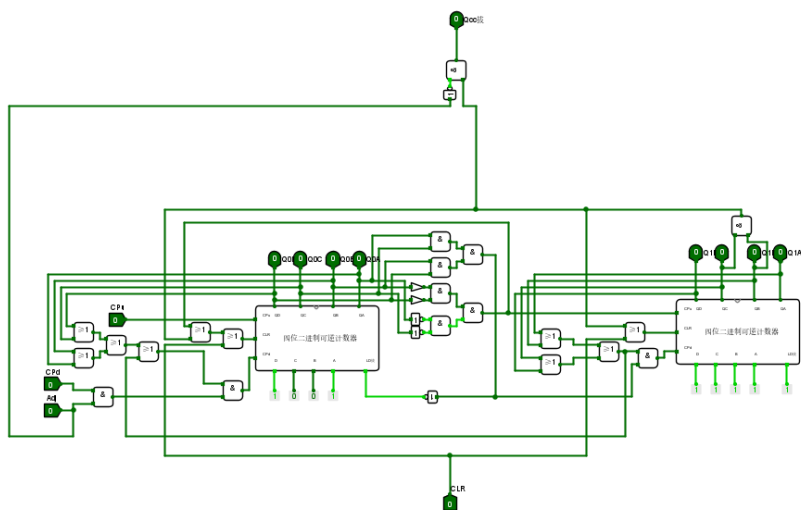


图 5-1 具有校准计数值的六十进制计数器电路

(2) 具有校准计数值的十二进制计数器或二十四进制的计数器电路

将其中一个四位二进制可逆计数器进行改造， $\sim LD$ 为 0 预置时，根据置 1 端接入的电平判断是置 1 还是置 9；为 1 则置 9，为 0 则置 1。当从十位借位时，置 9 端生效，高位减一；当十位和个位为 13 时，产生清零信号，置 1 端发挥作用。

因为要进行二十四进制和十二进制的转换，所以将结果输出前需要根据 set 判断是否需要转换成二十四进制；十二进制时不能出现零点，且默认为上午十二点。

Note: 加一、清零、置 1 的先后顺序，这对电路会产生很大的影响。

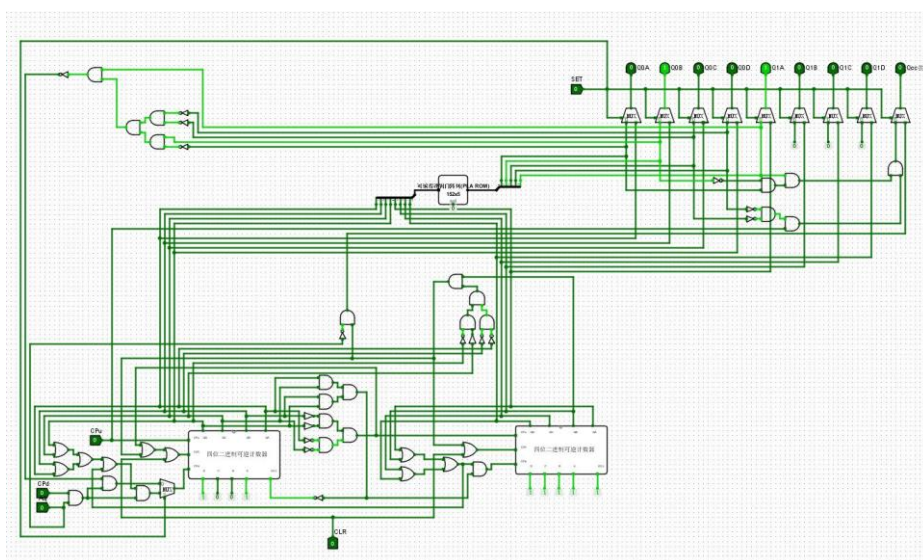


图 5-2 十二进制计数器或二十四进制的计数器电路

(3) 显示“上午”、“下午”的电路

TT 为 1 时, 上下午显示电路可以显示, 否则为 0。TT 为 1, AM/EM 为 0 时选择上; AM/FM 为 1 时显示下午。使用多个多路选择器完成功能。

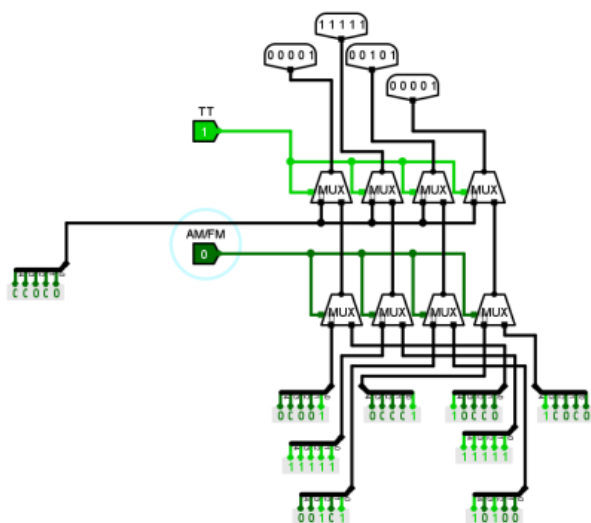


图 5-3 显示上下午的电路

(4) 电子钟整点报时电路

用十二进制或二十四进制计数器和六十进制计数器的封装器件完成时分秒的计时，按照接口的功能将它们连接。当时钟满足 59 分 50+秒时开始报时，整点时结束报时。因此只需要将分秒相与进行判断，其中秒只需要判断十位是否为五。

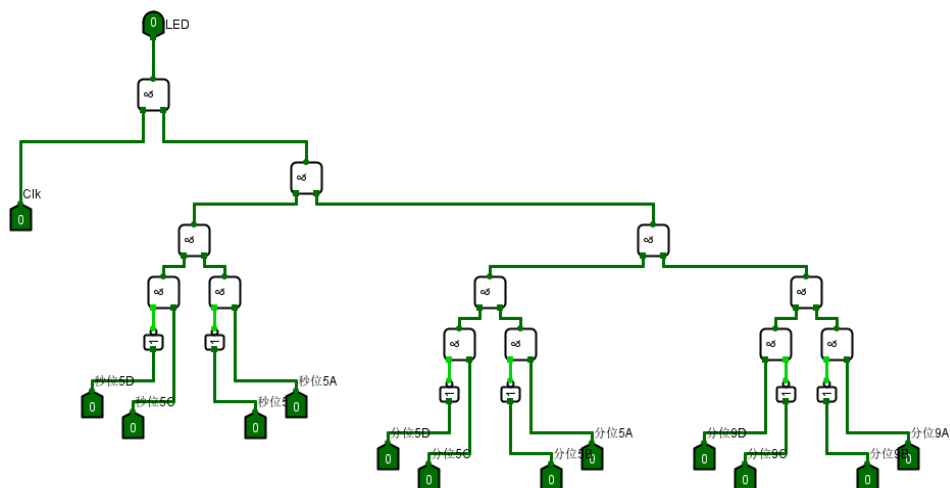


图 5-4 电子钟整点报时电路

(5) 秒计时脉冲产生电路

将 8HZ 的频率转换成 1HZ 的频率，只需要将二进制可逆计数器改成八进制计数器，即 QC, QB, QA 均为 1 时再加 1 清零。

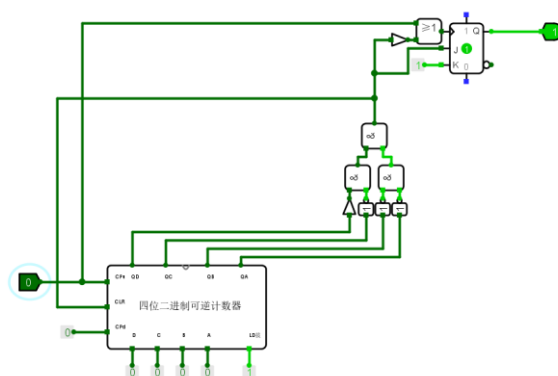


图 5-5 秒计时脉冲产生电路

(6) 闹钟 (选做)

当 Alarm 为 1 时可以将当前电子钟的时和分设置为闹钟。

根据要求, 当时分和电子钟一样时, 闹钟开始响, 十秒后即当秒变为 10 时结束。

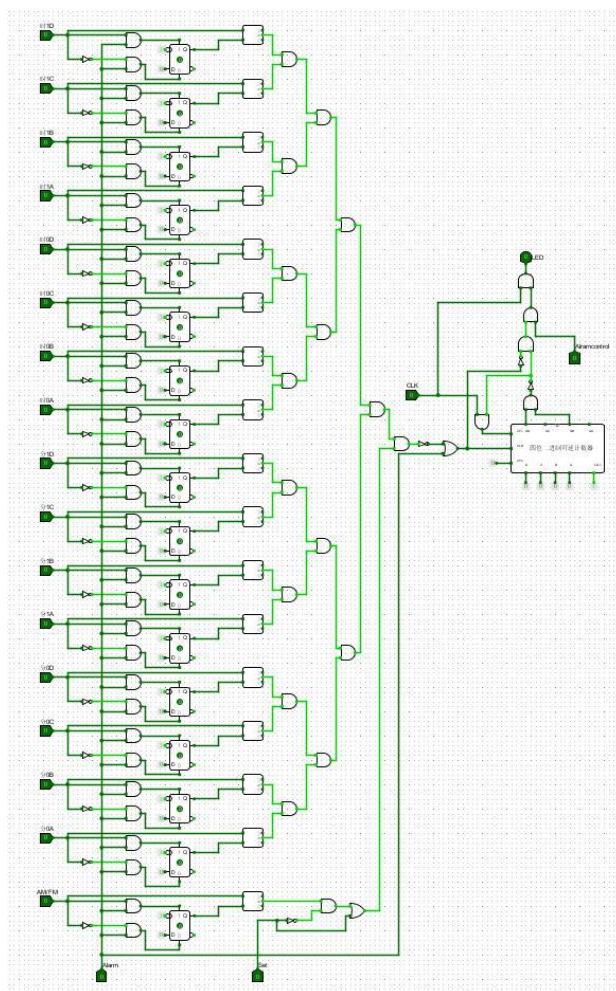


图 5-6 闹钟电路

(7) 多功能数字钟电路

通过 (1) - (6) 已完成的器件和电路将各个功能组合起来。

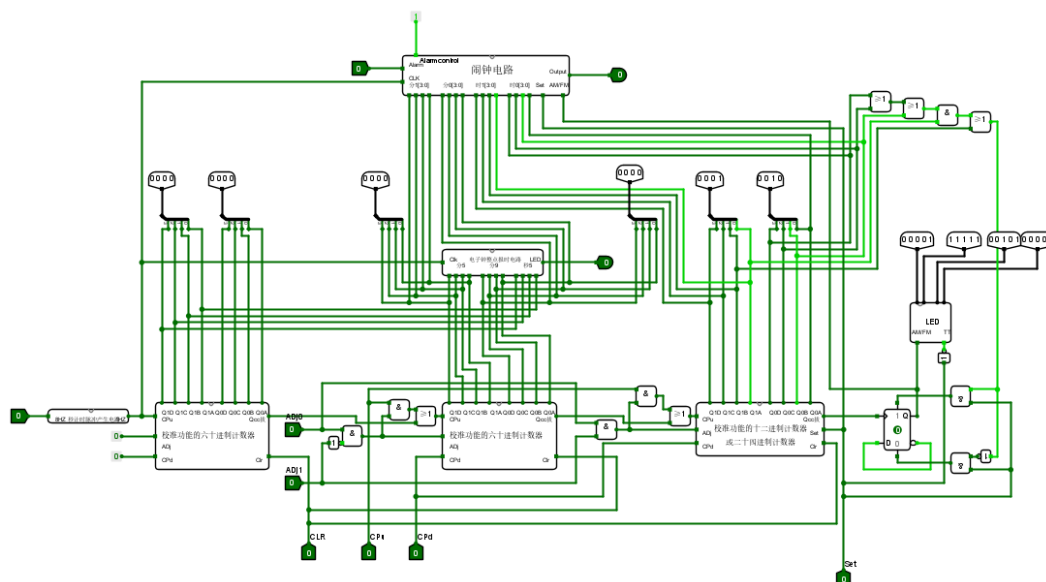


图 5-7 多功能数字钟电路

7. 实验结果记录

(1) 具有校准计数值的六十进制计数器电路测试

右侧用于检验进位输出

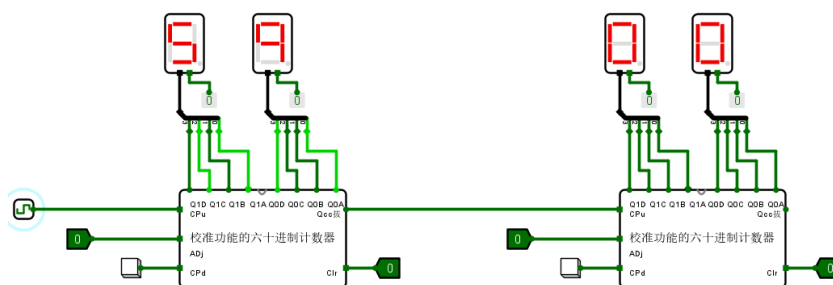
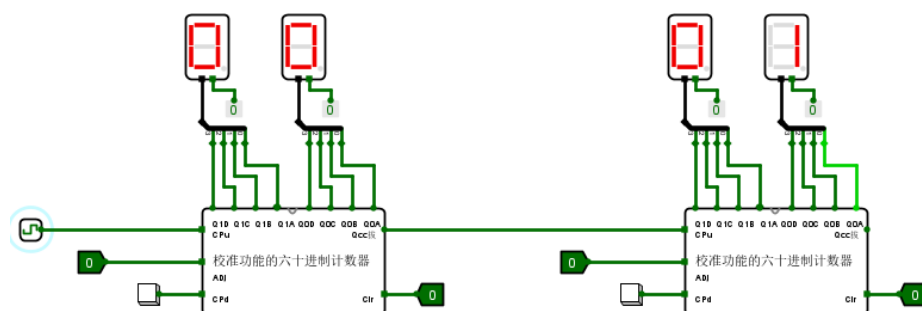
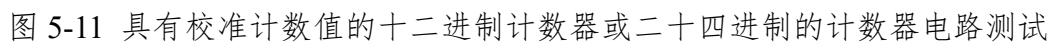
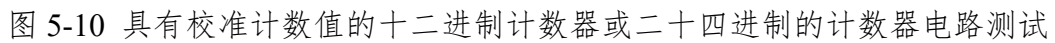


图 5-8 具有校准计数值的六十进制计数器电路测试



(2) 具有校准计数值的十二进制计数器或二十四进制的计数器电路测试

(2) 具有校准计数值的十二进制计数器或二十四进制的计数器电路测试



(3) 显示“上午”、“下午”的电路测试

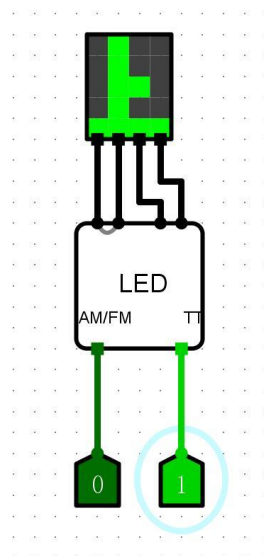


图 5-12 上午测试

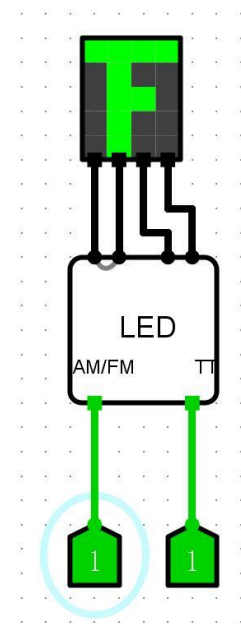


图 5-13 下午测试

(4) 电子钟整点报时电路测试

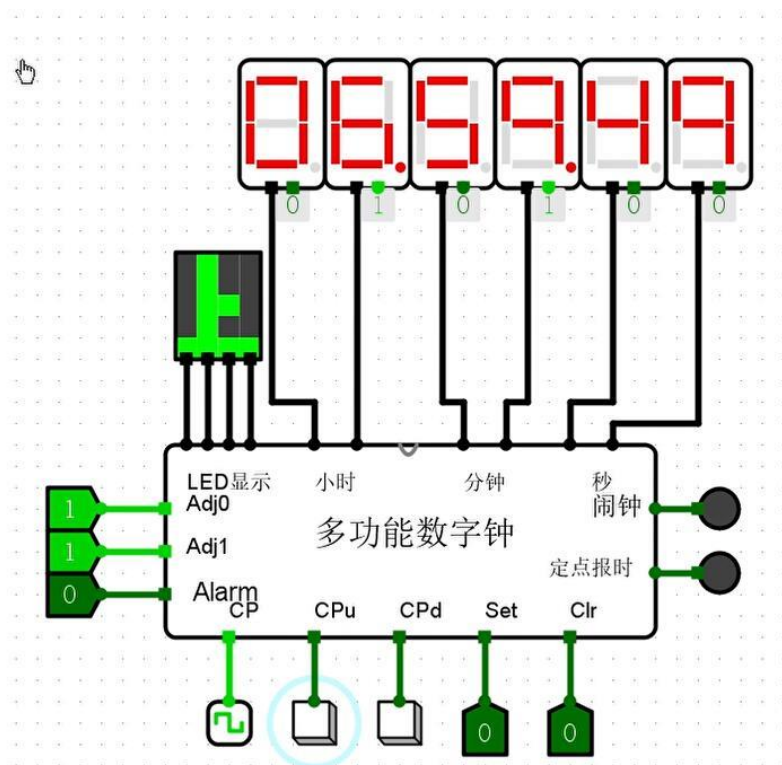


图 5-14 59 分 49 秒时情况

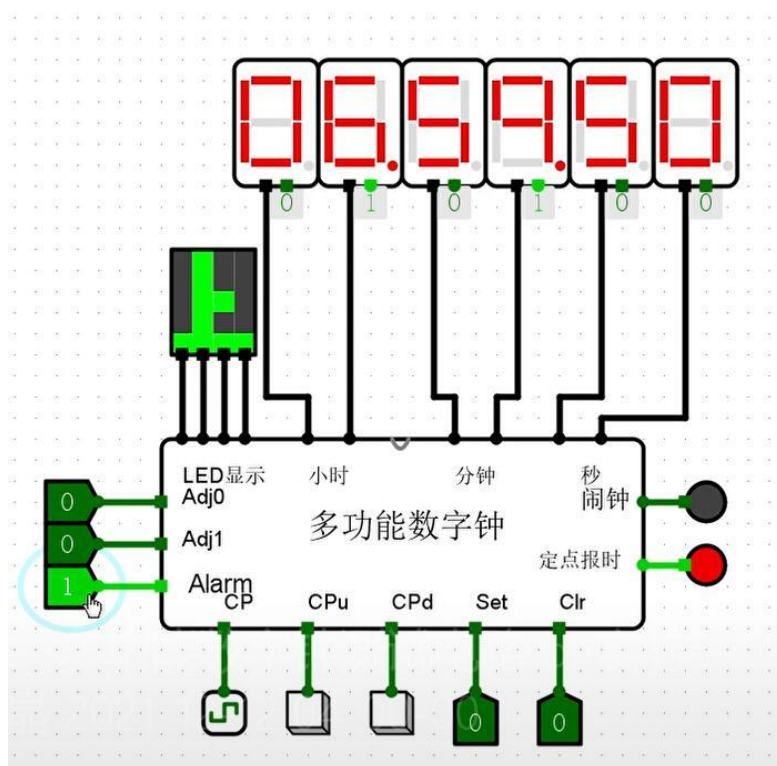


图 5-15 整点 59 分 50 秒开始报时

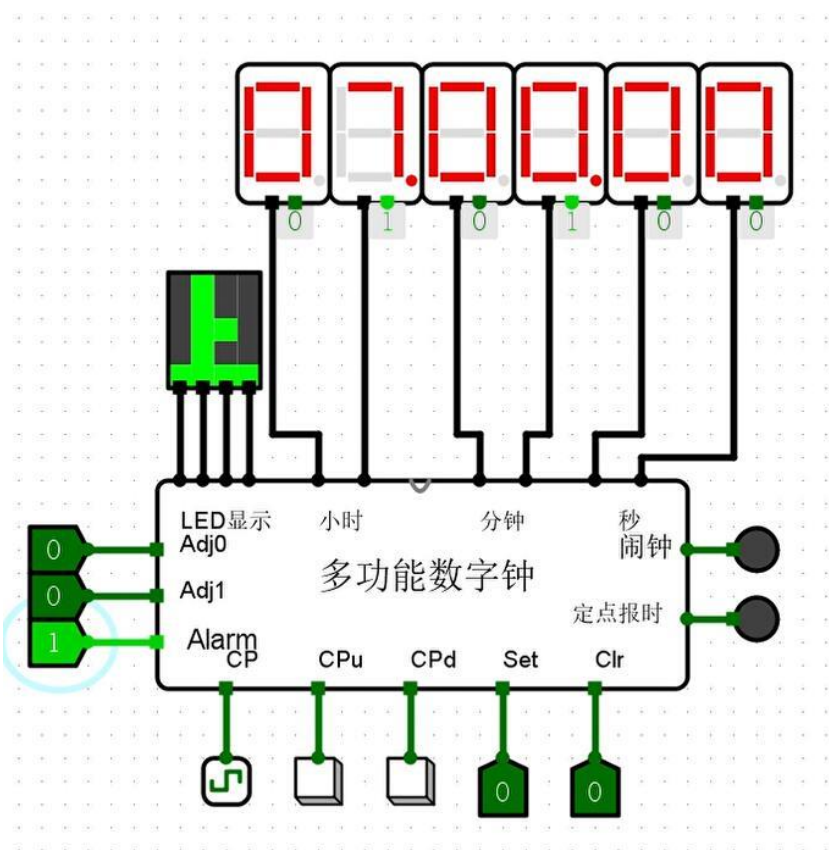


图 5-16 报时持续十秒

(5) 闹钟（选做）测试

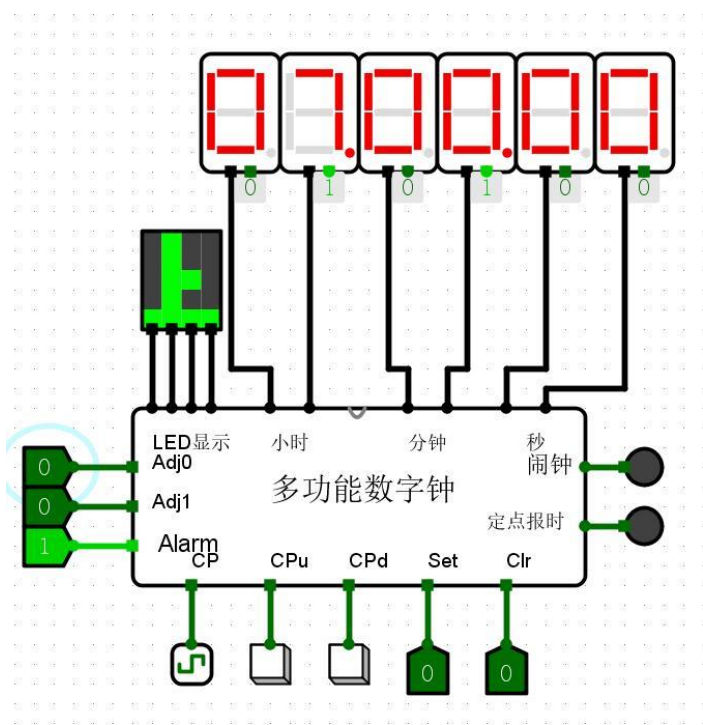


图 5-17 设置闹钟

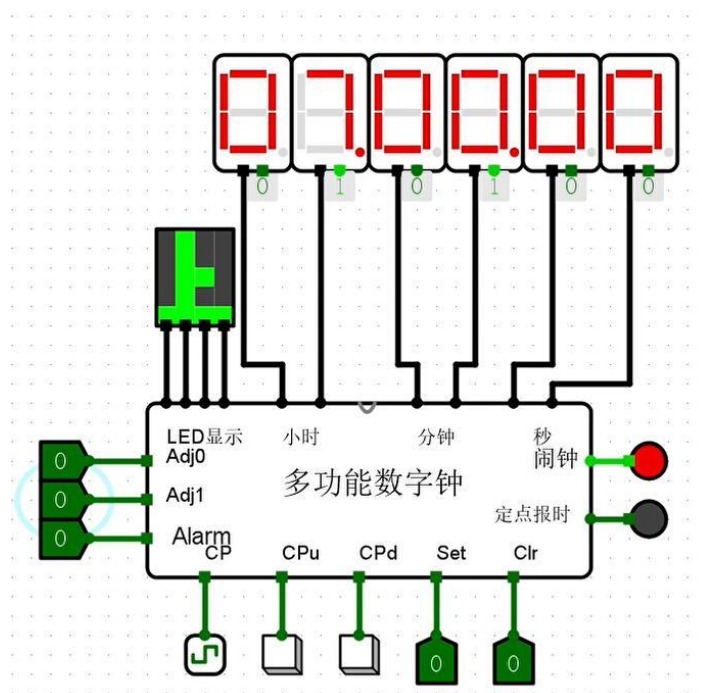


图 5-18 闹钟开始响铃

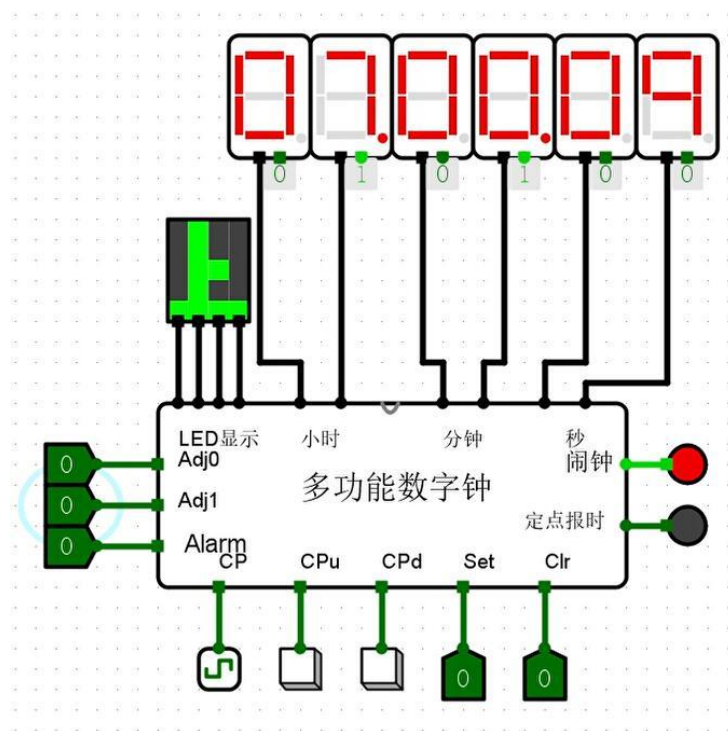


图 5-18 闹钟持续十秒

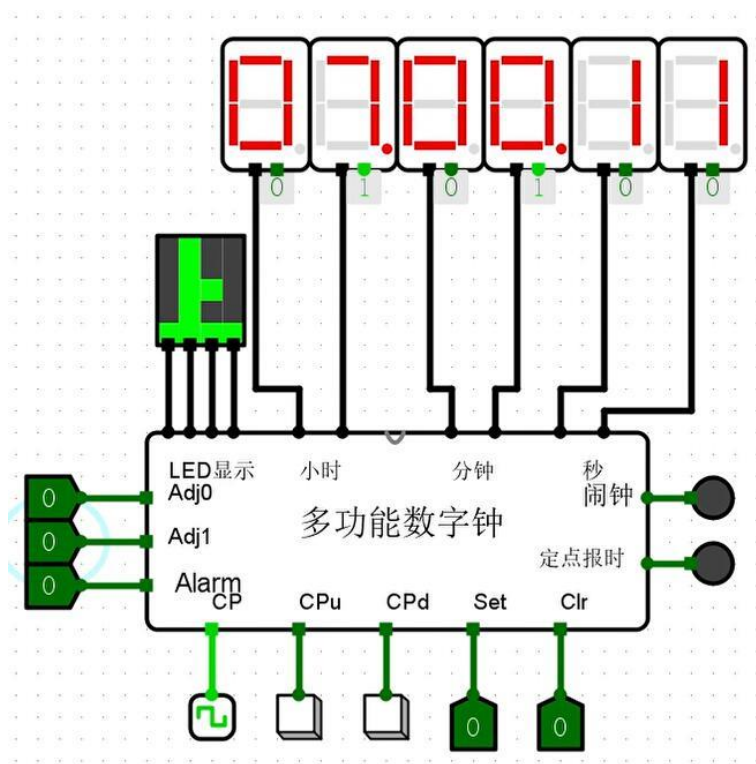


图 5-19 闹钟结束响铃

(6) 多功能数字钟电路测试

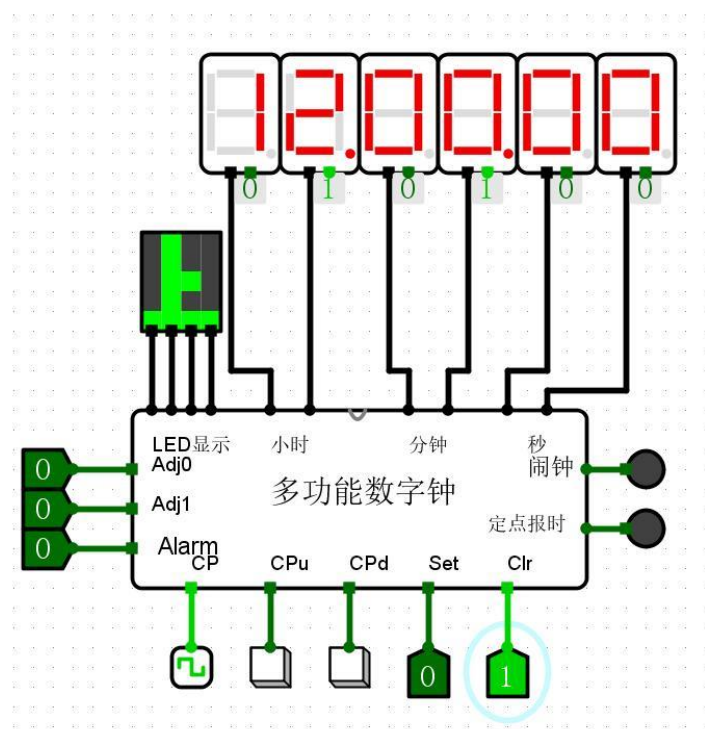


图 5-20 十二进制默认时间

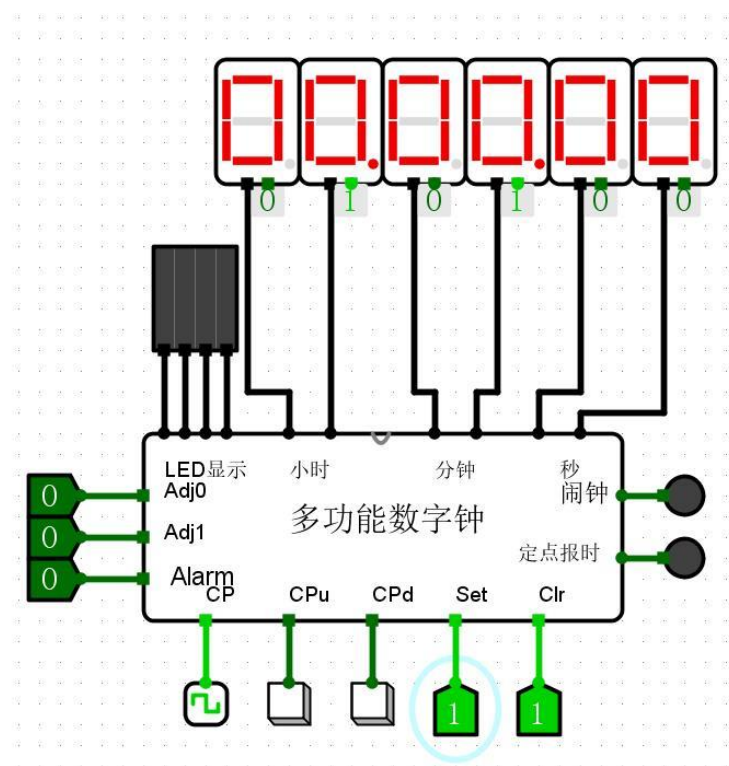


图 5-21 二十四进制默认时间

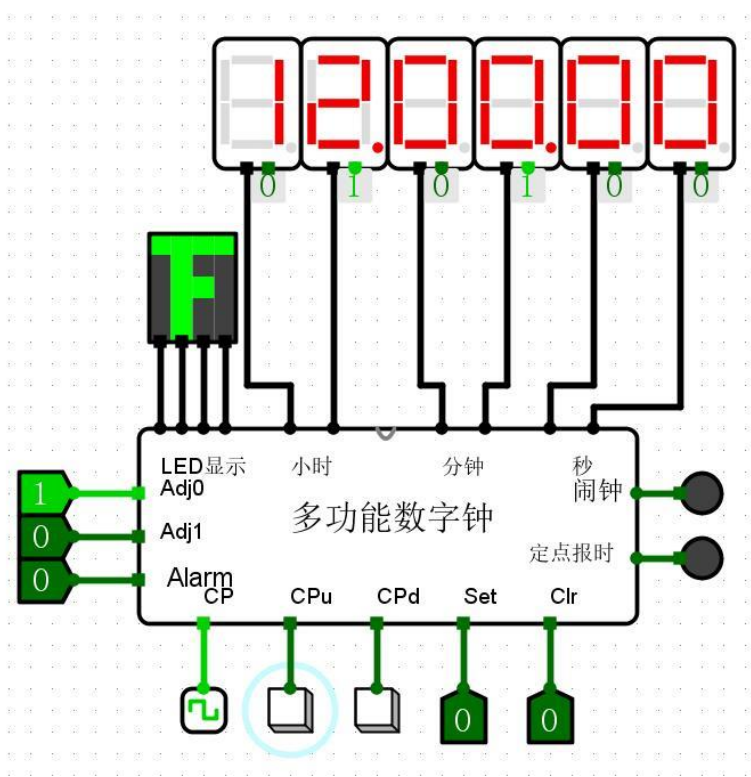


图 5-22 十二进制中午十二点

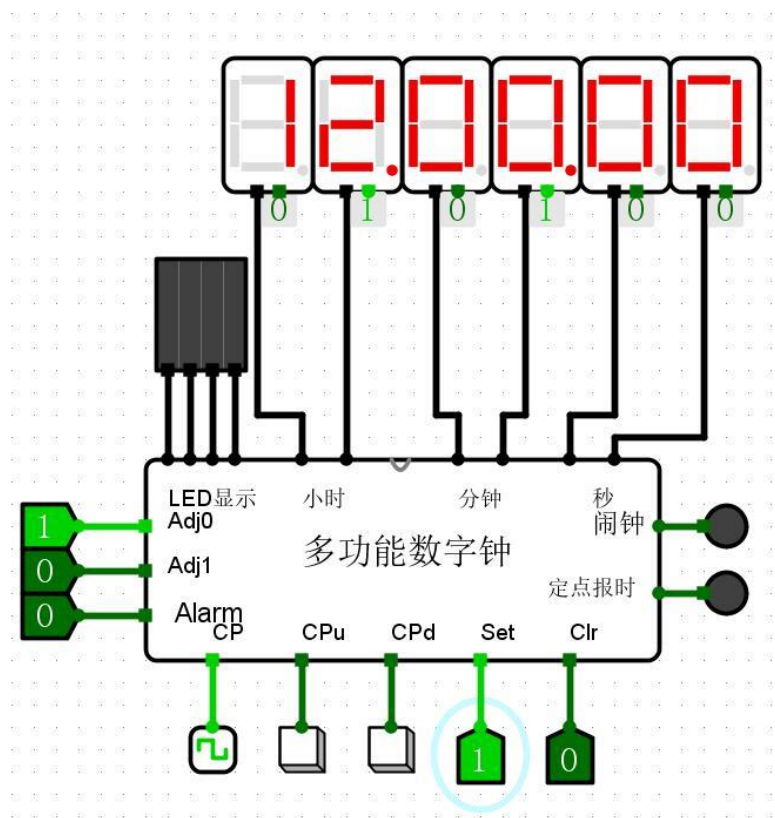


图 5-23 二十四进制中午十二点

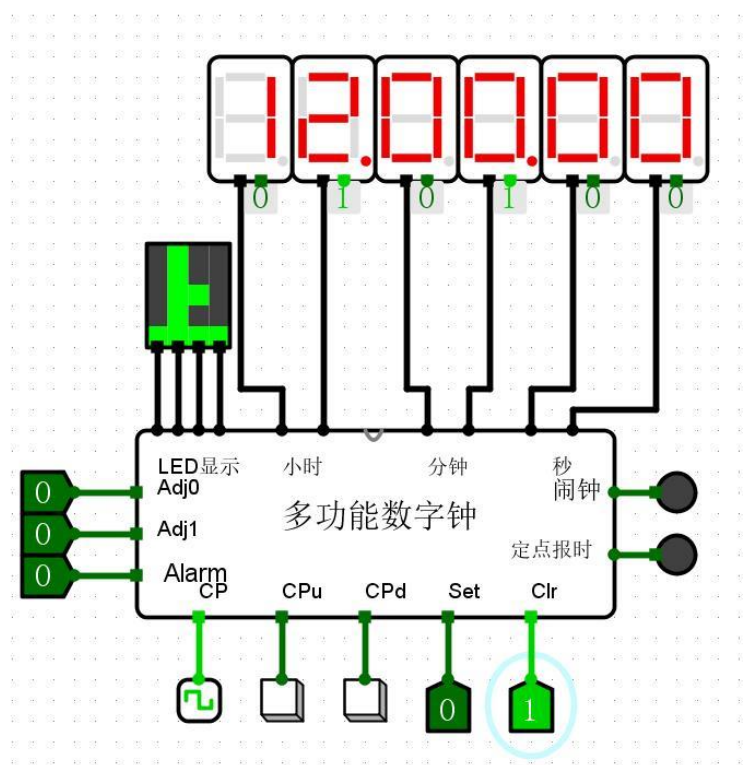


图 5-24 清零功能

8. 实验后的思考

在实验中我解决了很多困难。

对于十二进制计数器因为无零点的要求和二十四进制、六十进制计数器都有些不一样,要满十三时产生进位并且直接置一,且出来置 1 端还要考虑个位的置 9 端。所以具有校准功能的十二进制计数器个位的置 1 端和置 9 端的判断可以根据判断清零的信号来判断。

再对于进位时变为输出为 11 且 CPU 为高电平时产生进位; \sim LD 作用时要考虑十位的 CPD 是否有效,当十位的 CPD 有效时, \sim LD 需要变为低电平即预置端有效。进位时变为输出为 11 且 CPU 为高电平时产生进位; \sim LD 作用时要考虑十位的 CPD 是否有效,当十位的 CPD 有效时, \sim LD 需要变为低电平即预置端有效。