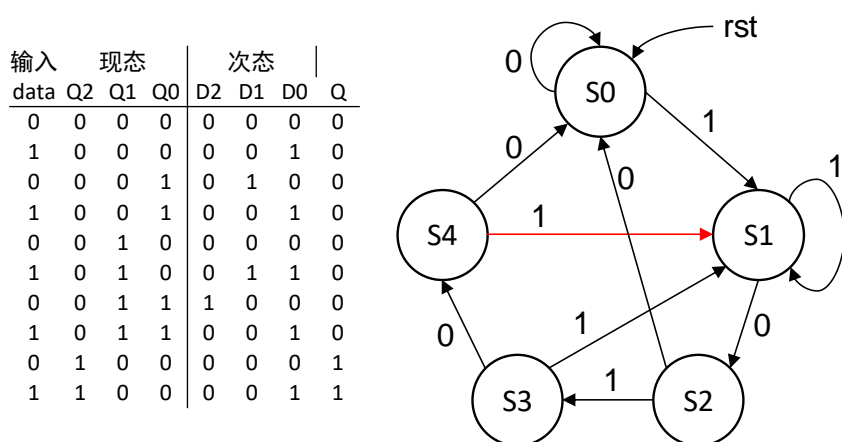


1. 某序列检测器，输入为 data，输出为 Q。当检测到 1010 时，Q 输出 1 个周期的 1，否则 Q 输出 0。给出状态机次态逻辑表达式和 Q 的逻辑表达式。注意：{1010} 为独立检测，不与后续序列拼接，即 {101010} 视为 1 次匹配成功。

答案：假设寄存器 D2D1D0 的编码 000、001、010、011 及 100 分别对应 S0 至 S4。由于 Q 输出宽度以周期为单位，因此 Q 只能是状态的函数，即该状态机是摩尔型状态机。



$$D2 = \overline{Q2} \cdot Q1 \cdot Q0 \cdot \overline{data}$$

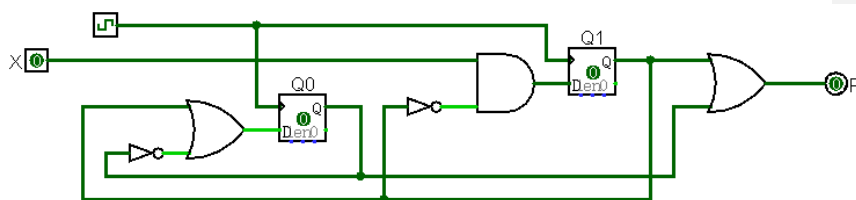
$$D1 = \overline{Q2} \cdot \overline{Q1} \cdot Q0 \cdot \overline{data} + \overline{Q2} \cdot Q1 \cdot \overline{Q0} \cdot data$$

$$D0 = \overline{Q2} \cdot data + \overline{Q1} \cdot \overline{Q0} \cdot data$$

$$Q = Q2 \cdot \overline{Q1} \cdot \overline{Q0}$$

批注 [高1]: 修正答案了

2. 状态机如下图所示。构造次态逻辑表达式和输出表达式，写出状态转换及输出表，画出状态图，分析状态机类型。



答案：

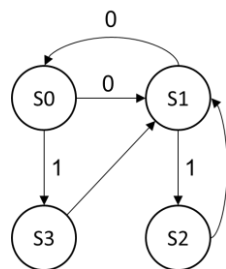
Moore 型状态机，因为 F 只与状态寄存器相关。

$$Q1 = \overline{Q1} \cdot X$$

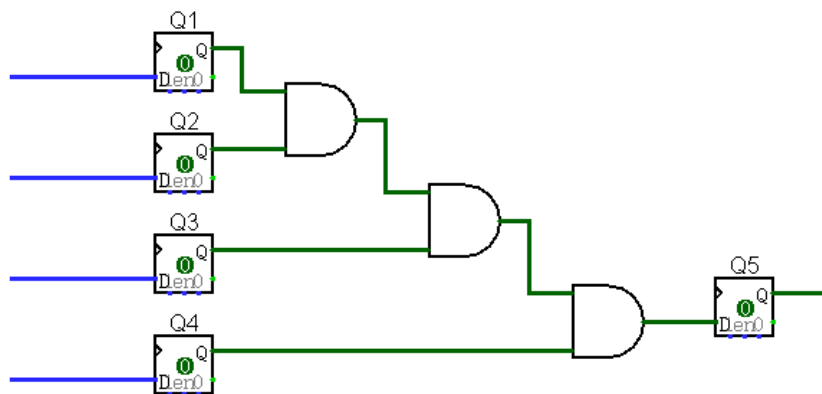
$$Q0 = Q1 + \overline{Q0}$$

$$F = Q1 + Q0$$

Q1	Q0	X	Q1 ⁿ	Q0 ⁿ	F	现态	X	次态
0	0	0	0	1	0	S0	0	S1
0	0	1	1	1	0	S0	1	S3
0	1	0	0	0	1	S1	0	S0
0	1	1	1	0	1	S1	1	S2
1	0	0	0	1	1	S2	0	S1
1	0	1	0	1	1	S2	1	S1
1	1	0	0	1	1	S3	0	S1
1	1	1	0	1	1	S3	1	S1



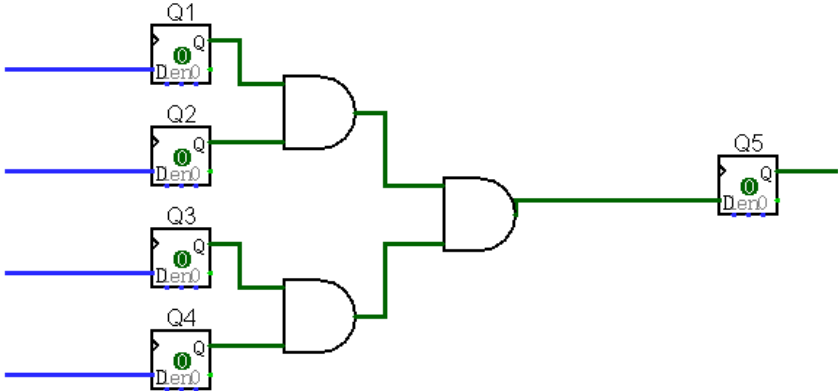
3. 对于如下电路，假设每个与门的延迟均为 T，连线延迟、寄存器固有延迟等均为 0。
- 计算关键路径的延迟以及寄存器的最大时钟频率。
 - 重构电路以提高时钟频率，并计算提高比例。



答案：

- 关键路径为 3 个 AND 门的串接，延迟为 3T。最大时钟频率为 1/3T。

b) 优化后为 2 层 AND，延迟为 2T。最大时钟频率为 1/2T，比原设计频率提高 50%。



4. 《数字设计和计算机体系结构》：第 3.20 题。

答案：

- 1) 由于输出与输入相关，因此这是一个 Meely 型状态机。
- 2) 2 个寄存器 Q1 和 Q0，编码值分别为：S0=0b00；S1=0b01；S2=0b10
- 3) 根据状态图得到如下真值表。关键点在于对 S2 转 S0 的分析（表中绿色部分。无论是否对于化简有用，都一定先补全！）

现态 S1S0	A	B	次态 S1S0	F
00	0	X	00	0
00	1	X	01	0
01	X	0	00	0
01	X	1	10	0
10	1	1	10	1
10	0	0	00	0
10	0	1	00	0
10	1	0	00	0

批注 [高2]: 修正答案了

4) 表达式如下：

$$S1 = \overline{S1} \cdot S0 \cdot B + S1 \cdot \overline{S0} \cdot A \cdot B$$

$$S0 = \overline{S1} \cdot \overline{S0} \cdot A$$

$$F = S1 \cdot \overline{S0} \cdot A \cdot B$$

批注 [高3]: 修正答案了

5) 功能：检测 A 和 B 先后输入为 1，此后 AB 同时为 1。

5. 用 D 触发器为核心，设计一个支持使能 (En 若为 0，则寄存器值不变)、预置

(Ld 为 1，则寄存器值为 1)、清除(Rst 为 1，则寄存器被清除)功能的寄存器。寄存器输入信号为 D，输出为 Q。所有控制信号都是同步控制信号。3 个信号的优先级从高到低为：Rst、Ld、En。

答案：

- 1) 因为 3 个控制信号都是同步控制信号，所以 D 触发器的输入端是 3 个控制信号及 D 的函数。

Rst	Ld	En	D	Q	D 触发器输入
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	Q	Q
0	0	1	0	X	0
0	0	1	1	X	1

- 2) 电路结构如下图

