

设计指南

N32G43X/N32L40X/N32L43X系列硬件设计指南

简介

本指南是为 N32G43X/N32L40X/N32L43X 系列 MCU 系统设计者提供的，以便对 N32G43X/N32L40X/N32L43X 系列 MCU 硬件实现的特性有一个总体认识，如供电、时钟管理、复位电路、调试接口等。该文档描述了应用 N32G43X/N32L40X/N32L43X 系列 MCU 开发所需要的最小硬件资源及其参考设计图。

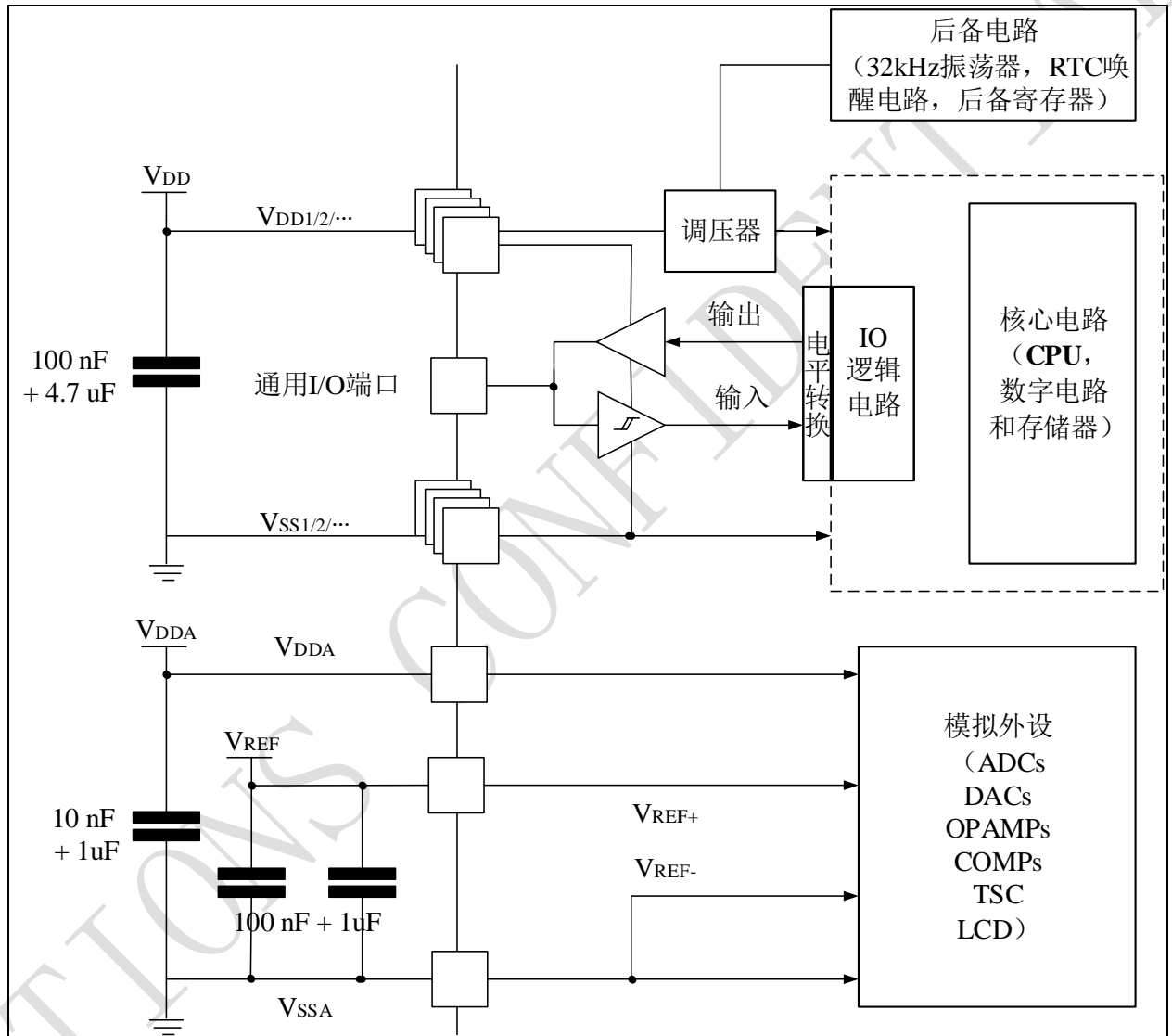
目录

1.	N32G43X/N32L40X/N32L43X 系列硬件设计.....	1
1.1	电源供电简介.....	1
1.2	供电方案.....	1
1.3	外部引脚复位电路.....	2
1.4	外部时钟电路.....	2
1.5	独立 ADC 转换器	2
1.6	调试接口.....	3
1.7	整体设计建议.....	3
1.8	PCB LAYOUT 参考	4
2.	声 明.....	6

1. N32G43X/N32L40X/N32L43X 系列硬件设计

1.1 电源供电简介

N32G43X/N32L40X/N32L43X 系列芯片工作电压 (VDD) 为 1.8V~3.6V。主要有电源区域有：VDD、VDDA、VLCD。具体请参考相关数据手册。具体请参考图 1-1 电源供应一览。



1.2 供电方案

主控制器供电方案：

电路由稳定的电源 VDD 供电。

VDD 引脚必须连接到带外部稳定电容(N 个 100nF 电容(N 按封装类型适配)和一个 4.7μF 电容)的 VDD 电源。

PCB LAYOUT 设计时，VDD_1 就近放两颗电容，分别为 4.7uF 和 0.1uF，其余 VDD 管脚就近放 0.1uF 电容。

1.3 外部引脚复位电路

当NRST引脚上出现低电平(外部复位) 将产生系统复位。外部NRST引脚复位参考电路如下。

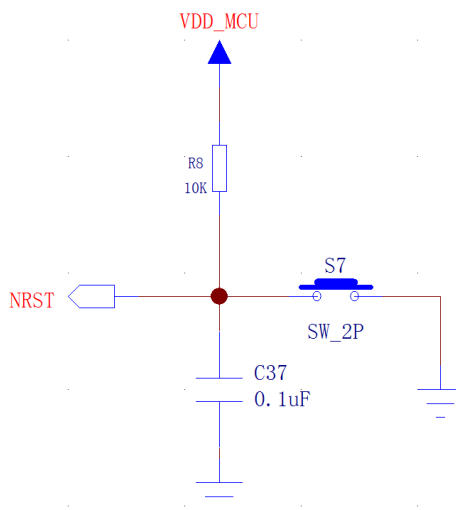


图 1-1 系统复位图

1.4 外部时钟电路

N32G43X/N32L40X/N32L43X 系列 MCU 包含 2 个外部时钟：主控制外部高速时钟 HSE（4MHz~32MHz）和主控制器外部低速时钟（32.768KHz）。

HSE 和 LSE 根据晶振特性配置相应的负载电容，详细请参考相关数据手册中外部时钟特性描述。

1.5 独立 ADC 转换器

为提高转换精度，ADC 有一个独立的电源供应，它可以被单独滤波和屏蔽以不受 PCB 噪音的干扰，一个独立的 VDDA 引脚给 ADC 供电，VSSA 引脚提供一个隔离的接地输入。

部分封装无 VDDA 引脚，详见数据手册。

关于 ADC 电路设计，请注意以下几点：

- 1) 若对 ADC 采样精度要求比较高，建议 VDDA 使用单独的 LDO 供电，外加并联电容进行滤波处理；
- 2) 若对 ADC 的采样速率要求较高，外部走线距离尽量短，降低外部阻抗，且需要做对地隔离；
- 3) ADC 的输入通道周边尽量远离一些快速的通讯接口；
- 4) 注意慢速通道和快速通道的最高支持速率；
- 5) 在 ADC 转换期间，不要软件切换 ADC 通道。

1.6 调试接口

N32G43X/N32L40X/N32L43X 系列芯片支持串行接口 (SWD) 和 JTAG 调试接口, 详细应用请参考相关用户手册。

1.7 整体设计建议

1) 印制电路板

出于技术的考虑, 最好使用有专门独立的接地层(VSS)和专门独立的供电层(VDD)的多层印制电路板, 这样能提供好的耦合性能和屏蔽效果。很多应用中, 受经济条件限制不能使用这样的印制电路板, 那么就需要保证一个好的接地和供电的结构。

2) 器件位置

为了减少 PCB 上的交叉耦合, 设计版图时就需要根据各自对 EMI 影响的不同, 而把不同的电路分开。比如, 大电流电路、低电压电路以及数字器件等。

3) 接地和供电(VSS, VDD)

每个模块(噪声电路、敏感度低的电路、数字电路)都应该单独接地, 所有的地最终都应都在一个点上连到一起。尽量避免或者减小回路的区域。为了减少供电回路的区域, 电源应该尽量靠近地线, 这是因为, 供电回路就像个天线, 成为 EMI 的发射器和接收器。PCB 上没有器件的区域, 需要填充为地, 以提供好的屏蔽效果(特别是对单层 PCB, 尤其如此)。

4) 去耦合

所有的引脚都需要适当地连接到电源。这些连接, 包括焊盘、连线和过孔应该具备尽量小的阻抗。通常采用增加连线宽度的办法, 包括在多层 PCB 中使用单独的供电层。同时各系列芯片在设计时, 每个电源引脚应该并联去耦合的滤波陶瓷电容 C(100nF)和化学电容 C(4.7μF)。这些电容应该尽可能的靠近电源/地引脚; 或者在 PCB 另一层, 处于电源/地引脚之下。典型值一般从 10nF 到 100nF, 具体的容值取决于实际应用的需要。下图显示了这样的电源/地引脚的典型布局。

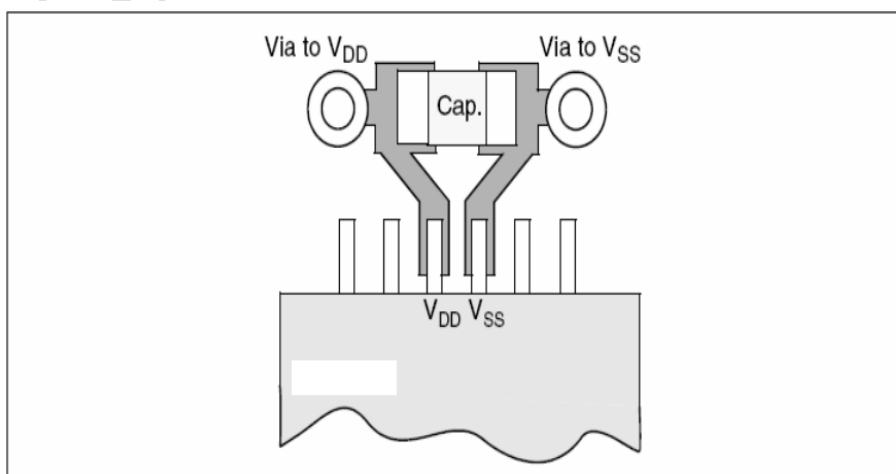


图 1-2 VDD/VSS 引脚的典型布局

实际应用中，关注以下几点可以提高 EMC 性能：

那些受暂时的干扰会影响运行结果的信号(比如中断或者握手抖动信号，而不是 LED 命令之类的信号)。对于这些信号，信号线周围铺地，缩短走线距离，消除邻近的噪声和敏感的连线都可以提高 EMC 性能。

对于数字信号，为有效地区别 2 种逻辑状态，必须能够达到最佳可能的信号特性余量。

5) 未用到的 I/O 及其特性

所有微控制器都为各种应用而设计，而通常的应用都不会用到所有的微控制器资源。为了提高 EMC 性能，不用的时钟、计数器或者 I/O 管脚，需要做相应处理，比如，I/O 端口应该被设置为'0'或'1'(对不用到的 I/O 引脚上拉或者下拉)；没有用到的模块应该禁止或者“冻结”。

1.8 PCB LAYOUT 参考

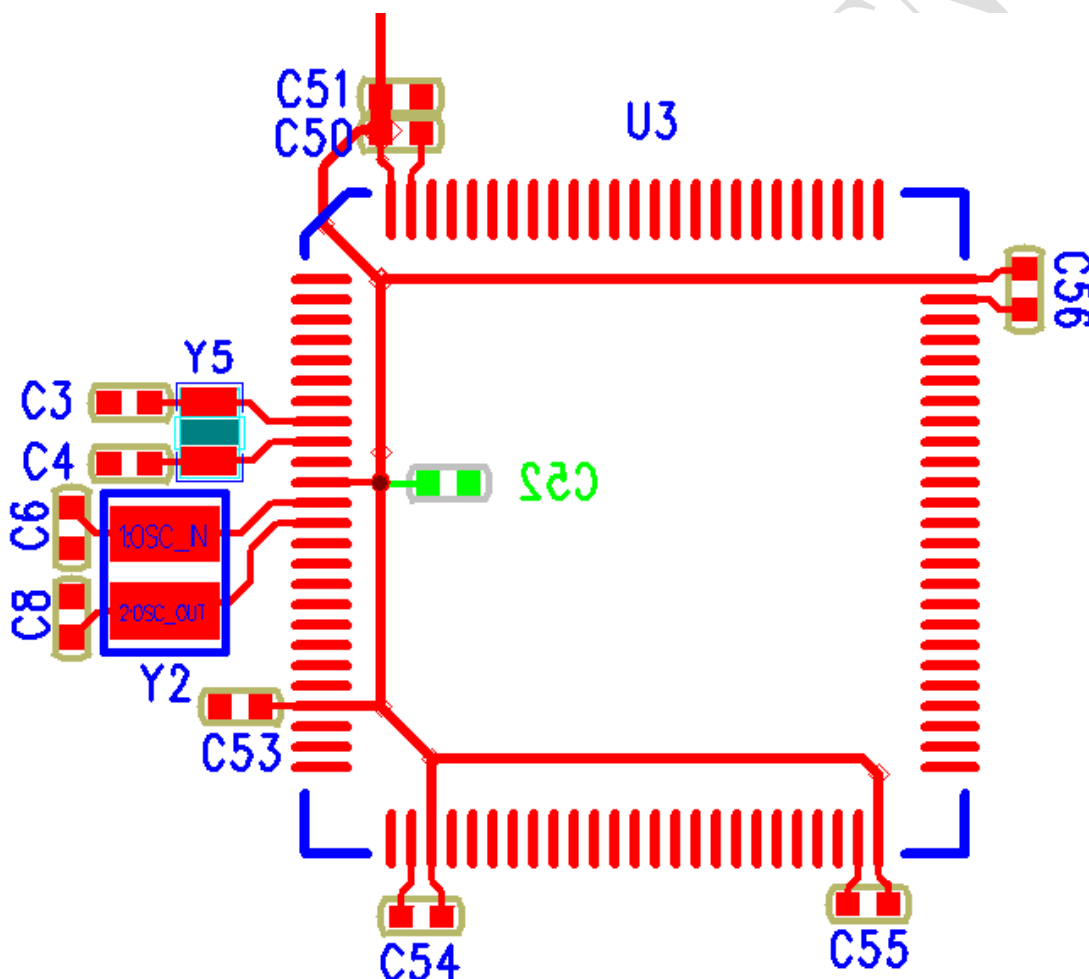


图 1-3 N32G43X/N32L40X/N32L43X 系列 PCB LAYOUT 参考图

版本	日期	备注
V1.0	2020-12-24	创建文档

2. 声 明

国民技术股份有限公司（以下简称国民技术）保有在不事先通知而修改这份文档的权利。国民技术认为提供的信息是准确可信的。尽管这样，国民技术对文档中可能出现的错误不承担任何责任。在购买前请联系国民技术获取该器件说明的最新版本。对于使用该器件引起的专利纠纷及第三方侵权国民技术不承担任何责任。另外，国民技术的产品不建议应用于生命相关的设备和系统，在使用该器件中因为设备或系统运转失灵而导致的损失国民技术不承担任何责任。国民技术对本文当拥有版权等知识产权，受法律保护。未经国民技术许可，任何单位及个人不得以任何方式或理由对本文档进行使用、复制、修改、抄录、传播等。