



Universidade Federal do Rio Grande Do Norte

Campus Central (Natal)

Relatório Técnico

Ênfase em Mecatrônica

Aluno: Mateus de Assis Silva.

Professor: Samaherni Moraes Dias

Disciplina: Circuitos Digitais - Laboratório

Implementação de Circuitos Combinacionais em Protoboard

Introdução:

Quando Claude Shannon delimitou a ideia de que pode-se utilizar chaves como uma forma de implementação de equações booleanas [1], uma gama de aplicações de controle digital passaram a ser possíveis. Os circuitos digitais a base de chaveamento (através de transistores CMOS) executam operações que podem ser abstraídas como portas lógicas [2].

Pode-se construir um controlador digital ao capturar a funcionalidade que desejamos numa tabela verdade, e depois passar esse comportamento para uma função booleana. Por fim, basta implementar essas funções num circuito lógico [3].

A segunda atividade envolve a construção de um circuito capaz de controlar um *display* de 7 segmentos. Com a mudança das entradas, visa-se apresentar um conjunto finito de mensagens.

O objetivo dessa atividade é aplicar os conhecimentos teóricos em Álgebra Booleana e em Eletrônica.

Metodologia:

Para realizar tal prática, em primeira instância, assumiu-se algumas premissas. Considera-se as entradas do *display* como saídas digitais do nosso circuito controlador. Como existem 7 *leds*, considera-se a existência de saídas: S0, S1, S2, S3, S4, S5 e S6.

As mensagens que deseja-se obter se vêem abaixo.

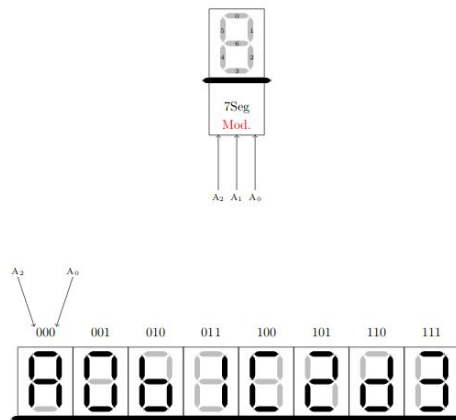


Figura 1: Conjunto de mensagens.

Ora, dado que existem três (3) entradas (A0, A1 e A2) para cada uma das sete (7) saídas, devemos criar uma tabela verdade que captura o comportamento desejado dos *leds*. Tal tabela pode ser observada logo abaixo.

A ₂	A ₁	A ₀	S ₀	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆
0	0	0	1	1	1	0	1	1	1
0	0	1	1	1	1	1	1	1	0
0	1	0	0	0	1	1	1	1	1
0	1	1	0	1	0	1	0	0	0
1	0	0	1	0	0	1	1	1	0
1	0	1	1	1	0	1	1	0	1
1	1	0	0	1	1	1	1	0	1
1	1	1	1	1	1	1	0	0	1

Figura 2: Tabela Verdade.

Após obter-se a tabela verdade, capturou-se o comportamento das saídas já mencionadas através de soma de produtos. Devido a complexidade encontrada, as expressões deduzidas foram longas e necessitou-se realizar simplificações. Tais resumos podem ser vistos no anexo A. Ao fim desse processo, as expressões foram utilizadas para gerar novos valores, que foram comparados com a tabela verdade original, para certificar que estavam corretas.

As equações obtidas foram:

Tabela 1: Equações Booleanas.

Saída	Expressão
S0	$A1' + A2A0$
S1	$A0 + A2A1 + A2'A1'$
S2	$A1 + A2'$
S3	$A1'A0 + A1A0' + A2$
S4	$A1' + A0'$
S5	$A1'A2' + A2'A0' + A1'A0'$
S6	$A2'A0' + A2A0 + A2A1$

Após a confecção das equações, notou-se o aparecimento de 11 somas e 11 produtos. Assim sendo, optou-se por utilizar 3 circuitos integrados (CIs) 7432 (portas digitais OU) e 3 CIs 7408 (portas E) e apenas um CI 7400 (portas NÃO). Tais componentes são visualizados abaixo, junto a outros.



Figura 3: Alguns Componentes.

Por fim, bastou construir os diagramas esquemáticos com as portas lógicas, de forma a facilitar a visualização durante a conexão dos componentes. Esses se encontram no anexo B.

O início da implementação do circuito contou com a checagem das fontes de alimentação. Após conferida, conectou-se o *switch* e o *display*, com seus resistores de aproximadamente 470Ω . Os resistores do *display* são colocados para evitar uma possível queima, devido à corrente. Os resistores do *switch* servem para garantir que a tensão que chega ao circuito estará sempre em nível baixo, quando não em nível alto, sem queimar a fonte. Alguns registros dessa etapa são vistos abaixo.



Figura 4: Fonte de Tensão



Figura 5: Medição da Tensão.

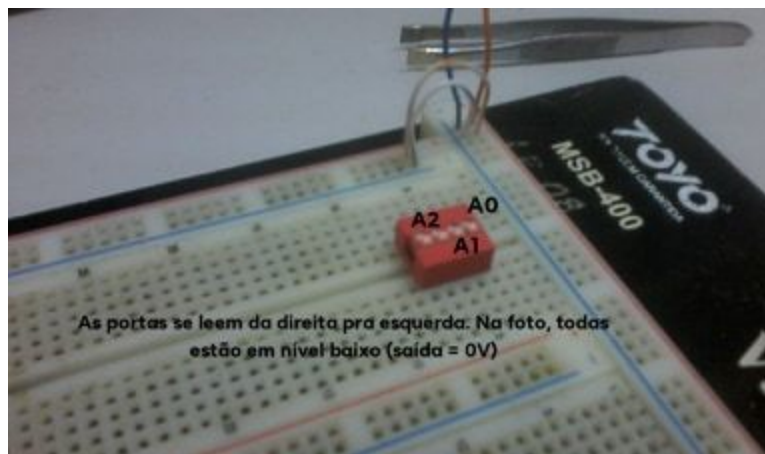


Figura 6: Switch com convenção.

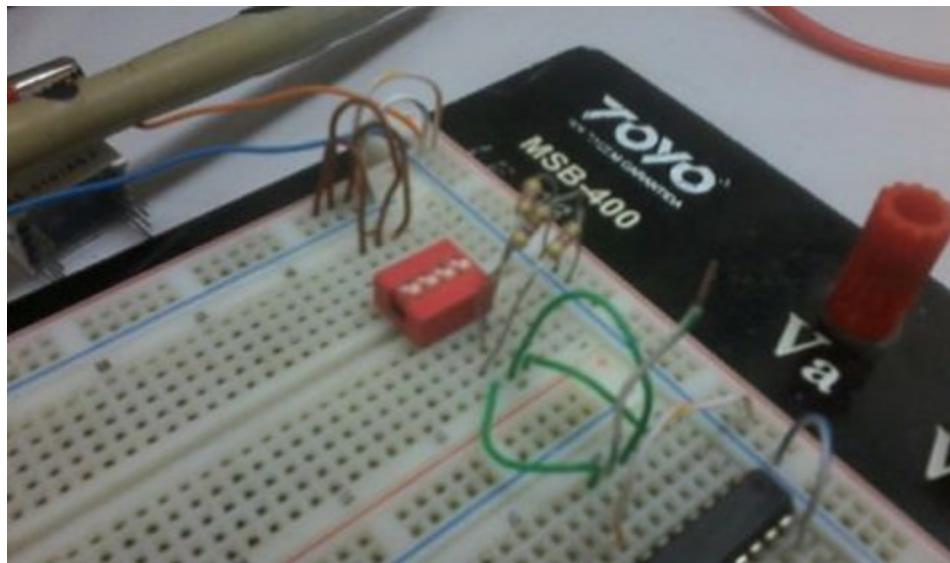


Figura 7: Switch e seus resistores.

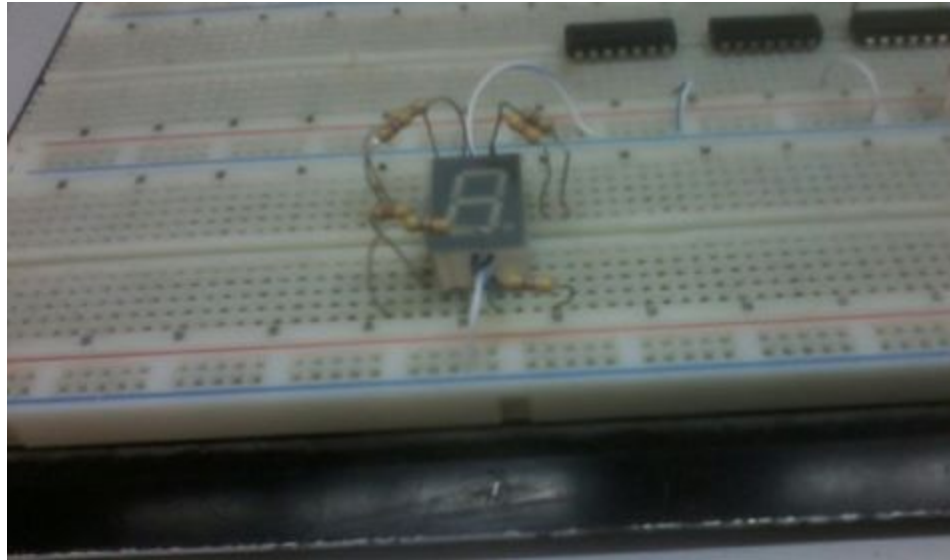


Figura 8: *Display* e seus resistores.

Após a conexão desses componentes, adicionou-se o CI 7404 para gerar um barramento de sinais negados. Adotou-se a convenção de que fios em verde sólido se refeririam ao sinal original, enquanto que fios em branco listrado de verde conteriam sinais negados.

Desse ponto do projeto em diante, focou-se em construir cada um dos circuitos de controle, conectando os componentes utilizando fios e testando a continuidade do sinal. Ao ser concluída cada etapa, variava-se as posições das chaves buscando gerar as combinações da tabela verdade e suas saídas, de forma a debugar o circuito. Alguns registros do processo de implementação são vistas no Anexo C.

Resultados:

Os resultados do experimento foram testados ao longo do processo de implementação, e são vistos no último anexo. Aqui serão exibidos os resultados finais, previstos nos objetivos do projeto.

Com a implementação concluída, variou-se as posições das chaves para gerar todas as combinações possíveis das entradas. Assim, conseguiu-se as seguintes saídas.

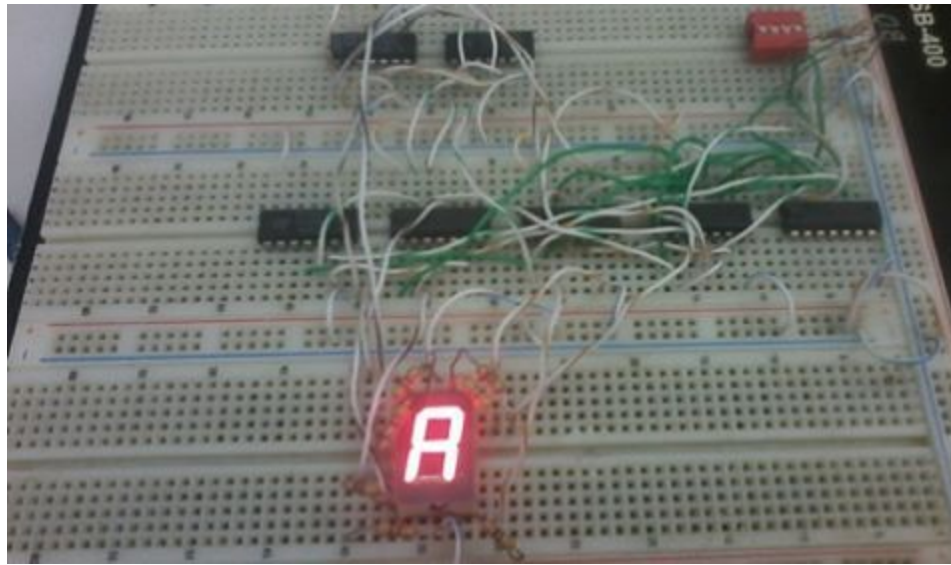


Figura 9: Configuração 000.



Figura 10: Configuração 001.

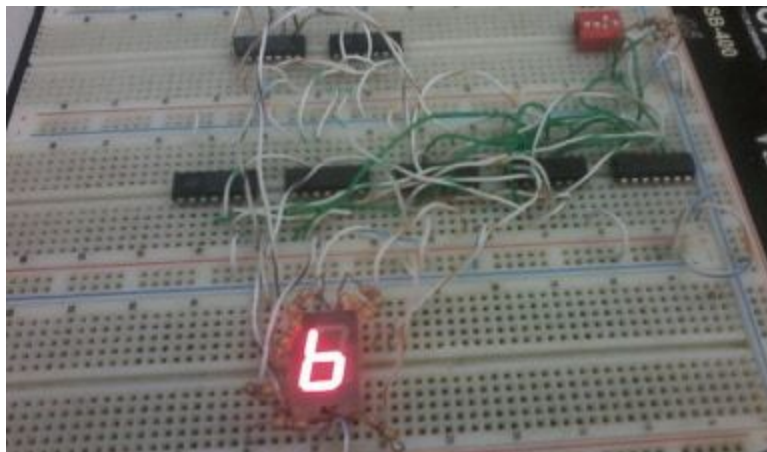


Figura 11: Configuração 010.

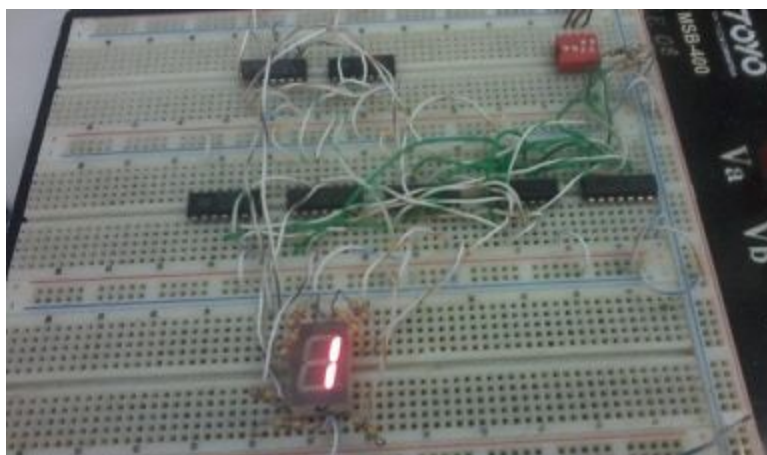


Figura 12: Configuração 011.

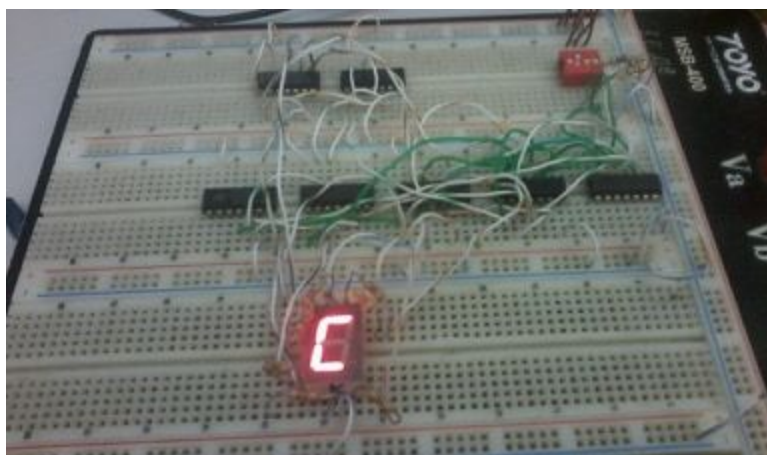


Figura 13: Configuração 100.

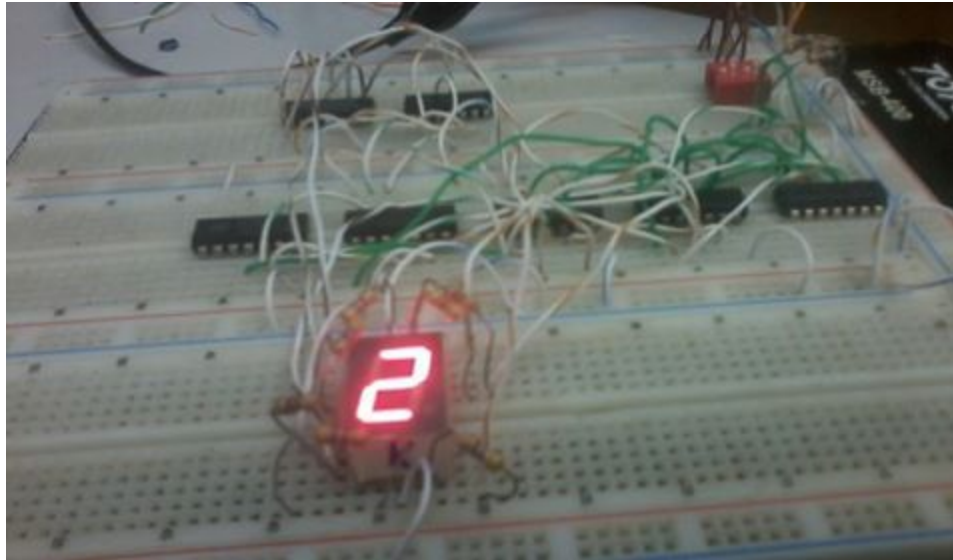


Figura 14: Configuração 101.

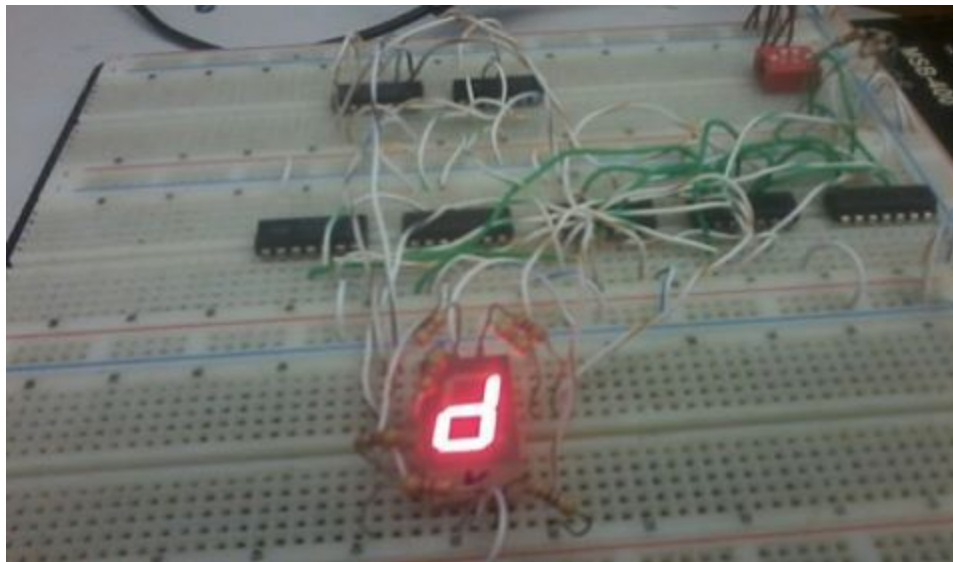


Figura 15: Configuração 110.

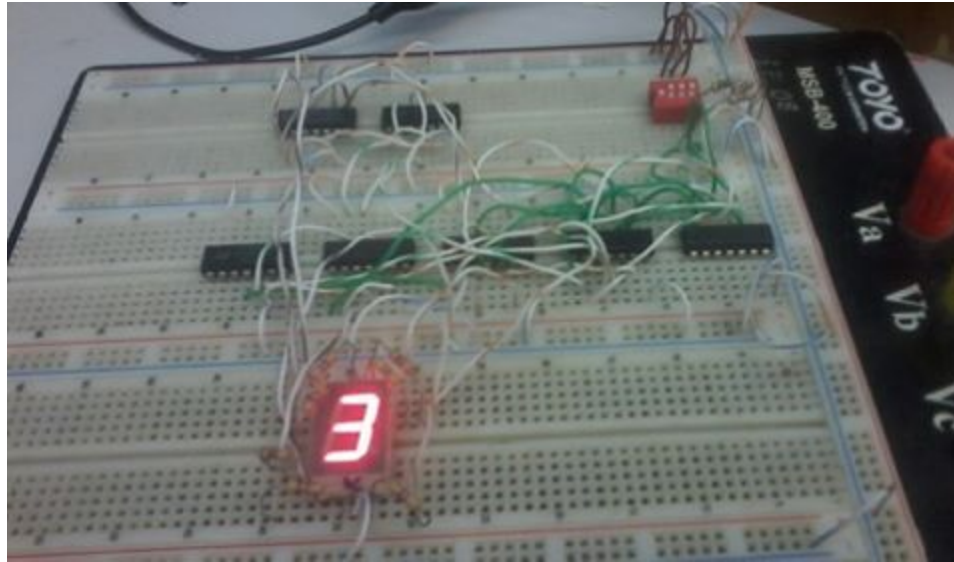


Figura 16:Configuração 111.

Conclusão:

Ao longo do experimento, notou-se algumas dificuldades que surgem ao lidar-se com implementação de circuitos. Mal contato nos fios e nos CIs são os principais. Isso demonstra a importância de sempre testar a continuidade do sinal.

Outro problema encontrado é a facilidade de se confundir ao longo da implementação. Assim, manter sempre um padrão (como cor de fios e/ou seguir a coloração do barramento) facilita o processo de conectar os componentes.

Por fim, notou-se a necessidade de simplificar ao máximo as expressões, dado que a densidade de fios aumenta, no mínimo, linearmente, com o aumento da quantidade de produtos.

Referências:

[1] Sistemas Digitais - Projetos de Otimização e HDLs. Vahid, Frank - Bookman Editora. 2008. P.56.

[3] Sistemas Digitais - Projetos de Otimização e HDLs. Vahid, Frank - Bookman Editora. 2008. P.57.

[4] Sistemas Digitais - Projetos de Otimização e HDLs. Vahid, Frank - Bookman Editora. 2008. P.83.

Anexo A: Simplificações

Agora que capturamos o funcionamento da nossa circuito/função, vamos simplificar as equações:

$$\begin{aligned}
 S_0 &= (\overline{A_0} \overline{A_1} \overline{A_2} + \overline{A_2} \overline{A_1} A_0) + (A_0 \overline{A_1} \overline{A_2} + A_2 \overline{A_1} A_0) + A_2 A_1 A_0 = \overline{A_2} \overline{A_1} (A_0 + \overline{A_0}) + A_2 \overline{A_1} (A_0 + \overline{A_0}) + A_2 A_1 A_0 \\
 &= \overline{A_2} \overline{A_1} + A_2 \overline{A_1} + A_2 A_1 A_0 = \overline{A_2} \overline{A_1} + A_2 (\overline{A_1} + A_1 A_0) = \overline{A_2} \overline{A_1} + A_2 (\overline{A_1} + A_0) = \overline{A_2} \overline{A_1} + A_2 \overline{A_1} + A_2 A_0 \\
 S_1 &= \overline{A_1} (\overline{A_0} + A_2) + A_2 A_0 = \overline{A_1} + A_2 A_2 \quad \text{correto!} \\
 \\
 S_2 &= (\overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_2} \overline{A_1} A_0) + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} A_0 + (A_2 A_1 \overline{A_0} + A_2 A_1 A_0) = \\
 &= \overline{A_2} \overline{A_1} (\overline{A_0} + A_0) + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} A_0 + A_2 A_1 (\overline{A_0} + A_0) = \overline{A_2} \overline{A_1} + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} A_0 + A_2 A_1 = \\
 &= \overline{A_2} (\overline{A_1} + A_1 \overline{A_0}) + A_2 (\overline{A_1} A_0 + A_1) = \overline{A_2} (\overline{A_1} + A_0) + A_2 (\overline{A_1} + A_0) = \overline{A_2} \overline{A_1} + \overline{A_2} A_0 + A_2 \overline{A_1} + A_2 A_0 = \\
 &= \overline{A_2} \overline{A_1} + A_2 \overline{A_1} + A_2 A_0 = \overline{A_0} + A_2 A_1 + \overline{A_2} \overline{A_1} \\
 \\
 S_3 &= (\overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_2} \overline{A_1} A_0) + (\overline{A_2} A_1 \overline{A_0} + \overline{A_2} A_1 A_0) + (A_2 A_1 \overline{A_0} + A_2 A_1 A_0) = \overline{A_2} \overline{A_1} (\overline{A_0} + A_0) + \overline{A_2} A_1 (\overline{A_0} + A_0) + \\
 &\quad + A_2 A_1 (\overline{A_0} + A_0) = \overline{A_2} \overline{A_1} + \overline{A_2} A_1 + A_2 A_1 = \overline{A_2} + A_2 A_1 = \\
 S_4 &= \overline{A_2} + A_2 A_1
 \end{aligned}$$

$$\begin{aligned}
 S_3 &= \overline{A_2} \overline{A_1} A_0 + (\overline{A_2} A_1 \overline{A_0}) + (\overline{A_2} A_1 A_0 + A_2 \overline{A_1} A_0) + (A_2 A_1 \overline{A_0}) + A_2 A_1 A_0 = \\
 &= \overline{A_2} \overline{A_1} A_0 + A_2 \overline{A_1} (\overline{A_0} + A_0) + A_1 \overline{A_2} (\overline{A_0} + A_0) + A_2 A_1 A_0 = \\
 &= \overline{A_2} \overline{A_1} A_0 + A_2 \overline{A_1} + A_1 \overline{A_2} + A_2 A_1 A_0 = \overline{A_1} (\overline{A_2} A_0 + A_2) + A_1 (\overline{A_2} + A_2 A_0) = \overline{A_1} (A_0 + A_2) + \\
 &\quad + A_1 (\overline{A_2} + A_2) = \overline{A_1} A_0 + \overline{A_1} A_2 + A_1 \overline{A_2} + A_1 A_2 = A_2 (A_1 + \overline{A_1}) + \overline{A_1} A_0 + A_1 \overline{A_0} = \overline{A_2} A_2 + A_1 \overline{A_1} + A_2 = \\
 \\
 S_4 &= [\overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_2} \overline{A_1} A_0] + \overline{A_2} A_1 \overline{A_0} + (A_2 A_1 \overline{A_0}) + A_2 \overline{A_1} A_0 + (A_2 A_1 A_0) = \\
 &= \overline{A_2} \overline{A_1} (A_0 + \overline{A_0}) + A_2 \overline{A_0} (\overline{A_1} + A_1) + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} A_0 = \\
 &= [\overline{A_2} \overline{A_1}] + [A_2 \overline{A_0}] + [\overline{A_2} \overline{A_1} A_0] + [\overline{A_2} A_1 \overline{A_0}] = \overline{A_2} (A_2 + \overline{A_2} A_1) + \overline{A_1} (A_2 A_0 + \overline{A_2}) = \\
 &= \overline{A_0} (A_2 + A_1) + \overline{A_1} (\overline{A_2} + A_0) = \overline{A_0} A_2 + \overline{A_0} A_1 + \overline{A_1} \overline{A_2} + \overline{A_1} A_0 \quad \text{there's a shorter expression...} \\
 \\
 S_5 &= \overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_2} \overline{A_1} A_0 + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} A_0 = \\
 &= (\overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_2} \overline{A_1} A_0) + (\overline{A_2} A_1 \overline{A_0} + \overline{A_2} A_1 A_0) + (A_2 \overline{A_1} \overline{A_0} + A_2 \overline{A_1} A_0) = \\
 &= \overline{A_2} \overline{A_1} (\overline{A_0} + A_0) + \overline{A_2} A_1 (\overline{A_0} + A_0) + A_2 \overline{A_1} (\overline{A_0} + A_0) = \\
 &= \overline{A_2} \overline{A_1} + \overline{A_2} A_1 + A_2 \overline{A_1} = \overline{A_0} + A_2 A_1 + \overline{A_2} \overline{A_1}
 \end{aligned}$$

$$\begin{aligned}
 S_2 &= \overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} A_0 + A_2 A_1 \overline{A_0} + A_2 A_1 A_0 \\
 &= (\overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_2} A_1 \overline{A_0}) + (A_2 \overline{A_1} A_0 + A_2 A_1 A_0) + (A_2 A_1 \overline{A_0} + A_2 A_1 A_0) \\
 &= \overline{A_2} \overline{A_0} (A_1 + \overline{A_1}) + A_2 A_0 (A_1 + \overline{A_1}) + A_2 A_1 (A_0 + \overline{A_0}) \\
 &= \overline{A_2} \overline{A_0} + A_2 A_0 + A_2 A_1
 \end{aligned}$$

S_2	$\overline{A_2} \overline{A_0}$	$\overline{A_2} A_0$	$A_2 A_0$	$A_2 A_1$
$\overline{A_2}$	1	1	0	0
A_2	0	0	1	1

$$\Rightarrow S_2 = \overline{A_2} + A_2$$

S_2	$\overline{A_2} \overline{A_0}$	$\overline{A_2} A_0$	$A_2 A_0$	$A_2 A_1$
$\overline{A_2}$	1	1	0	0
A_2	0	0	1	1

$$\Rightarrow S_2 = \overline{A_2} + A_2$$

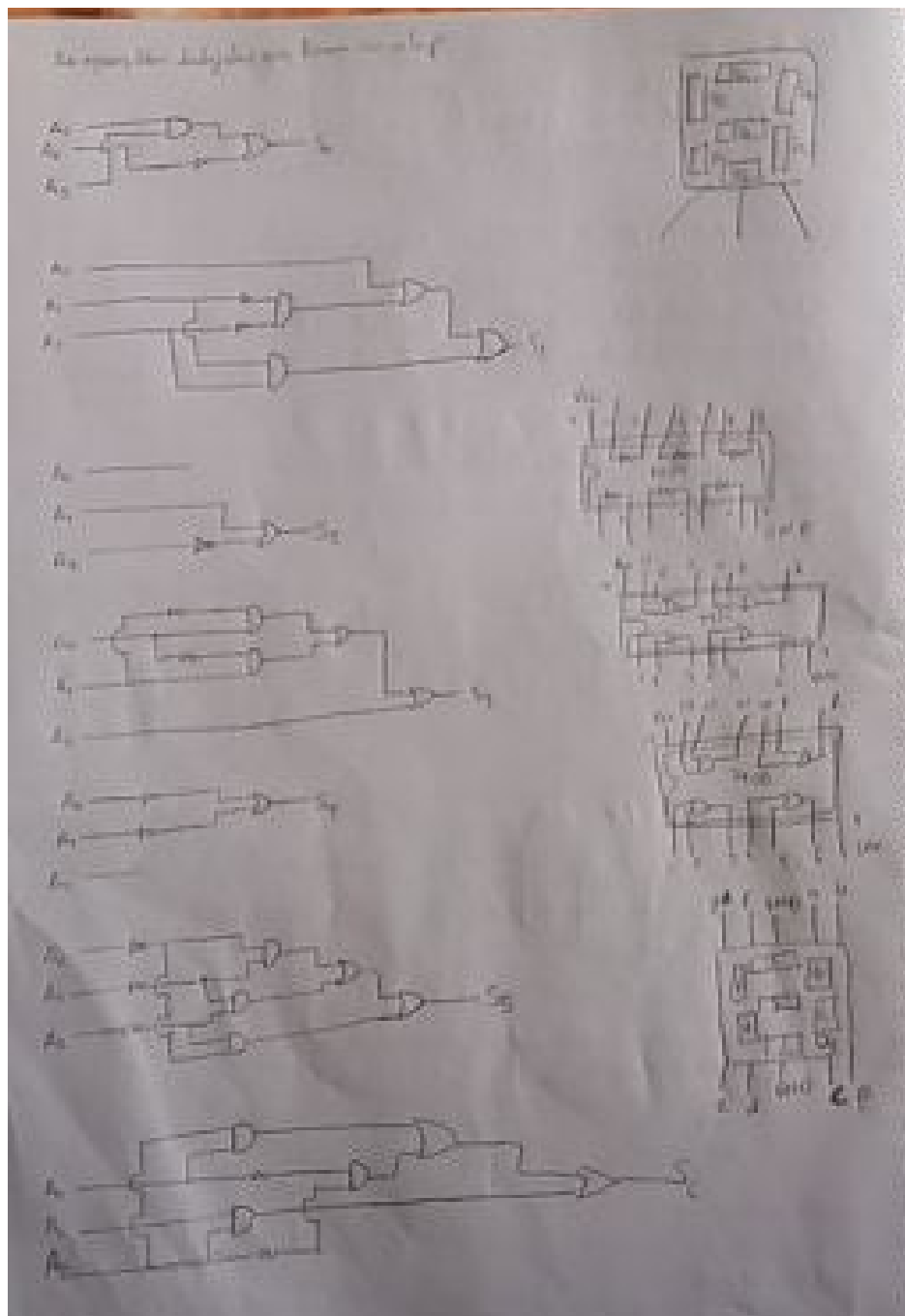
Como indicado na tabela, deve-se utilizar cada uma das

$$7400: \Rightarrow D$$

$$7432: \Rightarrow D$$

$$7408: \Rightarrow D$$

Anexo B: Diagramas Esquemáticos



Anexo C: Registros do Processo



