

文档编号: AN1013

上海东软载波微电子有限公司

应用笔记

HW3000 User Guide

修订历史

版本	修订日期	修改概要
V1.0	2018-5-8	初版公开发布

地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

目 录

内容目录

第 1 章	编程说明	4
1.1	工作模式	4
1.2	初始化	4
1.3	数据包收发	4
1.3.1	增强型帧结构模式	4
1.3.2	直接 FIFO 帧结构模式	8
1.4	ACK 功能应用	12
1.5	单载波发送 CW 模式	14
1.6	直接收发 DIRECT 模式	14
第 2 章	寄存器初始化	15
2.1	1.2kbps 速率配置	15
2.2	10kbps 速率配置	16
2.3	50kbps 速率配置	17
2.4	100kbps 速率配置	18
2.5	频段设置说明	19
2.6	26MHz 晶振使用说明	20
第 3 章	RF 测试说明	21
3.1	PA 功率	21
3.2	RSSI	22
第 4 章	芯片故障分析	23
第 5 章	常见问题	24

第 1 章 编程说明

1.1 工作模式

HW3000 芯片主要有 POWER DOWN、DEEP SLEEP、SLEEP、IDLE、TX、RX 六个工作模式，各个工作模式之间的切换见芯片数据手册的“芯片状态控制”章节内容。

1.2 初始化

- ◆ 芯片上电等待时间约 2ms
- ◆ 全芯片复位 (0x61)
- ◆ 寄存器初始化配置 (以下配置不分先后)
 - ◇ 射频前端寄存器初始化，详见本文“寄存器初始化设置”章节
 - ◇ 速率 SYMBOL_RATE 设置(0x32、0x33)，默认 10Kbps
 - ◇ 外部晶振参考频率 CFG_XTCS(0x25)设置，默认为选择 26MHz 晶振
 - ◇ 频点 RF_FREQ_BASE、CH_SPACE 设置(0x2F)
 - ◇ 帧结构配置 PACK_LENGTH_EN(0x02)
 - ◇ Preamble 长度、Syncword 长度、编码方式、是否支持 FEC、是否支持白化功能等设置(0x02、0x03)
 - ◇ 若选择直接 FIFO 帧结构模式，配置发送完成 LEN0_TXMODE 与接收完成模式 LEN0_RXMODE(0x02)
 - ◇ 使能通讯使用的 PIPE、设置 PIPE 地址、以及该 PIPE 是否支持 ACK 功能(0x13、0x15~0x1A)
 - ◇ 若支持 ACK 模式，设置重发次数 RE_TX_TIMES(0x45，设置值需大于‘0’)

注：直接 FIFO 帧结构模式不支持 ACK、FEC 功能，可忽略相应寄存器配置步骤。

1.3 数据包收发

HW3000 收发支持增强型与直接 FIFO 两种帧结构模式，可通过寄存器 PACK_LENGTH_EN 配置。

1.3.1 增强型帧结构模式

增强型帧结构模式需设置 PACK_LENGTH_EN 为‘1’，该模式帧结构如图 1-1 所示。

字节数：4~1023	2~6	1	1	1	1	0~252	2
前导码	帧分隔符	帧长	信道索引	标准识别号	帧头校验码	物理层载荷	帧校验序列
SHR		PHR				PSDU	FCS

图 1-1 增强型帧结构示意图

◆ 帧长配置

发送端可通过 AUTO_LEN_CALC(0x09)寄存器配置发送帧长信息由硬件自动生成或由软

件填写。

若设置 AUTO_LEN_CALC 为‘1’，硬件自动依据发送 FIFO 内所填写的 PSDU 字节数加上 3（即加上信道索引、标准识别号、帧头校验码所占的 3 个字节）作为发送帧的帧长信息。

若设置 AUTO_LEN_CALC 为‘0’，芯片在发送之前需由软件将 PSDU 的长度信息填写至 TXPSDU_LEN(0x09)寄存器，硬件依据 TXPSDU_LEN 寄存器的值加上 3（即加上信道索引、标准识别号、帧头校验码所占的 3 个字节）作为发送帧的帧长信息。

接收端将成功接收的数据帧帧长信息存放于 RX_PHR_PSDU_LEN(0x0A)寄存器。

◆ 信道索引

发送端需在发送之前将信道索引填写至 TX_PHR_CHANNEL_INDEX(0x08)寄存器。

接收端将成功接收的数据帧信道索引存放于 RX_PHR_CHANNEL_INDEX(0x0A)寄存器。

◆ 标准识别号

发送端需在发送之前将标准识别号填写至 TX_PHR_STD_IDEF(0x08)寄存器。

接收端将成功接收的数据帧标准识别号存放于 RX_PHR_STD_IDEF(0x0B)寄存器。

◆ 帧头校验

发送端可通过 AUTO_PHR_VERIFY(0x07)寄存器配置帧头校验信息由硬件自动生成或由软件生成。

若设置 AUTO_PHR_VERIFY 为‘1’，硬件依据发送帧长、信道索引、标准识别号 3 个字节自动生成校验码作为发送帧的帧头校验信息。

若设置 AUTO_PHR_VERIFY 为‘0’，芯片在发送之前需由软件填写 TX_PHR_VERIFY(0x07)寄存器，硬件依据 TX_PHR_VERIFY 寄存器的填写值作为发送帧的帧头校验。

接收端将成功接收的数据帧帧头校验信息存放于 RX_PHR_VERIFY(0x0B)寄存器。

◆ 物理层载荷（PSDU）

PSDU 部分存放于 FIFO 中，增强型帧结构模式下最大长度支持 252bytes。

◆ 帧校验序列（FCS）

发送端可通过 LEN1_CRCSEL(0x02)寄存器配置帧校验序列由硬件自动生成或由软件生成。

若设置 LEN1_CRCSEL 为‘0’，硬件自动生成帧校验序列。

若设置 LEN1_CRCSEL 为‘1’，芯片在发送之前需由软件填写 CRCVAL(0x12)寄存器，硬件依据 CRCVAL 寄存器的填写值作为发送帧的帧校验序列。

接收端将成功接收的数据帧帧校验序列存放于 CRCVAL 寄存器。

注：ACK 功能使能时不支持帧头校验软件生成模式与帧校验序列软件生成模式。

增强型帧结构收发流程如图 1-2 所示。

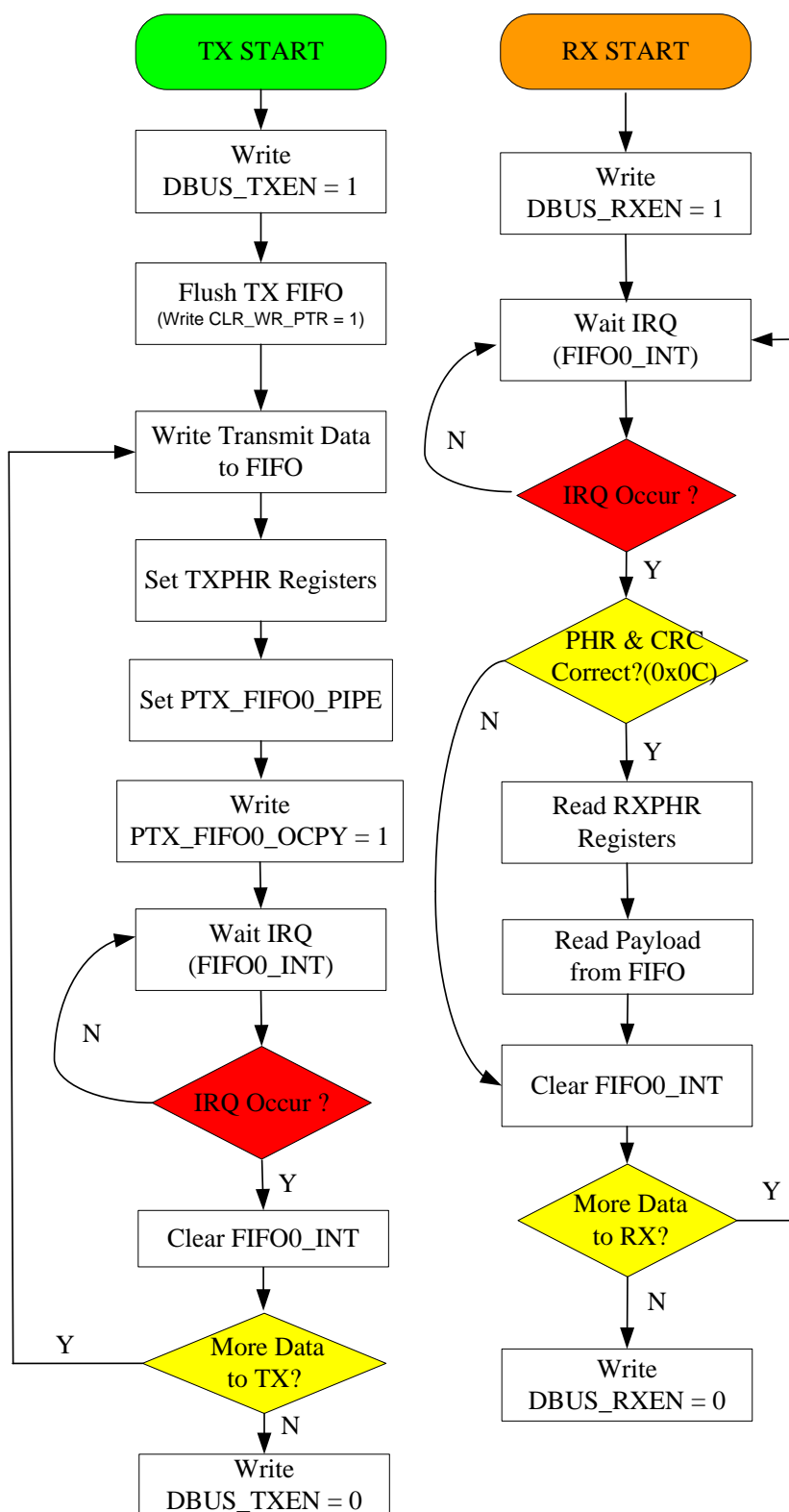


图 1-2 增强型帧结构收发流程示意图

芯片支持 FIFO 数据包重复发送功能，以满足某些数据包重复发送或快速跳频等应用场合，可以有效减少主控 MCU 的软件开销（如图 1-3 所示）。用户可在再次使能发送之前插入延时控制重发时间间隔或更改发送频点。

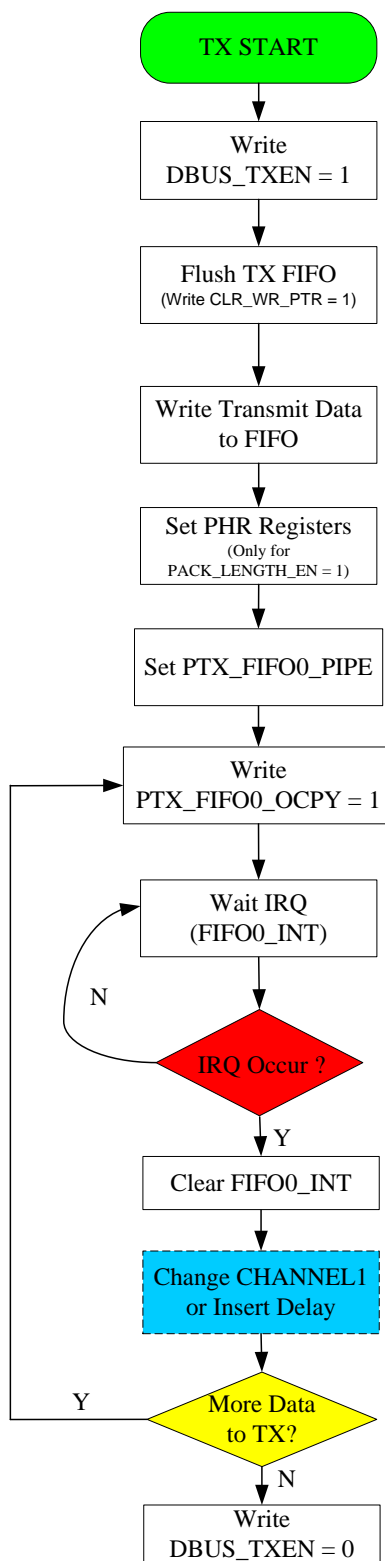


图 1-3 FIFO 数据包重复发送控制流程

注：频点设置需在芯片发送或接收状态有效之前完成。

1.3.2 直接FIFO帧结构模式

直接 FIFO 帧结构模式需设置 PACK_LENGTH_EN 为'0'，该模式帧结构如图 1-4 所示。

此模式不支持 ACK、硬件 CRC 校验与 FEC 功能。发送除 PREAMBLE 与 SFD 部分都需软件填写至 FIFO 内，填写内容与顺序可依据收发双方的约定灵活设置。

直接 FIFO 模式下发送可依据 LEN0_TXMODE 控制位配置发送完成模式，接收可依据 LEN0_RXMODE 控制位配置接收完成模式，详见 0x02 寄存器相关说明。

字节数：4~1023	2~6	1~65535
前导码	帧分隔符	物理层载荷(FIFO)
SHR		PSDU

图 1-4 直接 FIFO 模式帧结构示意图

直接 FIFO 帧结构模式下芯片提供接收长度自动识别功能，设置详见《HW3000_Datasheet_C》8.2 章节描述。

若收发长度小于等于 256bytes，且设置 LEN0_TXMODE 及 LEN0_RXMODE 为芯片自动识别接发长度，其收发流程如图 1-5 所示。

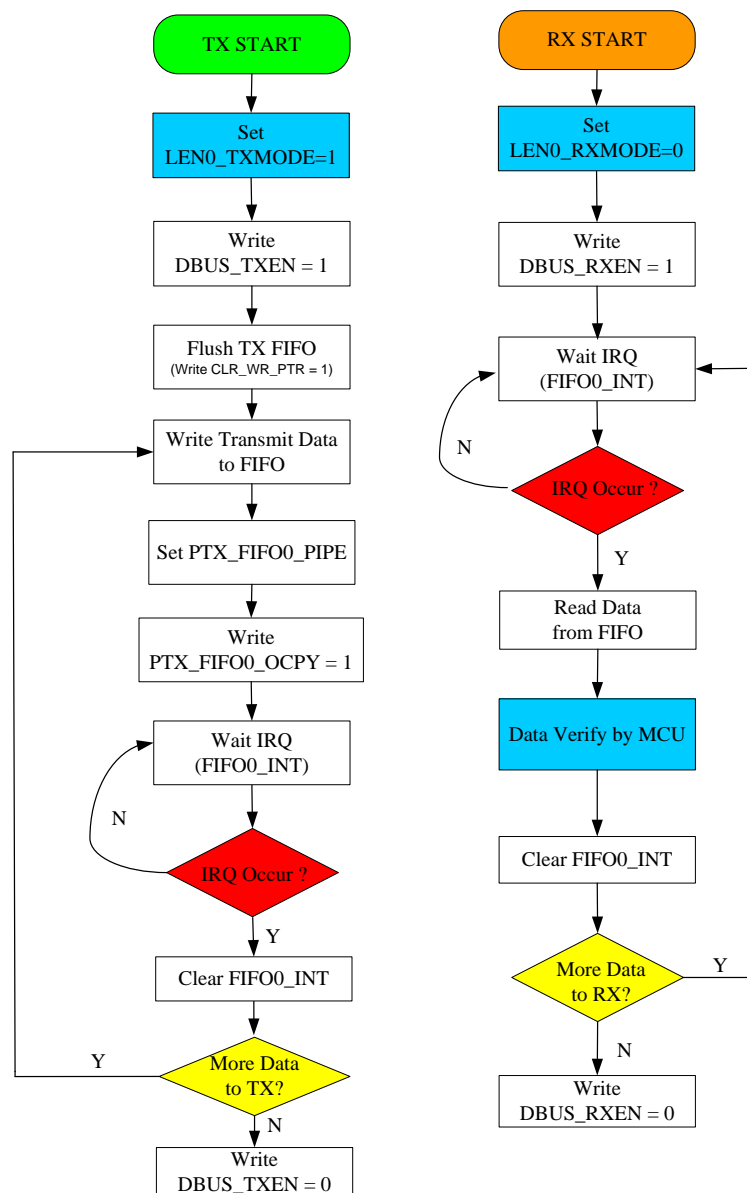


图 1-5 直接 FIFO 帧结构自动识别包长收发流程示意图

若收发长度小于等于 256bytes，且 **LEN0_RXMODE** 设置为软件设置接收长度，假设收发约定 FIFO 内第一个 byte 代表包长度信息，其接收流程如图 1-6 所示。

接收使能之前，先设定一较小的半满阈值，确保半满中断置起时可从 FIFO 内指定位置读取接收长度，软件获取接收长度后需配置 **LEN0_PKLEN** 寄存器，硬件依据 **LEN0_PKLEN** 寄存器的设定值自动完成接收。

建议在接收使能之前配置 **LEN0_PKLEN** 为一较大值，防止软件处理过慢出现 **FIFO0_INT** 误中断。

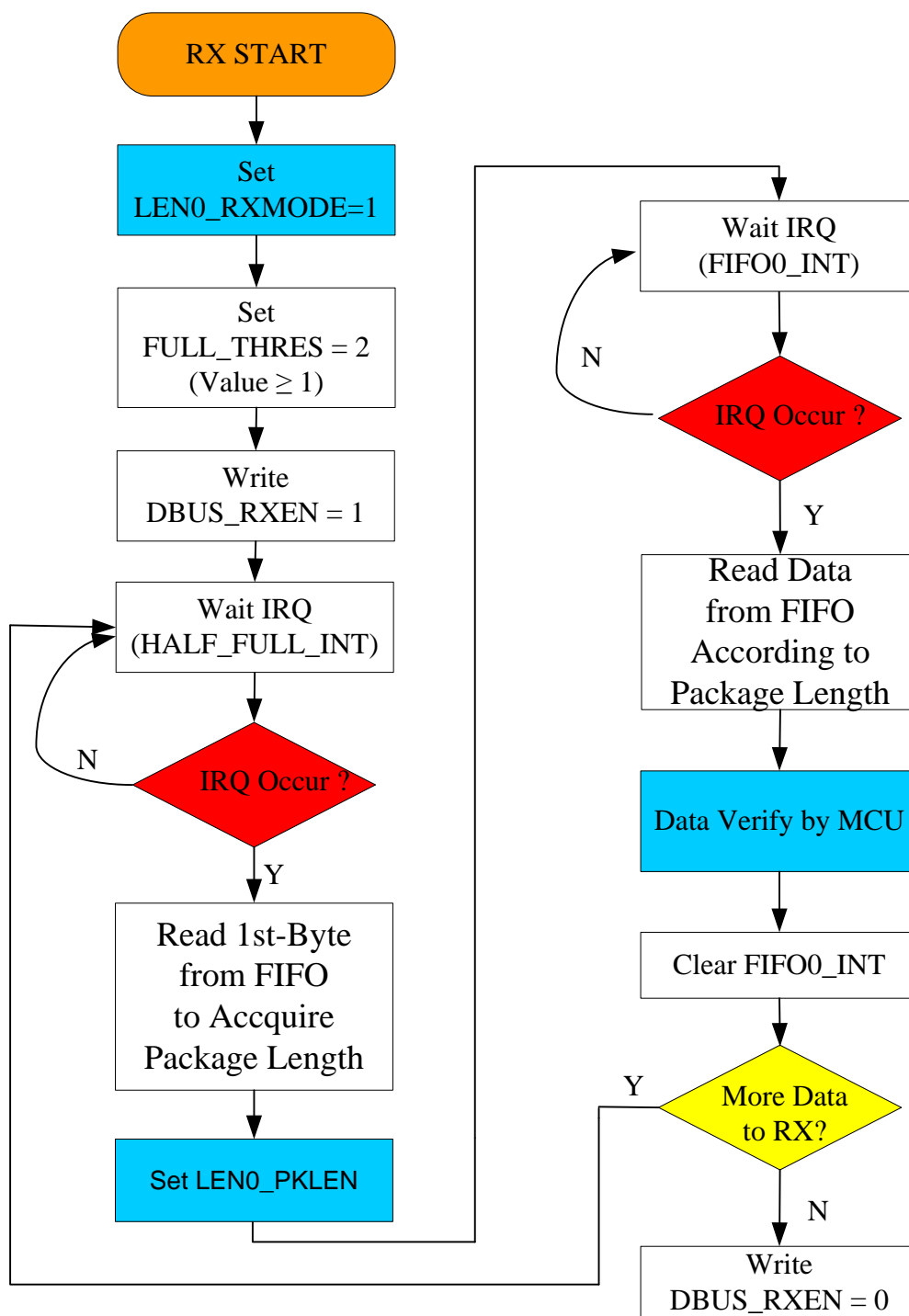


图 1-6 直接 FIFO 帧结构软件设置包长接收流程示意图

若收发长度大于 256bytes 时，软件需依据 FIFO 的半空或半满中断标志，完成对 FIFO 的写入与读取操作，配合物理层硬件完成对 FIFO 内数据的发送与接收。

假设收发约定 FIFO 内第一个 byte 代表包长度信息，LEN0_RXMODE 设置为接收自动识别包长信息，其收发流程如图 1-7 所示。

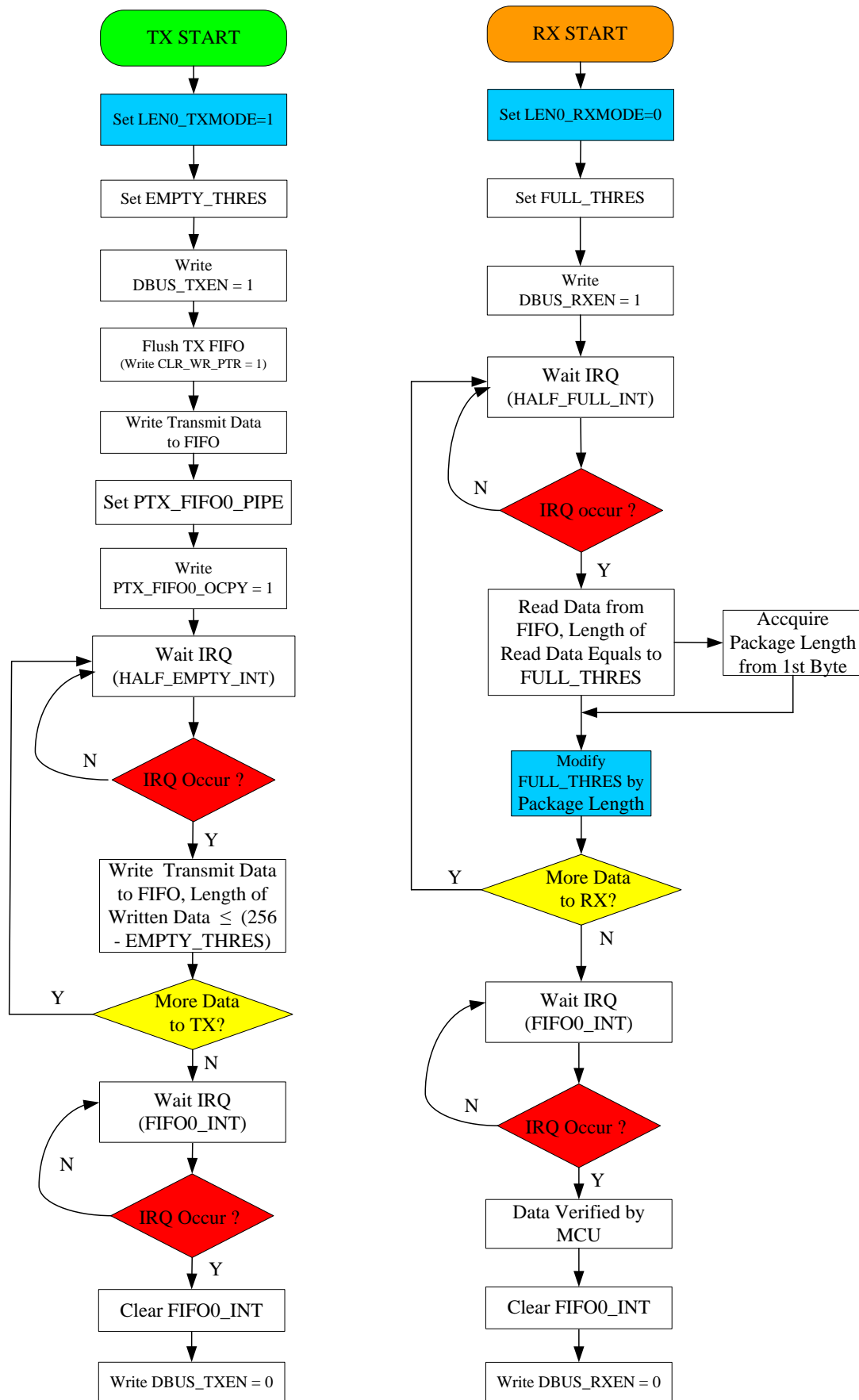


图 1-7 直接 FIFO 帧结构收发(>256 bytes)流程示意图

PRX 在接收使能之前可设定一较小的半满阈值 FULL_THRES，保证响应 HALF_FULL_INT 中断时软件可从 FIFO 内即时获取接收包长信息，根据接收包长信息再由软件调整半满阈值 FULL_THRES 以简化接收操作流程。

注：可通过 EMPTY_THRES，FULL_THRES 寄存器设置半空半满阈值，设置值需考虑 SPI 接口的访问速度与芯片配置的数据速率。

1.4 ACK功能应用

ACK 应用仅针对增强型帧结构模式，功能介绍详见《HW3000_Datasheet_C》第 5 章说明，ACK 使能情况下收发流程如图 1-8 所示。

若使能 PIPE0 ACK 功能(P0_ACKEN = '1')，PTX 在接收 ACK 等待时间 AUTO_RXACK_TIME (0x45) 内没有成功接收到 PRX 发送的 ACK 帧，PTX 将自动重传上一帧数据包。PTX 读取中断 FIFO0_INT 之后需检查 FIFO0_MAX_RETX (0x0F) 标志位，以判断中断源为 PTX 接收 ACK 成功或是重传超时。

PRX 在 ACK 使能情况下接收 PHR 校验出错或 CRC 出错将进入自动重收流程，FIFO0_INT 中断标志位置起后软件无需再检测 PRX_PHR_ERR 与 PRX_CRC_ERR 标志位。

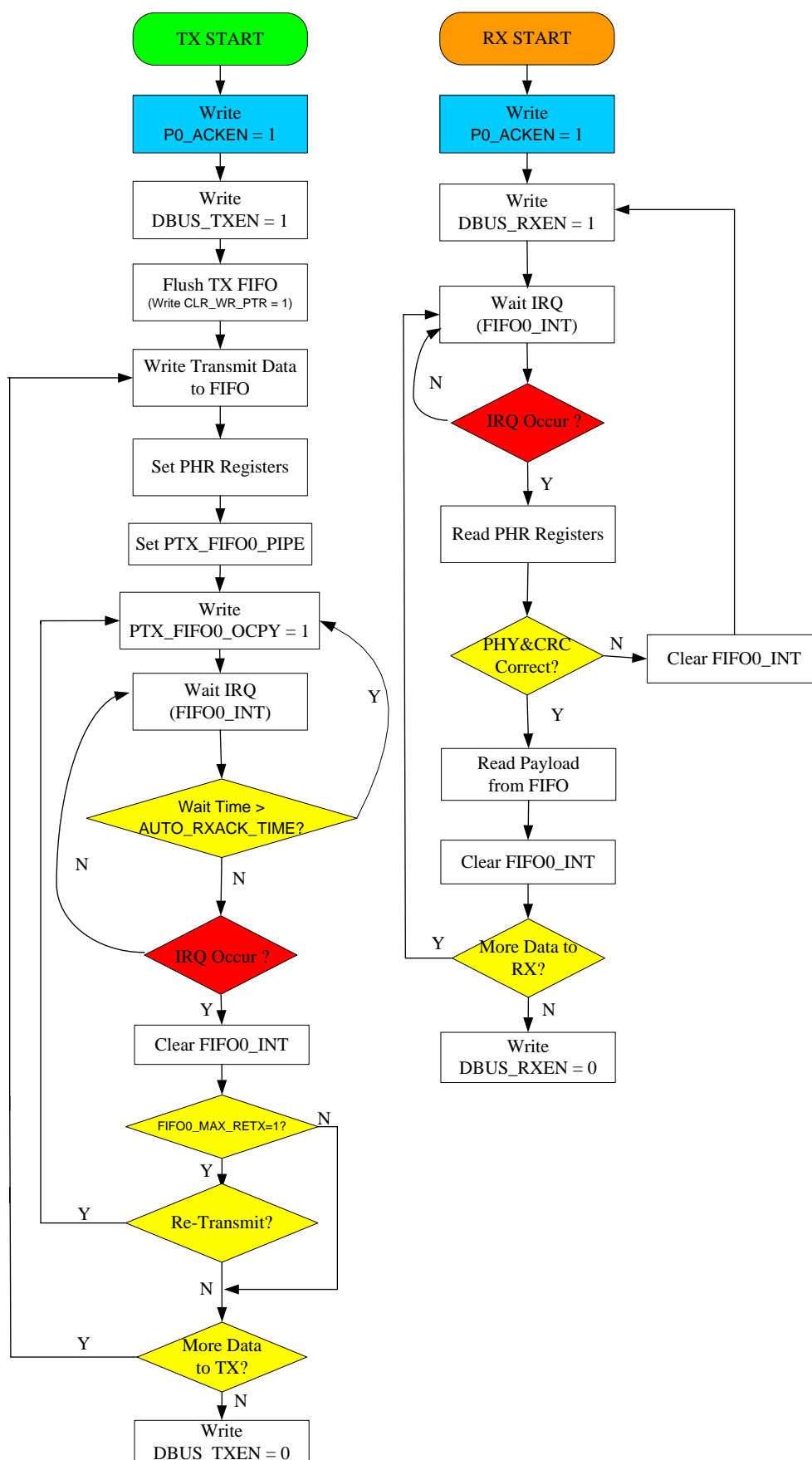


图 1-8 ACK 功能使能收发控制流程

1.5 单载波发送CW模式

芯片提供单载波发送 CW 模式，以方便频点锁定测试与发送功率测试，具体配置方法详见 demo 程序相关说明。

1.6 直接收发DIRECT模式

芯片提供直接收发 DIRECT 模式，以用于灵敏度 BER 测试、数据透传等应用，具体配置方法详见 demo 程序相关说明。

第 2 章 寄存器初始化

HW3000 支持数据速率范围为 1.2kbps ~100kbps, 以下为 20MHz 晶振下 433MHz 频段典型速率的寄存器初始化配置。

2.1 1.2kbps速率配置

Register Address (Hex)	Default Value (Hex)	Recommended Value (@20MHz Crystal Frequency) (Hex)
4C	-	55AA
03	050A	0508
11	8630	C630
17	F91C	F6C2
1B	1F99	1371
1C	1F89	1351
1D	1F81	0B51
1E	1A81	2F71
1F	1581	2F51
20	3A61	2E51
21	3961	2E31
22	2D61	4B31
23	2C61	4731
24	4C81	4631
25	4861	4531
26	4461	4431
27	4441	6131
28	6061	6031
29	6041	6011
2A	6021	6009
51	0003	001B
55	8002	8003
56	4555	4155
62	77ED	70ED
4C	-	5555
1C	1046	104F
1E	CFDF	DFDF
25	1201	5201
26	2CCD	2E35
2C	003F	0010
2E	0022	000C
32	0051	0009

33	00EC	00D5
35	3332	3312
40	003F	FF3F

表 2-1 1.2kbps 速率寄存器初始化设置

2.2 10kbps速率配置

Register Address (Hex)	Default Value (Hex)	Recommended Value (@20MHz Crystal Frequency) (Hex)
4C	-	55AA
03	050A	0508
11	8630	C630
14	1915	1935
17	F91C	F6C2
1B	1F99	1371
1C	1F89	1351
1D	1F81	0B51
1E	1A81	2F71
1F	1581	2F51
20	3A61	2E51
21	3961	2E31
22	2D61	4B31
23	2C61	4731
24	4C81	4631
25	4861	4531
26	4461	4431
27	4441	6131
28	6061	6031
29	6041	6011
2A	6021	6009
40	000F	0008
41	001F	0010
42	83FB	82D8
43	3C24	3D38
51	0003	001B
55	8002	8003
56	4555	4155
62	77ED	70ED
4C	-	5555
1C	1046	104F

1E	CFDF	DFDF
25	1201	5201
26	2CCD	2E35
2C	003F	0052
2E	0022	0025
35	3332	3312
40	003F	FF3F

表 2-2 10kbps 速率寄存器初始化设置

2.3 50kbps速率配置

Register Address (Hex)	Default Value (Hex)	Recommended Value (@20MHz Crystal Frequency) (Hex)
4C	-	55AA
03	050A	0508
11	8630	C630
17	F91C	F6C2
1B	1F99	1371
1C	1F89	1351
1D	1F81	0B51
1E	1A81	2F71
1F	1581	2F51
20	3A61	2E51
21	3961	2E31
22	2D61	4B31
23	2C61	4731
24	4C81	4631
25	4861	4531
26	4461	4431
27	4441	6131
28	6061	6031
29	6041	6011
2A	6021	6009
51	0003	001B
55	8002	8003
56	4555	4155
62	77ED	70ED
4C	-	5555
1C	1046	104F
1E	CFDF	DFDF

25	1201	5201
26	2CCD	2E35
2C	003F	0052
2E	0022	0037
32	0051	0199
33	00EC	009A
35	3332	3312
40	003F	FF3F

表 2-3 50kbps 速率寄存器初始化设置

2.4 100kbps速率配置

Register Address (Hex)	Default Value (Hex)	Recommended Value (@20MHz Crystal Frequency) (Hex)
4C	-	55AA
03	050A	0508
11	8630	C630
17	F91C	F6C2
1B	1F99	1371
1C	1F89	1351
1D	1F81	0B51
1E	1A81	2F71
1F	1581	2F51
20	3A61	2E51
21	3961	2E31
22	2D61	4B31
23	2C61	4731
24	4C81	4631
25	4861	4531
26	4461	4431
27	4441	6131
28	6061	6031
29	6041	6011
2A	6021	6009
51	0003	001B
55	8002	8003
56	4555	4155
62	77ED	70ED
4C	-	5555
1C	1046	104F

1E	CFDF	DFDF
25	1201	5201
26	2CCD	2E35
2C	003F	00A4
2E	0022	0078
32	0051	0333
33	00EC	0033
35	3332	3342
40	003F	FF3F

表 2-4 100kbps 速率寄存器初始化设置

注：0x4C 寄存器控制芯片寄存器 bank 的切换，向 0x4C 寄存器写入 0x55AA 切换至 BANK1（不对外开放，用户不可访问，以免设置错误），向 0x4C 寄存器写入除 0x55AA 的任意值切换至 BANK0（对外开放）。

2.5 频段设置说明

HW3000 共支持 315/433/779/868/915MHz 5 个典型频段，其中 433MHz 频段频点支持默认设置与直接设置两种模式，其余频段只支持直接设置模式。779MHz 频段仅在 20MHz 晶振模式下支持。在 20/26MHz 两种晶振模式下各频段范围与配置详见表 2-4 与表 2-5。

20M 晶振模式				
VCO_HB_SEL	PLL_TRXLB_SEL			
	2'b00	2'b01	2'b10	2'b11
1'b0	700-874MHz	350-437MHz	235-291MHz	-
1'b1	856-1045MHz	428-522MHz	285-350MHz	-

表 2-5 20MHz 晶振下各频段范围与配置

26M 晶振模式				
VCO_HB_SEL	PLL_TRXLB_SEL			
	2'b00	2'b01	2'b10	2'b11
1'b0	806-874MHz	403-437MHz	270-291MHz	-
1'b1	856-1045MHz	428-522MHz	285-348MHz	-

表 2-6 26MHz 晶振下各频段范围与配置

芯片默认配置下支持 433MHz 频段，当使用其余频段，需要调整以下寄存器（如表 2-6 所示）。其中 0x2C 为芯片发送调制频偏(DEVIATION)配置寄存器，表 2-6 所示为当 DEVIATION 使用 25 kHz 时的各频段设置值，若使用其它 DEVIATION 值，其配置方式可参考《HW3000_Datasheet_C》7.2.2 章节相关说明。

315/779/868/915MHz 频段下频点设置详见《HW3000_Datasheet_C》7.1.2 章节相关说明。

频段 (MHz)	寄存器配置 (Hex) (@20MHz Crystal Frequency)		
	0x2C (BANK0)	0x35 (BANK0)	0x17 (BANK1)
315	007B	5312	F223
433	0052	3312	F6C2
470	0052	3312	F6C2
779	0029	0312	FB61
868	0029	1312	FB61
915	0029	1312	FB61

表 2-7 各频段寄存器配置说明

2.6 26MHz晶振使用说明

若芯片使用 26MHz 晶振，需设置 0x25 寄存器 (BANK0) 为 0x1201，另需要更改 DEVIATION 寄存器设置值，其配置方式可参考《HW3000_Datasheet_C》7.2.2 章节相关说明。

第 3 章 RF测试说明

3.1 PA功率

图 3-1 为 HW3000 芯片在 $VDD = 3.0V$ 室温下的 PA 输出测试曲线图（横坐标为 $0x40[15:8]$ 寄存器设置值，纵坐标为输出功率），表 3-1 为常用输出功率下的寄存器配置。

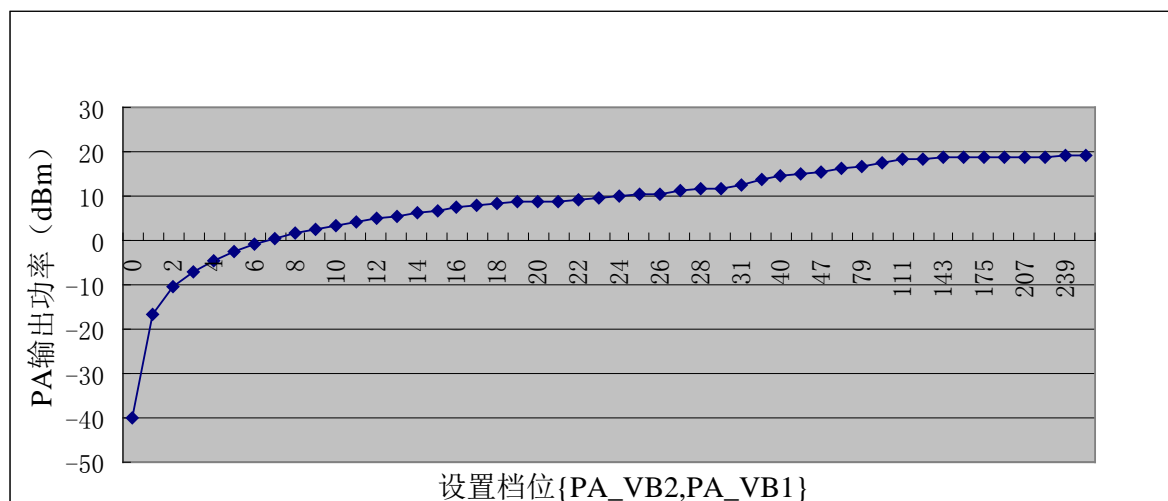


图 3-1 发送功率与配置

发送功率 (dBm)	寄存器配置(Hex)	
	PA_VB2	PA_VB1
-40	0	0
-16	0	1
-10	0	2
-5	0	4
0	0	7
+5	0	C
+10	1	8
+15	2	A
+18	6	4
+20	F	F

表 3-1 不同发送功率下寄存器配置参考值

注：以上配置仅作参考，芯片实际输出功率受 PCB 外围影响较大。

3.2 RSSI

测试方法：

1. 芯片上电，初始化 HW3000 寄存器，见“寄存器初始化设置”章节。
2. 将芯片设为 RX 状态。
3. 改变输入能量，当 SFD 正确同步后（SFDDET_INT = '1'），读取 RSSI1(0x23，补码形式)。若需检测环境能量，建议在 RX 接收使能后延时 350us 左右读取 RSSI2。

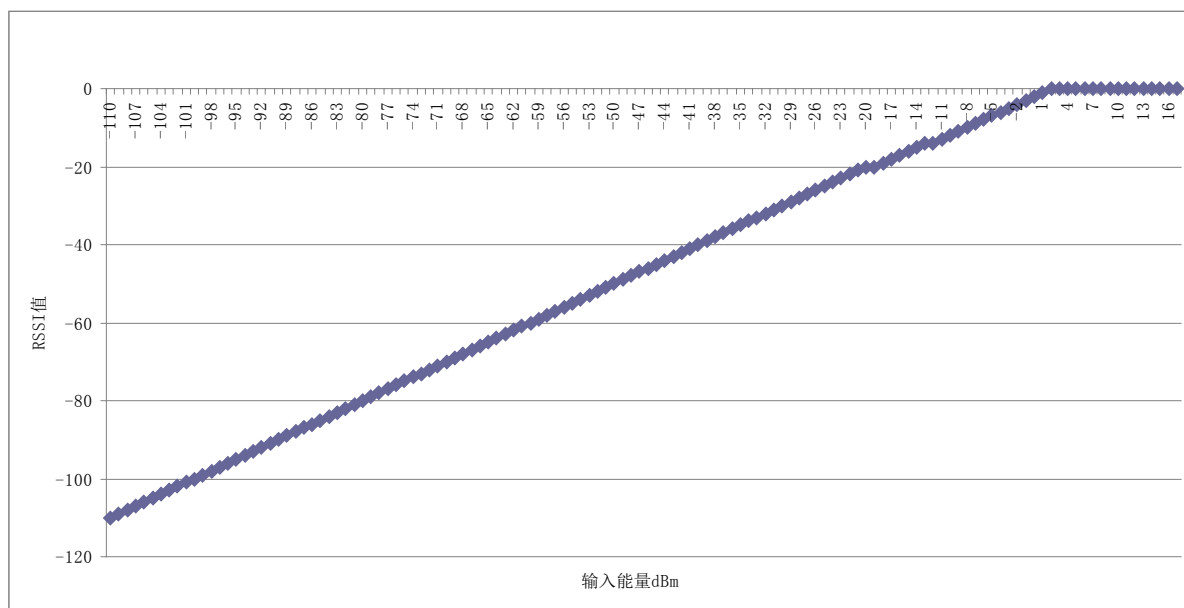


图 3-2 RSSI 与输入能量对应关系示意图

第 4 章 芯片故障分析

如果两颗芯片不能进行正常收发通讯，首先应该将这两颗芯片分别与已测试过的正常芯片进行收发通讯，确定发射芯片还是接收芯片出现问题。在此前提下，可参照以下内容分析芯片发送或接收故障的原因。

✧ 检查芯片供电是否正常

上电后芯片默认进入 IDLE 模式，芯片 VDR 引脚输出电压 1.8V 左右。

✧ 检查晶振是否正常工作

上电后测试晶振 XTALP 或 XTALN 引脚，观察是否有信号，信号频率是否正确，若有异常可能是晶振损坏或使用的起振电容不合适。

✧ 检查 SPI 读写是否正常

对寄存器进行读写操作检查 SPI 驱动程序是否正确。如果寄存器写入与读取值不一致，利用示波器抓取 SPI 读写波形，检查 SPI 四根线的电平是否正确，波形时序是否和产品手册一致；检查 SPI 通讯速率是否小于给定的最大通讯速率。

✧ 软件检查

检查软件对 HW3000 芯片的寄存器初始化配置是否与参考代码有差异，软件收发流程是否与操作例程有差异。

✧ 检查通讯频段有无干扰

将 Sub-1GHz 天线连接到频谱仪，直接测空间辐射的信号，如在通讯频点有较大空间干扰，建议避开此频点通讯。

✧ 单载波发送模式

使能单载波发送模式，观察发射频点是否锁定，与设置值是否一致。

✧ 检查收发频偏

检查两颗芯片的收发频偏值是否小于 30kHz(测量值频率与理论值频率之间的偏差)，频偏补偿方法详见 HW3000 芯片数据手册的“AFC 及晶振校准功能”章节。

✧ 检查接收本振是否锁定

判断接收本振是否锁定需要使用频谱仪观察，设置频谱仪 Span=250kHz, Ref Amplitude=-50dBm。使能接收，如果接收频点一直停留在接收设定频点*8 位置不跳动，就说明已锁定。

✧ 晶振频偏调整

调整晶振外接的两个电容，如果调整以后的晶振频率值一致性仍很差，则需要更换晶振，提高晶振精度 ppm。

第 5 章 常见问题

✧ 芯片发送或接收频点为什么与设置值不一致？

频点设置需在芯片发送或接收状态有效之前完成，否则芯片内部 PLL 将无法正确锁定。

✧ 写指针在什么时候需要软件清‘0’？

芯片内状态机写 FIFO（只出现在 PRX 端）的指针与 SPI 写 FIFO（只出现在 PTX 端）的指针复用同一个指针。PTX 与 PRX 在正常收发不切换时，硬件在合适情况下自动清零写指针，无需软件参与，但在收发角色切换（PRX 切换为 PTX）写指针主控权发生变化时，需要软件参与在 SPI 写 FIFO 前将写指针清‘0’。

✧ 收发 ACK 使能时为什么 PTX 发送中断正常置起而 PRX 接收无正常中断？

ACK 使能时，PTX 发送方中断置起分两种情况：

1. PTX 正常收到 ACK 帧，通讯成功。
2. PTX 重传超时，通讯不成功。

PTX 中断置起后可以通过 FIFO0_MAX_RETX 标志位区分两种情况。

ACK 使能时，PRX 在接收 PID 与 CRC 较上一次相同时将自动弃包而不置起中断。若 PTX 出现重传超时，PTX 在下一次发送帧时 PID 不累加。

✧ 为什么 PRX 接收 CRC 正确，但接收 FIFO 的读取值与 PTX 发送 FIFO 内填写值不一致？

1. PTX 在写 FIFO 时有可能 SPI 受到干扰而误写，按写入 FIFO 的值硬件自动生成 CRC，PRX 收到误写的值将出现上述现象。
2. PRX 在读 FIFO 时 SPI 受到干扰而可能造成误读。

✧ 为什么收发双方 PIPE Address 配置一致时，会出现 PRX 的 PIPE 指示位 (PRX_FIFO0_PIPE) 所指示的 PIPE 与发送使用的 PIPE 不一致的现象？

各 PIPE Address (0x14~0x1A) 设置值之间的码间距需大于接收同步字允许错误个数阈值 SYNC_THRES，否则接收各 PIPE 容易出现误同步。