

CMT211x/5x/8x单发射芯片原理图及PCB版图设计指南

1. 概要

本应用文档为使用 CMOSTEK NextGenRF™ 系列单发射芯片进行产品开发的用户提供基本的原理图和 PCB 版图设计指南，以期帮助用户快速实现应用所需要的性能指标：如输出功率，发射电流，杂散和谐波抑制等。

本文档涵盖的产品型号如下表所示。

表 1. 本文档涵盖的产品型号

产品型号	频率(MHz)	调制方式	主要功能	配置方式	封装
CMT2110A	240 - 480	OOK	单线直通单发	EEPROM	SOT23-6
CMT2117A	240 - 960	OOK	单线直通单发	EEPROM	SOT23-6
CMT2119A	240 - 960	(G)FSK/OOK	单线直通单发	EEPROM/Registers	SOT23-6
CMT2150A	240 - 480	OOK	7 按键带编码发射	EEPROM	SOP14
CMT2157A	240 - 960	(G)FSK/OOK	7 按键带编码发射	EEPROM	SOP14
CMT2180A	240 - 480	OOK	SoC 单发	EEPROM	SOP14
CMT2189A	240 - 960	(G)FSK/OOK	SoC 单发	EEPROM	SOP14

本文将从以下几个方面来阐述使用 CMOSTEK NextGenRF™ 系列单发射芯片的注意事项：

- 匹配网络
- 晶体电路
- 数字信号
- 电源及地设计
- 功耗优化考虑
- 按键电路设计
- 测试电路设计
- 设计检查项

目录

1. 概要	1
2. 匹配网络设计	3
2.1 单端输出匹配电路设计	3
2.1.1 满足 ETSI/FCC/3C 认证的射频输出设计	5
2.1.2 低成本的射频输出设计	6
2.1.3 单端射频输出的版图设计	7
2.2 差分射频输出电路设计	8
2.2.1 差分射频输出的原理图设计	8
2.2.2 差分射频输出的版图设计	10
3. 晶体电路设计	12
4. 数字信号设计	13
5. 电源及地设计	14
5.1 电源滤波电路设计	14
5.2 铺地设计	14
6. 功耗优化考虑	15
6.1 降低发射功率	15
6.2 优化匹配网络	17
6.3 提高发射数据率	17
6.4 增加包间隔时间	17
6.5 控制 LED 的驱动电流	18
6.6 使用差分射频输出	19
7. 按键电路设计	20
8. 测试电路设计	21
9. 设计检查项	22
10. 文档变更记录	24
11. 联系方式	25

2. 匹配网络设计

匹配网络将芯片输出管脚阻抗变换到天线阻抗，以达到以下设计目标：

1. 使输出功率最大化。
2. 效率最大化，在满足输出功率要求的前提下，尽可能降低功耗。
3. 控制谐波和杂散，达到 ETSI, FCC 等规范要求。
4. 实现最低物料清单及系统成本等。

然而，受限于具体应用的产品结构、尺寸、材料等因素，上述目标有时候难以在设计中同时达到最优。这时，用户需要根据需求的优先顺序，对其中部分指标做折中处理。

下面以 CMOSTEK EM 板为例，根据不同的应用及系统需求，分别讲述怎么选用合适的匹配网络以使各项指标尽量达到最优。

2.1 单端输出匹配电路设计

单端射频输出的通用原理图如下图所示。

按照不同的应用需求，如：发射功率大小、成本要求、是否需要通过 CE/FCC 规范、单端还是差分输出等，图中的匹配网络可选择由 3 到 7 阶滤波器来实现。

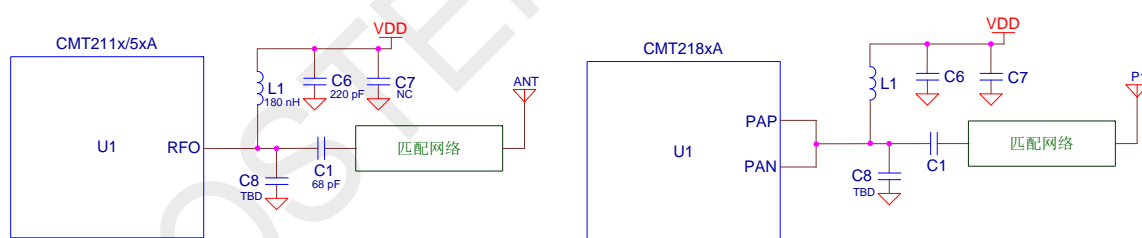


图 1. CMT211x/5x/8xA 单端输出电路设计

说明如下：

1. 上图暂不涉及射频输出以外的其他电路原理图。
2. L1 是取能（Chock，扼流）电感。
3. C6 和 C7 是电源退耦电容（C7 可选），用于减小 PA 输出对电源的影响。用户应根据使用环境适当选用。
4. C8 是可选电容，用于微调匹配网络。当匹配网络的性能达到要求的时候，C8 可以不焊。
5. C1 是隔直电容。
6. ANT 天线，CMOSTEK 提供的 DEMO 板用的是胶棒天线。实际应用中，用户可根据实际需要

换成 PCB 天线，导线天线或者弹簧天线等其他类型的天线。需要注意的是，不同的天线会影响到匹配网络及各元件值的选取。由于天线种类繁多，为方便描述，本文以 50Ω 阻抗的胶棒天线为例介绍匹配网络。

7. CMT218xA 的单端输出需要先将 PAP/PAN 连在一起后再接入匹配网络。
8. 用户可通过 2 种方法来改变发射功率：
- a) 通过 USB Programmer 和 RFPDK 设置 TX Power 参数改变芯片的发射功率；
 - b) 在取能电感和电源之间串一个电阻（图 1 中未示出），通过改变电阻值来调节发射功率。由于电阻的存在，这种方法会降低发射效率，所以我们推荐用改变芯片发射功率设置的方法改变发射功率。
9. 匹配的目的是将输出阻抗通过匹配网络匹配值天线阻抗，不同频率下 RFO 管脚的输出阻抗如下表所示：

表 2. 315/433.92/868.35/915 MHz RFO 管脚输出阻抗

频率 (MHz)	R _{INT} (Ω)	C _{INT} (pF)
315	150	6.3
433.92	120	6.8
868	90	7.2
915	80	7.4

10. 在产品体积受限的低成本应用中，PCB Loop 天线（环形天线）常常被选用。设计时在天线走线末端加上一个备用的对地电容 C9，以增加调试发射功率的灵活性。如下图所示：

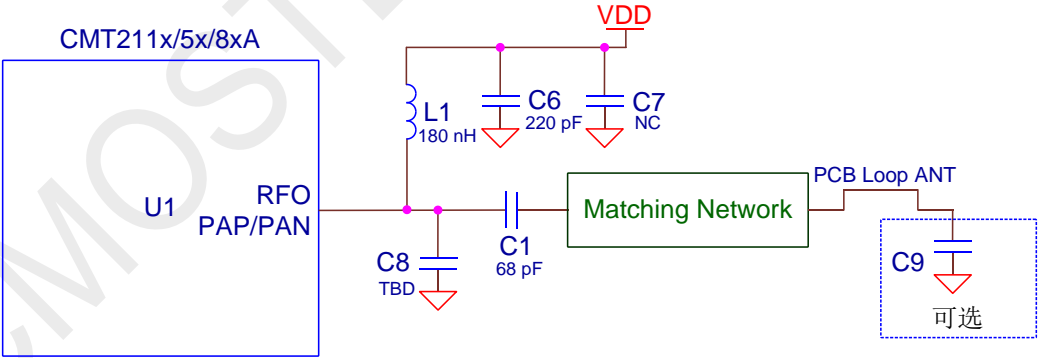


图 2. CMT211x/5x/8xA 单端输出 PCB 天线电路设计

2.1.1 满足 ETSI/FCC/3C 认证的射频输出设计

ETSI/FCC/3C 等标准对辐射和杂散有严格要求，CMOSTEK 推荐用 5 到 7 阶低通滤波网络进行匹配，如下图所示。

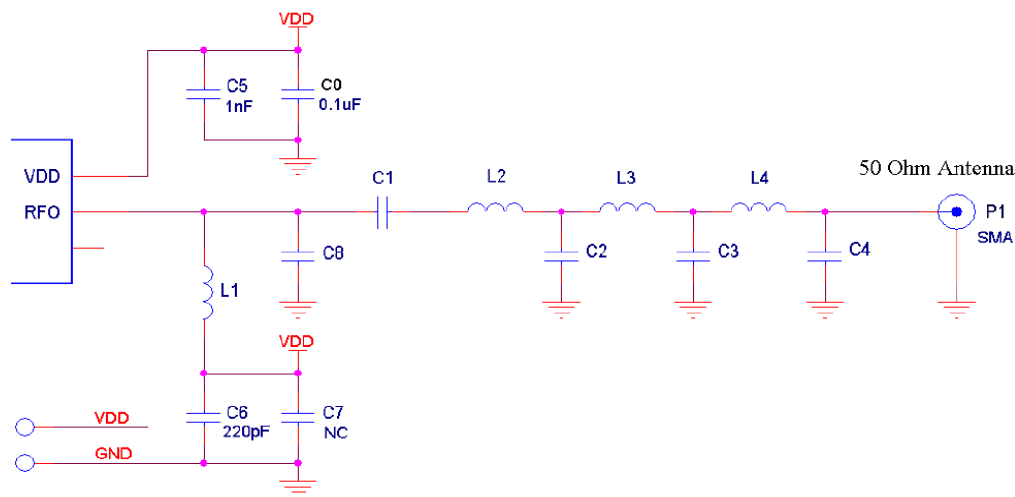


图 3. 满足 ETSI/FCC/3C 认证的低通滤波匹配网络

表 3. 满足 ETSI/FCC/3C 认证的匹配网络元件值

产品型号	频段 (MHz)	L1 (nH)	C1 (pF)	L2 (nH)	C2 (pF)	L3 (nH)	C3 (pF)	L4 (nH)	C4 (pF)	备注
CMT211xA	315	180	68	62	18	27	27	27	9.1	3C 标准
	315	180	68	62	18	27	18	330	-	FCC 标准
	433	180	68	36	15	18	15	330	-	3C/FCC/ETSI 标准
	868	100	68	8.2	9.1	8.2	8.2	220	-	ETSI 标准
	915	100	68	5.6	10	8.2	5.1	220	-	FCC 标准
CMT215xA CMT218xA	315	180	68	51	18	27	22	27	9.1	3C 标准
	315	180	68	51	18	27	15	330	-	FCC 标准
	433	180	68	36	15	18	15	330	-	3C/FCC/ETSI 标准
	868	100	68	5.6	10	6.8	6.8	220	-	ETSI 标准
	915	100	68	5.1	9.1	6.8	6.2	220	-	FCC 标准

说明如下：

- 只有满足 3C 标准的 315 MHz 应用需要 7 阶滤波器，其他应用 5 阶滤波器的就能满足认证要求。参考设计的 DEMO 板中为了统一设计，5 阶滤波器中的 L4 可以通过以下方式处理：
 - 在实际设计中无需预留 L4 的焊盘；
 - 预留 L4 焊盘的设计可以用 330 pF/220 pF 连接，也可以用 0 Ω 电阻短接或传输线替代。

2. DEMO 板中的匹配网络元件规格为：
- a) 电容：±5%, 0402 NP0, 50 V；
 - b) 电感：±5%, 0603 , Q>8 @ 10 MHz 叠层电感。
3. 对于不同阻抗的天线，不同的外壳结构，或者不同的 PCB 设计，匹配网络的元件值可能会发射变化，需要在具体应用条件下进行调试。

2.1.2 低成本的射频输出设计

对于低成本的应用，用户可以用 3 阶的网络进行匹配，如下图所示。

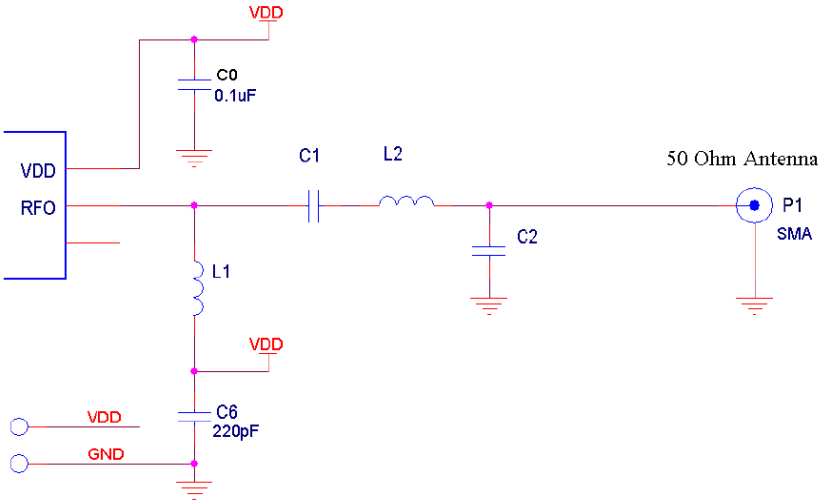


图 4. 低成本匹配网络

表 4. 低成本匹配网络元件值

产品型号	频段 (MHz)	L1 (nH)	C1 (pF)	L2 (nH)	C2 (pF)
CMT211xA	315	180	82	47	10
	433	180	82	27	9.1
	868	100	82	8.2	3.9
	915	100	82	6.8	3.9
CMT215xA CMT218xA	315	180	82	39	9.1
	433	180	82	22	9.1
	868	100	82	5.1	3.9
	915	100	82	4.3	4.3

说明如下：

1. 匹配网络元件规格为：
- a) 电容：±5%, 0402 NP0, 50 V；

- b) 电感: $\pm 5\%$, 0603, $Q > 8$ @ 10 MHz 叠层电感。
2. 对于不同阻抗的天线, 或者不同的 PCB 设计, 匹配网络的元件值可能会发生变化, 需要在具体应用条件下进行调试。

2.1.3 单端射频输出的版图设计

以 CMT211xA-EM 为例, 单端射频输出部分的版图如下图所示。

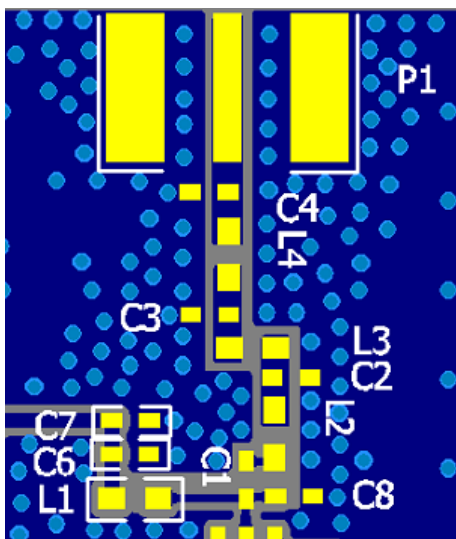


图 5.单端射频输出的版图设计参考

说明如下:

1. 保持射频信号路径尽可能的直并且尽可能短, 以减小射频信号的损失。
2. 相邻电感避免摆成一条线, 以防止相互之间产生耦合。
3. L1 离 RFO 管脚尽量近。
4. 整个匹配网络尽量靠近发射芯片。
5. 由于芯片管脚 RFO 输出阻抗较高, 参考设计中 RFO 到 L2 之间用的是 0.2 mm 宽的传输线; SMA 连接器连接着 50Ω 的天线, 在 L2 之后需要用宽度为 1 mm 传输线。
6. 尽量不要在射频器件及走线上布丝印, 厚重的丝印会影响 PCB 的介电常数和射频输出阻抗。
7. 铺地和射频走线应该尽量平整, 以减小传输线上的阻抗波动。
8. 1/4 波长 ($\lambda/4$) 的单极子天线是一种很常用的天线。一个有效的半波长 ($\lambda/2$) 天线, 一半由一个 1/4 波长的天线组成, 另一半由等效于另一个 1/4 波长天线的地平面组成。所以, 对于单极子天线的设计而言, 性能的好坏取决于铺地的面积。考虑不同的成本, 性能, 上市时间等因素, 用户可以选择不同类型的单极子天线, 比如说 PCB 天线, 贴片天线, 胶棒天线, 导线天线等。在本参考设计中, P1 是一个连接天线用的 SMA 连接器, 连接器连接的是一个阻抗为 50Ω 的胶棒天线, 以使参考设计达到最佳性能。

9. 如果用户采用 PCB Loop 天线，参考版图如下图所示，设计注意事项如下。

- PCB 天线要尽量离地远些，线宽最小大于 1 mm。其目的是减少分布参数并提高辐射效率；
- PCB Loop 天线走线走完整的一圈，使天线的辐射面积尽可能大（这一条主要适用 PCB 面积小的天线设计）；
- 晶体的走线尽量靠近 XTAL 管脚，同时尽量远离天线，以免产生杂散及自激；
- 天线末端设计一个可选对地电容（图 2 中的 C9）的位置，以便优化发射功率。

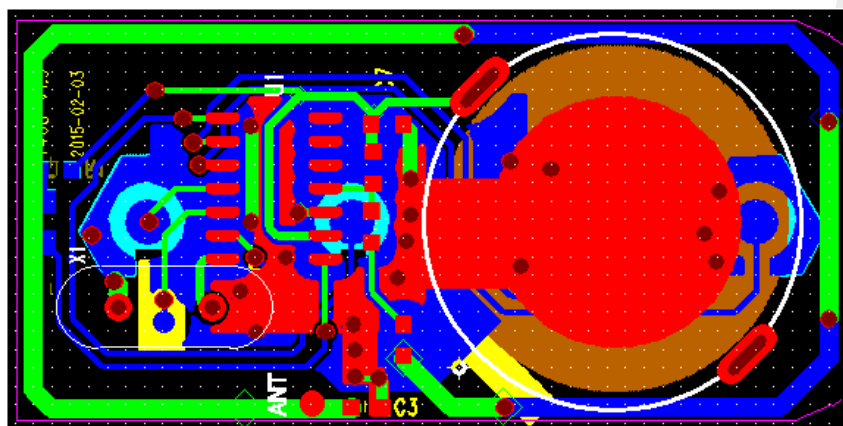


图 6. 单端射频输出的 PCB Loop 天线版图设计参考

2.2 差分射频输出电路设计

2.2.1 差分射频输出的原理图设计

CMT218xA 支持差分射频输出，其原理图如下图所示。本节仅覆盖 CMT218xA 的差分射频输出设计，其他部分的电路请参考相应章节。

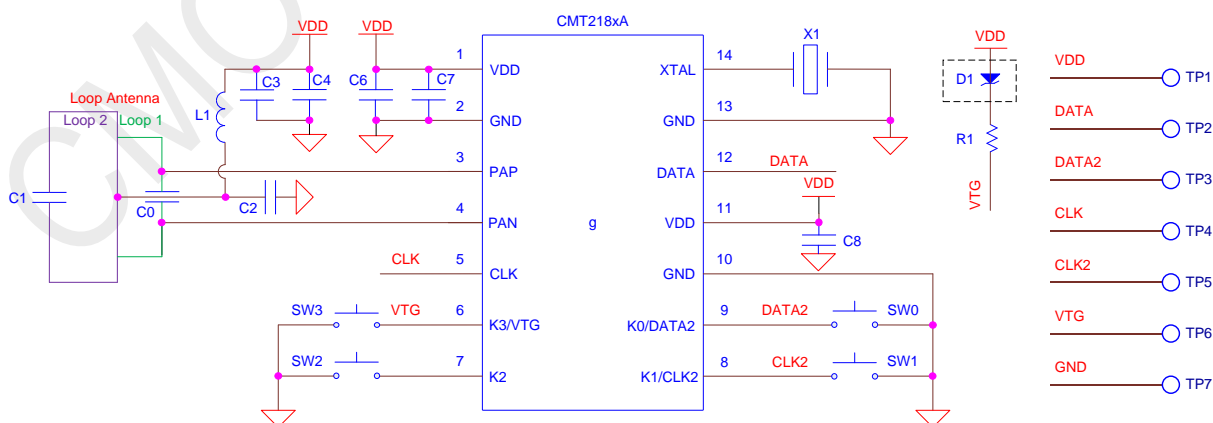


图 7. CMT218xA 差分射频输出原理图设计

说明如下：

1. C1 是谐振电容，用于使抽头环天线的主环谐振于射频频率。
2. C2 是滤波电容，用于滤除差分输出端口之间的相位误差（phase offset），以提升输出功率的效率。
3. C0 位可选补偿电容，当内建调谐电容不足时，可以用 C0 作为外部补偿。
4. L1 为取能（扼流）电感。
5. 用户可通过 2 种方法来改变发射功率。
 - a) 通过 USB Programmer 和 RFPDK 对芯片的发射功率设置进行改变；
 - b) 在取能电感和电源之间串一个电阻，通过改变电阻值来调节发射功率，这种方法发射效率比较低，所以推荐用改变芯片发射功率设置的方法。
6. 差分射频输出使用的是环形天线，常用的环形天线有以下 2 种：
 - a) 单环天线。环天线等效为一个电感，与芯片内部的电容谐振于射频频率。芯片内部电容可调范围为 0.1 pF ~ 6 pF，对应的 RFPDK 上 CCode 的范围是 1~127，通常在 433 MHz 时的最佳值在 100 左右，在 868 MHz 时的最佳值在 70 左右。确定电容之后，用户可以根据工作频率计算出谐振电感值，进而通过天线计算公式得到环天线的尺寸。这种天线的缺点是：
 1. 等效阻抗高（几 k Ω 至十几 k Ω 量级），跟芯片内部阻抗不匹配，造成辐射效率低；
 2. Q 值高，容易因外部环境影响而失谐。
 - b) 抽头环形天线。针对单环天线等效阻抗太高的缺点，用户可以通过改变 2 个环之间的抽头点，将天线的阻抗变换到最佳的等效阻抗（500 Ω 左右），实现最优阻抗匹配。抽头环天线中，Loop1 是谐振环，与芯片内部电容谐振于射频频率，设计方法与单环天线相同；Loop2 是辐射环，决定了抽头环形天线的辐射效率，与 C1 形成串联谐振，其尺寸越大，辐射效果越好，其等效电感量也会越大，阻抗转换比也会改变，通常需要通过仿真软件或者实验室调试，选取最优的抽头点达到最佳性能。

以 CMT2180A-EM-D 为例（433.92 MHz），下面给出这个版图的天线的设计尺寸及相关物料的参数值。

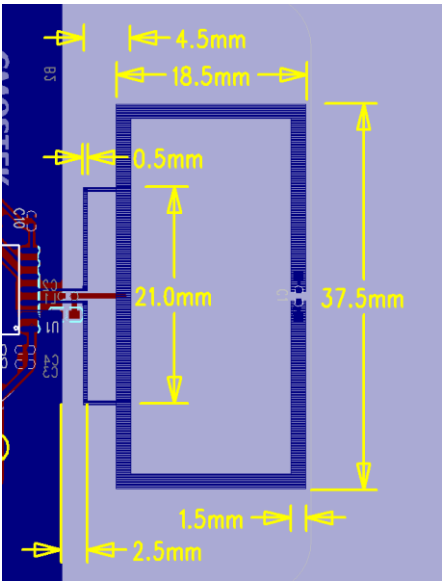


图 8. CMT2180A-EM-D 433.92 MHz 差分射频输出版图参考设计

表 5. 433.92 MHz 差分射频输出的匹配网络设计

产品型号	工作频率 (MHz)	L1 (nH)	C1 (pF)	C2 (pF)
CMT218xA	433.92	180	2.2	2.2

2.2.2 差分射频输出的版图设计

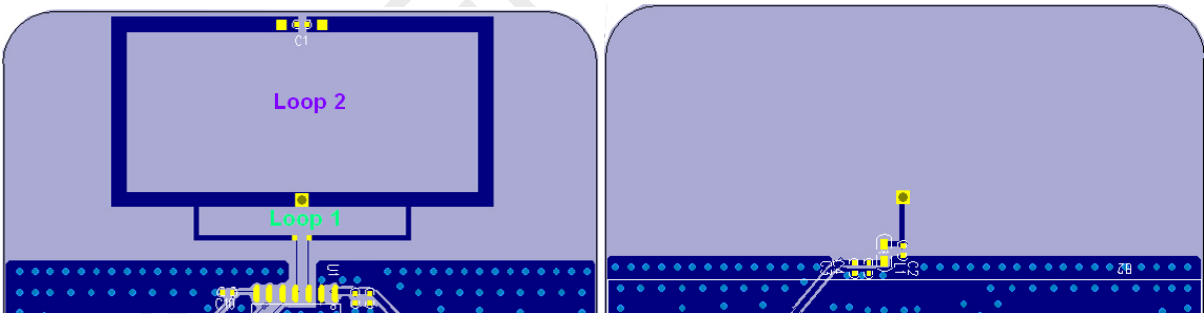


图 9. 差分射频输出的版图设计参考

说明如下：

1. Loop1 和 Loop2 需要尽量保持物理对称。背面的 C2 用于滤除差分输出之间的相位失配分量，以优化输出效率。
2. 取能电感 L1 与其退耦电容 C3/C4 设计在背面，并且摆放位置尽量靠近 PAP/PAN 管脚。
3. 差分 PCB 天线周围应该保持足够的净空区域，没有铺地，没有其他走线。
4. 随着环形天线（Loop2）尺寸的增加，射频信号的辐射效率随之增加，而谐振频率随之降低。在实际的应用中，环形天线的实际尺寸由应用的外壳设计决定。因此，一个合适的环形天线的

尺寸应该在发射效率，谐振频率和外壳设计中做折中平衡。在本参考设计（EM 板）中，环形天线采用的是 1.5 mm 宽， $\lambda/4$ 长的 PCB 导线实现。

5. 尽量不要在射频器件及走线上布丝印，厚重的丝印会影响 PCB 的介电常数和射频输出阻抗
6. 铺地和射频走线应该尽量平整，以减小传输线上的阻抗波动。

CMOSTEK Confidential

3. 晶体电路设计

CMT211x/5x/8xA 产品支持单端晶体设计，晶体负载电容集成在芯片，无需额外负载电容。推荐选用下表所示晶体规格。

表 6. 晶体规格

参数	符号	条件	最小	典型	最大	单位
晶体频率	F_{XTAL}		26	26	26	MHz
晶体频率精度 ^[2]				± 20		ppm
负载电容 ^[3]	C_{LOAD}		12	15	20	pF
晶体等效电阻	R_m				60	Ω
晶体起振时间 ^[4]	t_{XTAL}			400		us
<p>备注:</p> <p>[1]. CMT211x/5x/8xA 支持用外部 26 MHz 时钟源通过耦合电容直接驱动 XTAL 管脚。请注意控制使该管脚峰峰值幅度在 0.3 到 0.7 V 之间。</p> <p>[2]. 此处指所有的频率精度的容差，包括 (1) 初始容差；(2) 晶体负载；(3) 老化；和 (4) 温度变化。可接受的晶体频率容差取决于用户产品通讯系统的要求，如频率，信道，带宽等。</p> <p>[3]. 所需的晶体负载电容集成与芯片内，以减少片外元件数量。</p> <p>[4]. 此参数与所用晶体有很大关系。</p>						

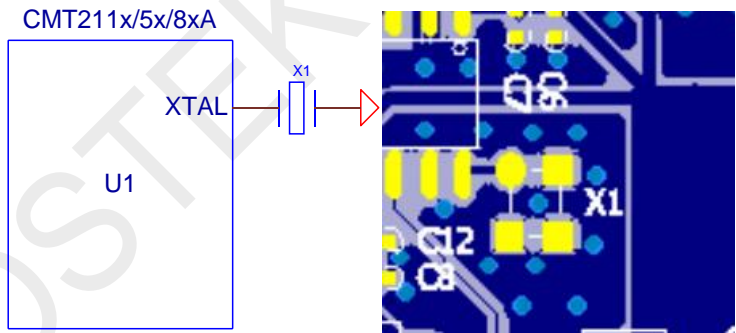


图 10. 单端晶体的原理图（左）及版图（右）设计

说明如下：

1. 晶体应该尽量靠近 CMT211x/5x/8xA，以减少走线寄生电容。这可以有效降低频率偏差的可能。
2. 晶体应尽可能远离 PA 输出，天线及数字走线，并在其周围尽可能多铺地。这些能有效的降低晶体背 PA 输出干扰的可能。
3. 晶体的金属外壳接地（比如说 49S 插件晶体，或者柱晶等）
4. 晶体负载电容集成在芯片内，默认 15 pF，片外无需外挂负载电容，用户可以直接选用频率为 26 MHz，负载电容为 15 pF 的晶体。为了安全起见，建议用户在 PCB 上预留测试点，方便在线修改芯片参数，详见第 8 章。

4. 数字信号设计

数字信号（包括 DATA 和 CLK）的走线注意事项如下：

1. 数字信号应尽量远离 XTAL 和 RF 走线。
2. 数字信号应尽可能用铺地围起来，以减少相互串扰。

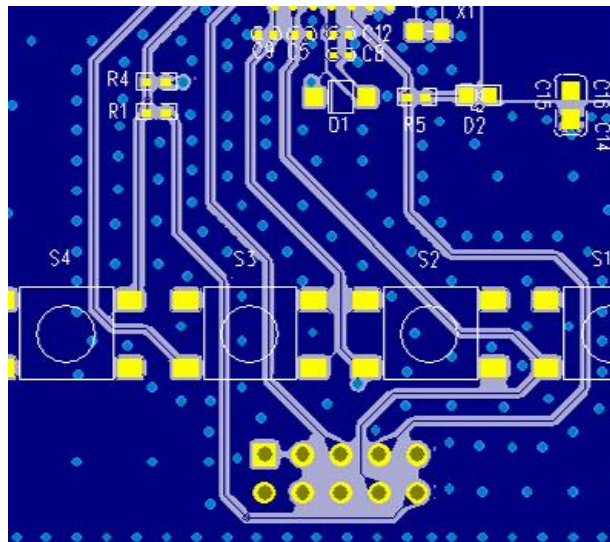


图 11. 数字信号的版图设计

5. 电源及地设计

5.1 电源滤波电路设计

为了减轻电源上的噪声/纹波对芯片的影响，及 PA 输出对电源的影响，用户应当在以下两处设计滤波电容。如图所示。

1. 芯片的 VDD 管脚处 (C0/C5)。
2. RFO 或者 PAP/PAN 输出管脚的取能电感连接 VDD 的一端处(C6/C7)。

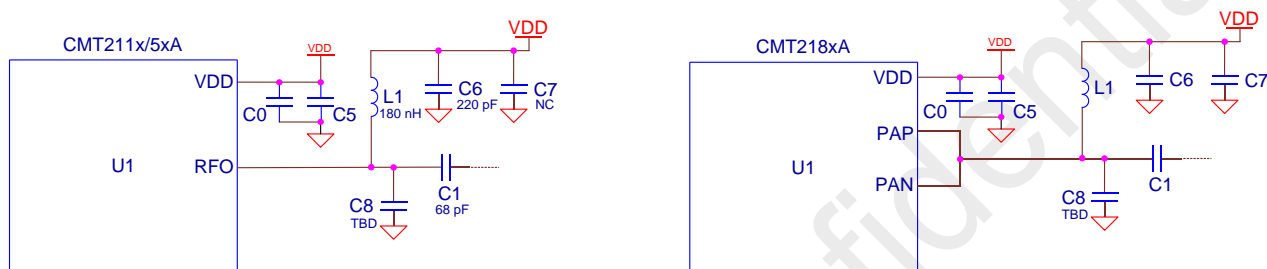


图 12. VDD 及射频输出滤波电容设计

版图注意事项：

1. C6/C7 版图上尽量靠近取能电感 L1。
2. C0/C5 版图上尽量芯片的 VDD 管脚。

5.2 铺地设计

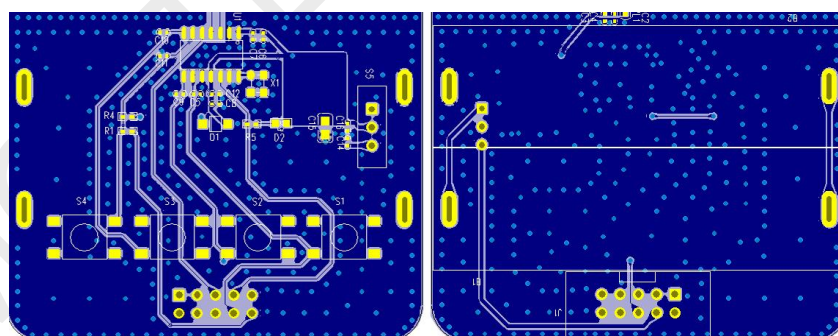


图 13. 铺地设计

说明如下：

1. 尽量用大片的连续地做铺地设计。
2. 地的走线使得电流的回流路径环面积最小，以使从供电环路上向外辐射尽量减小。
3. 芯片底部尽量多铺地，以减小对射频输出传输线阻抗连续性的影响，并增强 ESD 性能。
4. PCB 边沿尽量多大间距不超过 M10 的过孔，以减小 PCB 边沿的高次谐波辐射。
5. 芯片底下一定要铺地。

6. 功耗优化考虑

在对功耗要求比较严格的发射应用中，CMT211x/5x/8xA 提供了多种不同的方法来满足不同应用场景的需求。具体有：

1. 降低发射功率。
2. 优化匹配网络。
3. 提高发射数据率。
4. 增加包间隔时间。
5. 控制 LED 驱动电流。
6. 使用差分射频输出。

6.1 降低发射功率

通过在 RFPDK 上面设置较小的发射功率值能有效而直接的降低芯片功耗，当然随之而来的发射功率的降低，传输距离的减少。所以这是直接在功耗与距离上的折中，用户需要确认降低功耗后的传输距离还能满足系统要求。或者通过其他方式优化功耗或者距离。

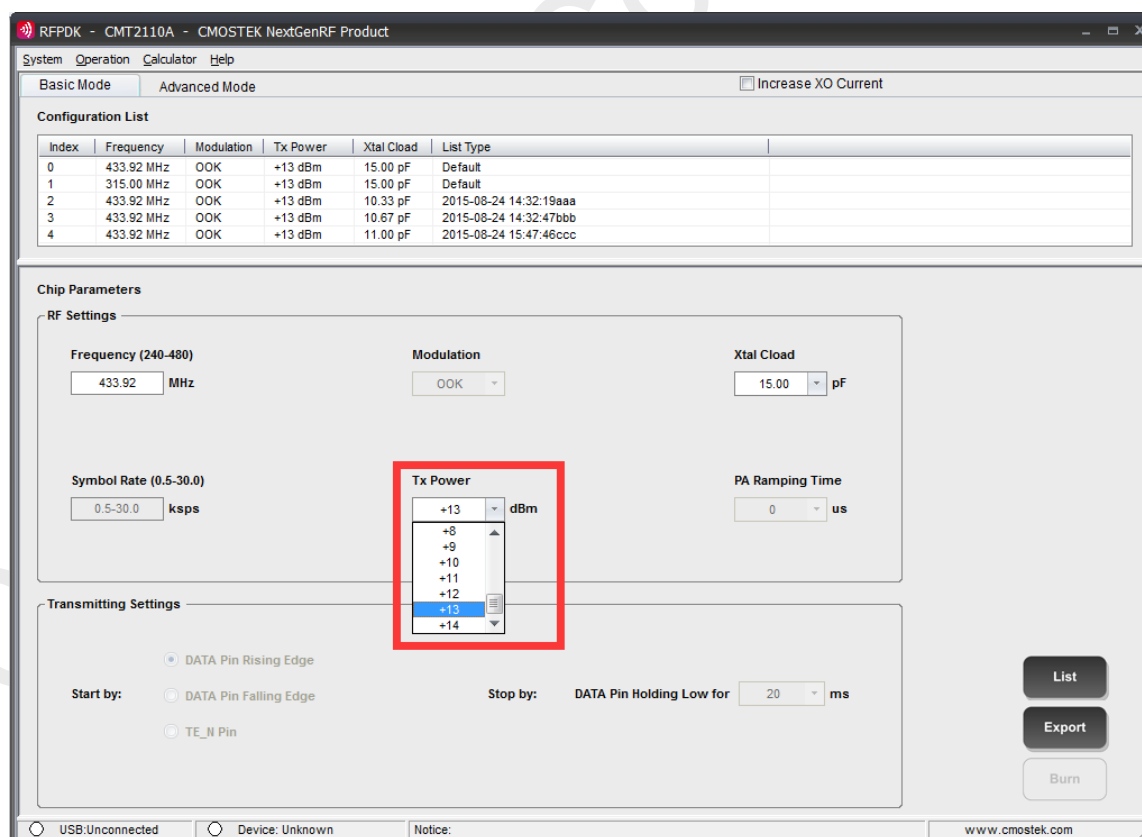


图 14. 通过 RFPDK 改变芯片发射功率

值得注意的是，通过在取能电感上串接一个限流电阻的方法改变发射功率是不能有效降低芯片的功耗的。所以推荐用改变芯片设置的方法改变发射功率。

CMOSTEK Confidential

6.2 优化匹配网络

匹配网络的目的是把输出阻抗匹配到天线的阻抗上，不当的阻抗会降低发射效率，浪费功耗。根据不同的天线，用户用该借助网络分析仪等一起，设计一套对于具体应用来说较优化的匹配网络，已达到提高发射效率，优化功率的目的。

另外，值得注意的是，降低匹配网络滤波器的阶数，也可以一定程度的提供发射效率，降低功耗。但是滤波器阶数的降低，带来的是对谐波抑制的减弱，所以这种方法适用于对谐波辐射要求不高的应用场合。

6.3 提高发射数据率

在同样包间隔的前提下，提高发射数据率可以缩短发射包的时间，从而降低平均功耗。

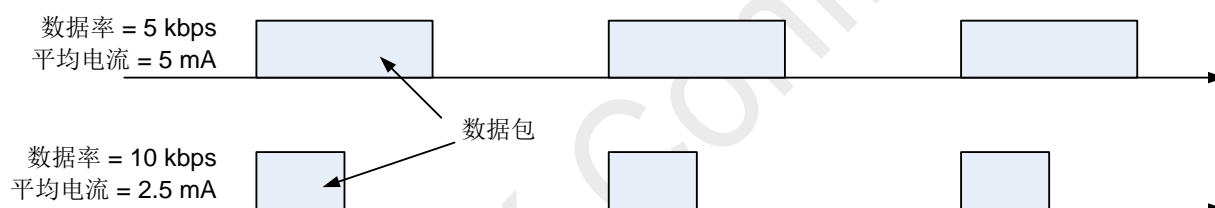


图 15. 提高数据率来降低平均功耗

对于 CMT211xA 来说，还可以通过 TWI 的方式来控制发射结束，做到即发即停，进一步节省功耗。

值得注意的是，数据率的提高可能会降低接收灵敏度，进而影响传输距离。

6.4 增加包间隔时间

降低平均功耗的另一个途径是提高包间隔长度，以降低平均功耗。如下图所示。

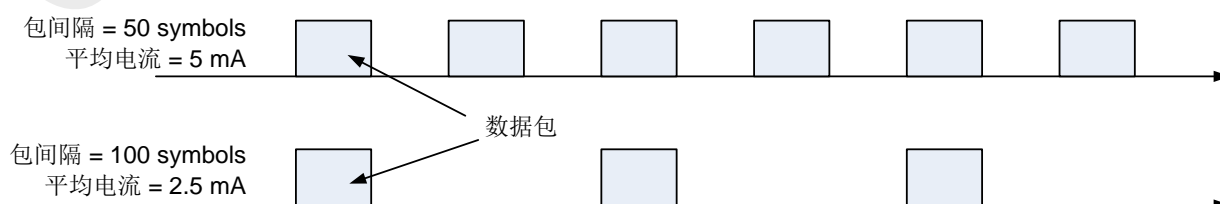


图 16. 提高包间隔来降低平均功耗

CMT211x/8xA 可以通过 MCU 部分的程序设置包间隔长度，CMT215xA 可以通过 RFPDK 设置包间隔长度，如下图。

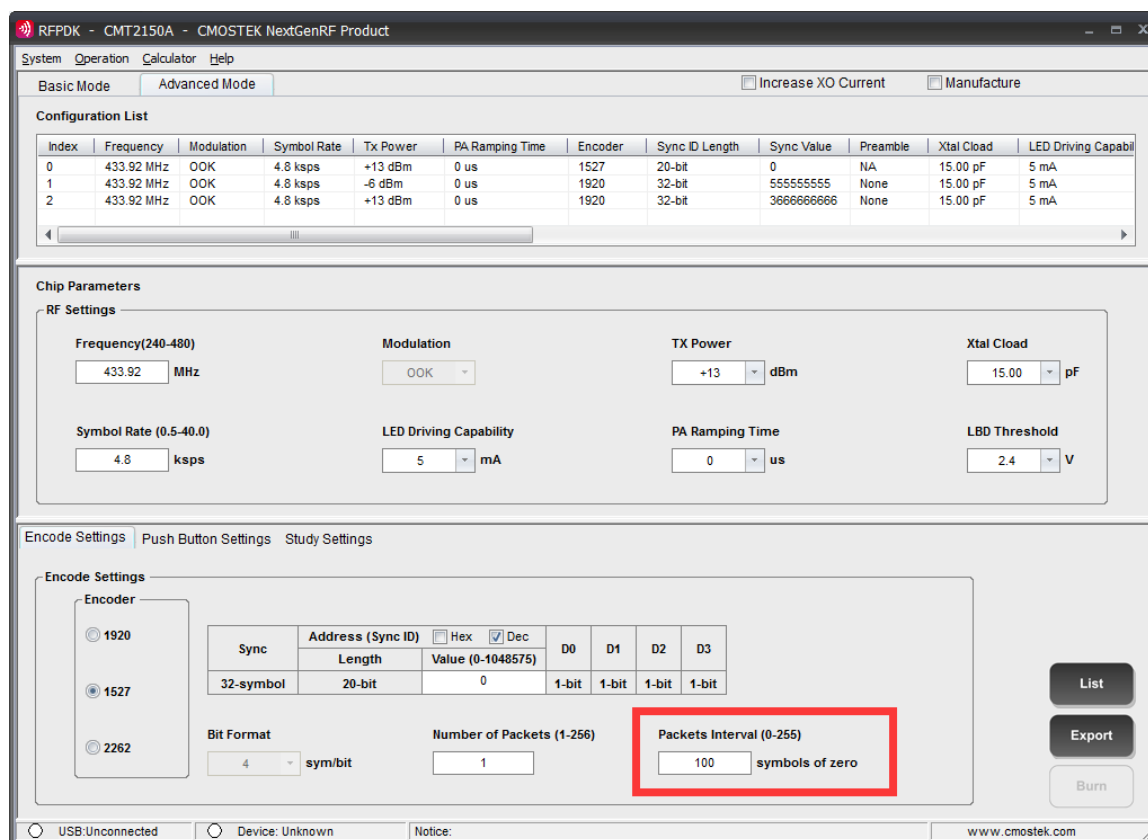


图 17. 在 RFPDK 上设置 CMT215xA 的包间隔

值得注意的是，这种方法比较适用于一次发射发多个数据包的应用，比如说门铃应用，遥控器应用等。用户需要确保在增加包间隔后，接收端的接收窗口时间足够长，以可靠的接收到正确的数据包。上图中的 Packet Interval 设置的单位是 Symbol，Symbol 的长度由 Symbol Rate 决定。例如 Symbol Rate 为 5 kbps 时，每个 Symbol 的长度为 200 us，100 个 symbols of zero 的总长度则为 $200 \text{ us} \times 100 = 20 \text{ ms}$ 。

6.5 控制 LED 的驱动电流

CMT215xA 可以直接驱动 LED 以指示发射状态或者低电压状态。在 LED 与 VDD 之间串联限流电阻，在可接受的亮度条件下尽可能的降低由驱动 LED 消耗的电流。

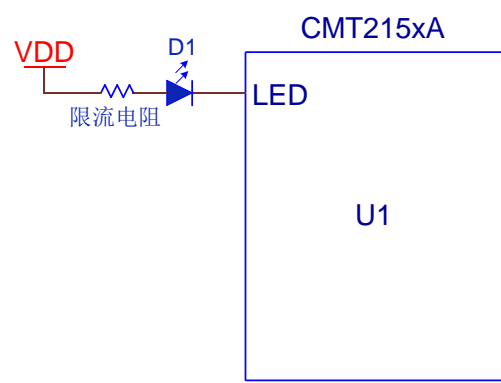


图 18. 控制 LED 的驱动电流

注意，RFPDK 上面有一个参数叫“LED Driving Capability”，这个参数并只是限制了最大驱动能力，在这个驱动能力以下的驱动电流，它并不能很好的控制，所以还是需要通过限流电阻来控制驱动电流。

6.6 使用差分射频输出

CMT218xA 除了支持单端射频输出以外，还可以支持差分射频输出，如第 2.2 节中所描述的一样。差分天线在功耗上表现更好。

表 7. 晶体振荡器规格

发射功率	单端射频输出功率 (mA)	差分射频输出功率 (mA)
0 dBm	8.5	4.5
+10 dBm	11.5	6.9
+13 dBm	13.0	9.1
备注： [1]. 以上功耗在 OOK，50% 占空比的条件下得到。		

7. 按键电路设计

CMT215xA 支持组合按键。当需要用到组合按键的时候，组合按键与管脚之间需要用隔离二极管进行隔离，如下图所示。

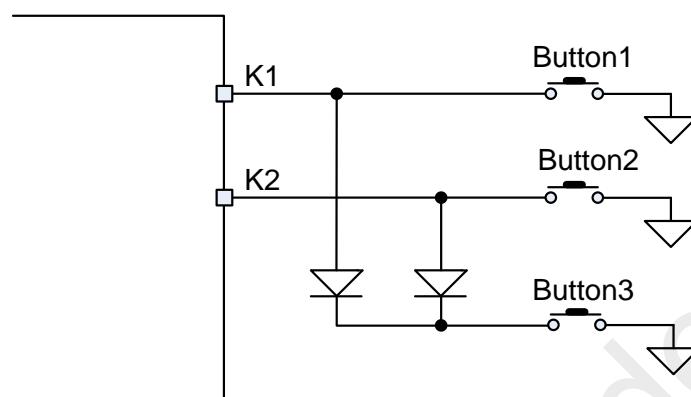


图 19. 组合按键设计

CMT218xA 也支持组合按键，但是是否需要隔离二极管进行隔离，取决于其 MCU 程序的设计。

8. 测试电路设计

CMT 系列产品的一个特点是可以通过对芯片烧录改变芯片的功能，因此，CMOSTEK 强烈建议客户在设计 PCB 的时候为芯片预留测试点，以便：

- 1. 生产时方便对芯片进行烧录，以改变芯片的功能。
- 2. 方便对芯片的配置进行读取，了解芯片的配置情况。

其中，不同的产品型号需要预留的测试点如下表所示。

表 8. 晶体振荡器规格

型号	预留测试管脚 ^[1]
CMT211x/5xA	DATA, CLK
CMT218xA ^[2]	DATA, DATA2, CLK, CLK2, VTG

备注：

[1]. 以上测试管脚未含 VDD 和 GND，而芯片在测试，烧录时需要处于上电工作状态。

[2]. VTG 烧录时需要用到 15V 的电压，因此需要保护二极管 D1 在 VTG 和芯片的 VDD 之间进行隔离，如下图所示。

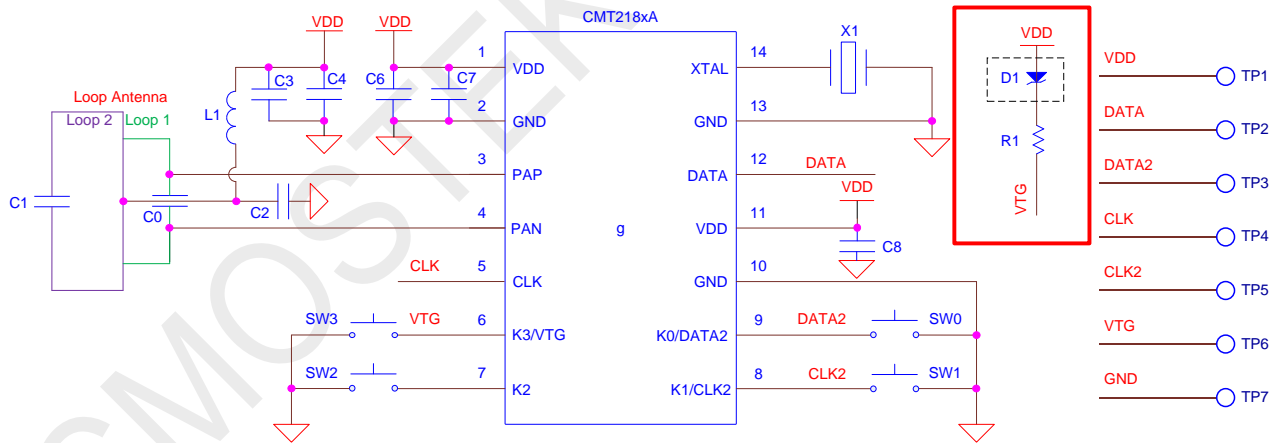


图 20. VTG 和 VDD 的隔离设计

9. 设计检查项

用户可以通过下面的检查项对比实际设计中是否已经考虑了这些细节

表 9. 设计检查项

单端射频输出设计	
<input type="checkbox"/>	(CMT218xA) CMT218xA 用作单端射频输出的时候是否已经 PAP/PAN 管脚连在一起。
<input type="checkbox"/>	射频信号路径是否尽量短，以减少射频信号的损失。
<input type="checkbox"/>	相邻的电感是否已经避免摆成同样的方向，以避免相互之间的耦合。
<input type="checkbox"/>	取能电感 L1 是否已经离 RFO 管脚或者 PAP/PAN 尽量近。
<input type="checkbox"/>	射频传输线的走线宽度是否已经考虑了阻抗大小（ 50Ω 左右的阻抗用 1mm 左右宽的传输线）。
<input type="checkbox"/>	整个匹配网络是否已经尽量靠近发射芯片。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上布丝印。
<input type="checkbox"/>	铺地和射频走线是否已经尽量平整。
<input type="checkbox"/>	天线长度是否接近 $\lambda/4$ 。
<input type="checkbox"/>	晶体是否已经尽量远离天线。
<input type="checkbox"/>	(PCB 天线)PCB 天线宽度是否超过 1 mm。
<input type="checkbox"/>	(PCB Loop 天线)PCB 面积较小时, PCB 天线是否已经沿 PCB 外框走了完整的一圈，以提高辐射面积。
<input type="checkbox"/>	(PCB Loop 天线)PCB 天线末端是否已经加上了可选对地电容。
差分射频输出设计	
<input type="checkbox"/>	谐振环（Loop1）和辐射环（Loop2）是否已经做到了物理对称。
<input type="checkbox"/>	取能电感 L1 及其滤波电容是否已经尽量靠近 PAP/PAN 管脚。
<input type="checkbox"/>	差分天线附近是否已经做留有足够净空区域，没有铺地，没有走线。
<input type="checkbox"/>	辐射环（Loop2）的面积是否已经尽量足够大（周长接近 $\lambda/4$ ，线宽 $>1.5\text{mm}$ ）。
<input type="checkbox"/>	谐振环（Loop1）的面积是否让 RFPDK 上 CCode 的读值在 100 左右。
<input type="checkbox"/>	谐振环（Loop1）上是否留有可选补偿电容 C0 的位置，并保证物理对称。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上布丝印。
<input type="checkbox"/>	铺地和射频走线是否已经尽量平整。
<input type="checkbox"/>	设计及调试匹配网络的时候是否已经考虑到外壳引入的寄生参数。
晶体电路设计	
<input type="checkbox"/>	晶体是否已经尽量靠近 CMT211x/5x/8xA，以减少走线寄生电容。这可以有效降低频率偏差的可能。

<input type="checkbox"/>	晶体是否已经尽可能远离 PA 输出，天线及数字走线，并在其周围尽可能多铺地。这些能有效的降低晶体背 PA 输出干扰的可能。
<input type="checkbox"/>	晶体的金属外壳是否已经接地（比如说 49S 插件晶体，或者柱晶等）。
数字信号设计	
<input type="checkbox"/>	数字信号是否已经尽量远离 XTAL 和 RF 走线。
<input type="checkbox"/>	数字信号是否已经尽可能用铺地围起来，以减少相互串扰。
电源及地设计	
<input type="checkbox"/>	VDD 滤波电容 C0/C5 版图上是否已经尽量靠近芯片的 VDD 管脚。
<input type="checkbox"/>	取能电感滤波电容 C6/C7 版图上是否已经尽量靠近取能电感 L1。
<input type="checkbox"/>	是否已经尽量用大片的连续地做铺地设计。
<input type="checkbox"/>	地的走线是否已经使得电流的回流路径环面积最小，以使从供电环路上向外辐射尽量减小。
<input type="checkbox"/>	芯片底部是否已经尽量多铺地，以减小对射频输出传输线阻抗连续性的影响，并增强 ESD 性能。
<input type="checkbox"/>	PCB 边沿是否已经尽量多大间距不超过 $\lambda/10$ 的过孔，以减小 PCB 边沿的高次谐波辐射。
<input type="checkbox"/>	芯片底下是否已经铺地。
按键电路设计	
<input type="checkbox"/>	CMT215xA 的组合按键是否已经用隔离二极管隔离。
测试电路设计	
<input type="checkbox"/>	PCB 设计是否已经预留了测试烧录点。
<input type="checkbox"/>	(CMT218xA)VTG 需要烧录时是否已经设计了保护二极管 D1。

10. 文档变更记录

表 10. 文档变更记录表

版本号	章节	变更描述	日期
0.8	所有	初始版本发布	2015-09-16

11. 联系方式

华普微电子有限公司

中国广东省深圳市南山区西丽镇平山村民企科技园 3 栋 2 楼(东侧)

邮编: 518055

服务热线: 4001-189-180

总机: +86 - 755-82973805

传真: +86 - 755-82973550

Email: sales@hoperf.com

hoperf@gmail.com

网址: <http://www.hoperf.cn>

<http://www.hoperf.com>