
CMT2300A原理图及PCB版图设计指南

概要

本文档是 CMT2300A 应用开发指南。CMOSTEK 从如下几个方面来阐述，如何设计和应用 CMT2300A 原理图和 PCB 版图，以达到最佳的射频性能。

- 匹配网络设计
- 晶体电路设计
- 数字信号设计
- 电源及地设计

目录

概要 1

1. 匹配网络设计	3
1.1 直连 (Direct Tie) 匹配电路设计	3
1.1.1 直连 (Direct Tie) 匹配电路原理图	3
1.1.2 直连 (Direct Tie) 匹配电路版图设计	6
1.2 CMT2300A RF 开关 (Switch Type) 匹配电路设计	7
1.2.1 CMT2300A RF 开关 (Switch Type) 匹配电路原理图设计	7
1.2.2 CMT2300A RF 开关 (Switch Type) 匹配电路版图设计	9
2. 晶体电路设计	10
3. 数字信号设计	11
4. 电源及地设计	12
4.1 电源滤波电路设计	12
4.2 铺地设计	12
5. 设计检查项	13
6. 文档变更记录	14
7. 联系方式	15

1. 匹配网络设计

通常，在设计射频匹配网络时，需要兼顾几个方面：端口的阻抗匹配必须一致，插入损耗尽可能小，带外衰减尽可能大，PA 功率与效率尽可能高，元件个数尽可能少。

针对 CMT2300A 射频匹配网络设计，CMOSTEK 提供 Direct Tie 和 Switch Type 两种匹配方法。

1.1 直连（Direct Tie）匹配电路设计

直连（Direct Tie）匹配电路无需 RF 开关，TX 和 RX 通路阻抗变换后直连到天线。CMOSTEK Direct Tie 匹配优化了电路结构，采用较少的元器件，既可满足 CE/FCC 规范，又实现高接收灵敏度，高效率和大功率输出。

1.1.1 直连（Direct Tie）匹配电路原理图

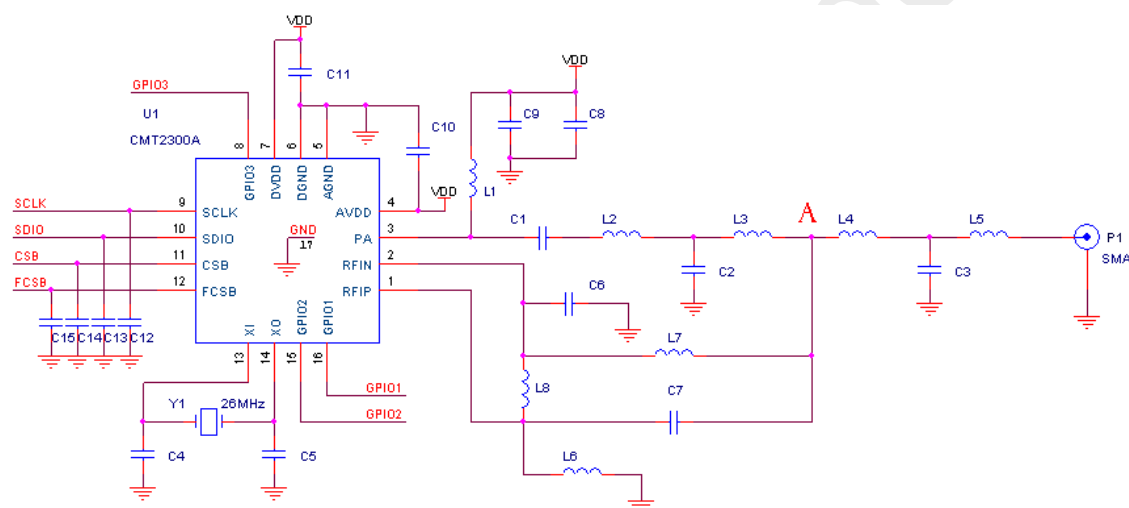


图 1. CMT2300A 直连（Direct Tie）匹配电路图

1. L1 是扼流电感。
2. C8-C11 是电源退耦电容，用于减少 PA 输出对电源的影响。根据实际的应用需求要做适当调整。
3. C1 是隔直电容，并且与 L2 的部分电感在工作频段形成谐振起到谐波抑制作用。
4. 上图标识的 A 点为直连点，该点的阻抗是 50Ω 。
5. L2, C2 和 L3 组成 TX 匹配网络，实现 PA 输出和直连点阻抗匹配。
6. C6, L6, C7, L7, L8 组成 RX 巴伦匹配网络，实现接收机的输入阻抗和直连点匹配，并使得接收信号到达差分输入口 RFIP,RFIN 处时幅度相等，相位相差 180° 。
7. L4, C3, L5 为 50Ω 到 50Ω 的 T 型低通滤波匹配网络。
8. Y1 推荐用频率容差 $\pm 20\text{ppm}$ 的 26MHz 晶体，可接受的晶体频率容差取决于用户产品通讯系统的要求，如频率，信道，带宽等。
9. C4, C5 为晶体负载电容（注意芯片内部已经集成了约 4pF 的负载电容，以 $\text{CL}=15\text{pF}$ 的 26MHz 晶体

为例，折合晶体相连走线分布电容 2pF，C4 和 C5 取值约 $15 \times 2 - 4 - 2 = 24\text{pF}$ ）。

10. C12-C15 滤波电容，在布线不合理或走线太长情况下，串口 CSB, FCSB, SDIO, SCLK 管脚容易受到干扰，功率输出（20dBm）越大，工作频率越低，受干扰的概率越大，建议靠近四个管脚预留到地电容（27pF）滤除射频干扰。

各频段 Direct Tie 匹配电路的元器件值，+13 dBm 见表 1，+20 dBm 见表 2。

表 1. CMT2300A 直连+13dBm 物料清单

位号	描述	元件值			单位	供应商
		433 MHz +13dBm	868 MHz +13dBm	915 MHz +13 dBm		
C1	±5%, 0603 NP0, 50 V	15	22	22	pF	
C2	±5%, 0603 NP0, 50 V	5.6	6.2	6.2	pF	
C3	±5%, 0603 NP0, 50 V	7.5	3.6	3.3	pF	
C4	±5%, 0603 NP0, 50 V	24	24	24	pF	
C5	±5%, 0603 NP0, 50 V	24	24	24	pF	
C6	±5%, 0603 NP0, 50 V	4.7	2.2	2.2	pF	
C7	±5%, 0603 NP0, 50 V	4.7	2.2	2.2	pF	
C8	±5%, 0603 NP0, 50 V	4.7			uF	
C9	±5%, 0603 NP0, 50 V	470			pF	
C10	±5%, 0603 NP0, 50 V	0.1			uF	
C11	±5%, 0603 NP0, 50 V	0.1			uF	
L1	±5%, 0603 叠层贴片电感	180	100	100	nH	Sunlord
L2	±5%, 0603 叠层贴片电感	56	10	8.2	nH	Sunlord
L3	±5%, 0603 叠层贴片电感	39	8.2	6.8	nH	Sunlord
L4	±5%, 0603 叠层贴片电感	18	10	8.2	nH	Sunlord
L5	±5%, 0603 叠层贴片电感	18	10	8.2	nH	Sunlord
L6	±5%, 0603 叠层贴片电感	27	15	12	nH	Sunlord
L7	±5%, 0603 叠层贴片电感	27	15	12	nH	Sunlord
L8	±5%, 0603 叠层贴片电感	68	12	12	nH	Sunlord
Y1	±10 ppm, SMD32*25 mm	26			MHz	EPSON
U1	CMT2300A,超低功耗 Sub-1GHz 射频收发器	-			-	CMOSTEK

表 2. CMT2300A 直连+20dBm 物料清单

标号	描述	元件值			单位	供应商
		433 MHz +20dBm	868 MHz +20dBm	915 MHz +20 dBm		
C1	±5%, 0603 NP0, 50 V	15	18	18	pF	
C2	±5%, 0603 NP0, 50 V	3	3.6	3.6	pF	
C3	±5%, 0603 NP0, 50 V	6.2	3.3	3.3	pF	
C4	±5%, 0402 NP0, 50 V	24	24	24	pF	
C5	±5%, 0402 NP0, 50 V	24	24	24	pF	
C6	±5%, 0603 NP0, 50 V	4.7	2	1.8	pF	
C7	±5%, 0603 NP0, 50 V	4.7	2	1.8	pF	
C8	±5%, 0603 NP0, 50 V	4.7			uF	
C9	±5%, 0603 NP0, 50 V	470			pF	
C10	±5%, 0603 NP0, 50 V	0.1			uF	
C11	±5%, 0603 NP0, 50 V	0.1			uF	
C12	±5%, 0402 NP0, 50 V	27			pF	
C13	±5%, 0402 NP0, 50 V	27			pF	
C14	±5%, 0402 NP0, 50 V	27			pF	
C15	±5%, 0402 NP0, 50 V	27			pF	
L1	±5%, 0603 叠层贴片电感	180	100	100	nH	Sunlord
L2	±5%, 0603 叠层贴片电感	22	12	12	nH	Sunlord
L3	±5%, 0603 叠层贴片电感	15 pF	15	15	nH	Sunlord
L4	±5%, 0603 叠层贴片电感	33	6.2	6.2	nH	Sunlord
L5	±5%, 0603 叠层贴片电感	33	6.2	6.2	nH	Sunlord
L6	±5%, 0603 叠层贴片电感	27	15	15	nH	Sunlord
L7	±5%, 0603 叠层贴片电感	27	15	15	nH	Sunlord
L8	±5%, 0603 叠层贴片电感	68	12	12	nH	Sunlord
Y1	±10 ppm, SMD32*25 mm	26			MH	EPSON
U1	CMT2300A,超低功耗 Sub-1GHz 射频收发器	-			-	CMOSTEK

推荐客户参考 CMOSTEK 直连 (Direct Tie) 匹配的设计, TX 和 RX 通路到直连点之间的网络尽量采用列表 1 或 2 相同值的元件。而天线匹配滤波网络 (L4,C3,L5), 要根据天线阻抗, 成本要求, 是否要求满足 CE/FCC 规范等因素, 来调整滤波器的阶数和元件值。如线路板面积受限, 建议 L1-L8, 仍采用高 Q 值叠层 0603 电感(如 Sunlord SDCL1608 系列), 但电容都可采用 0402 封装。

1.1.2 直连（Direct Tie）匹配电路版图设计

CMOSTEK 直连（Direct Tie）匹配 PCB Layout 为两层布线设计。

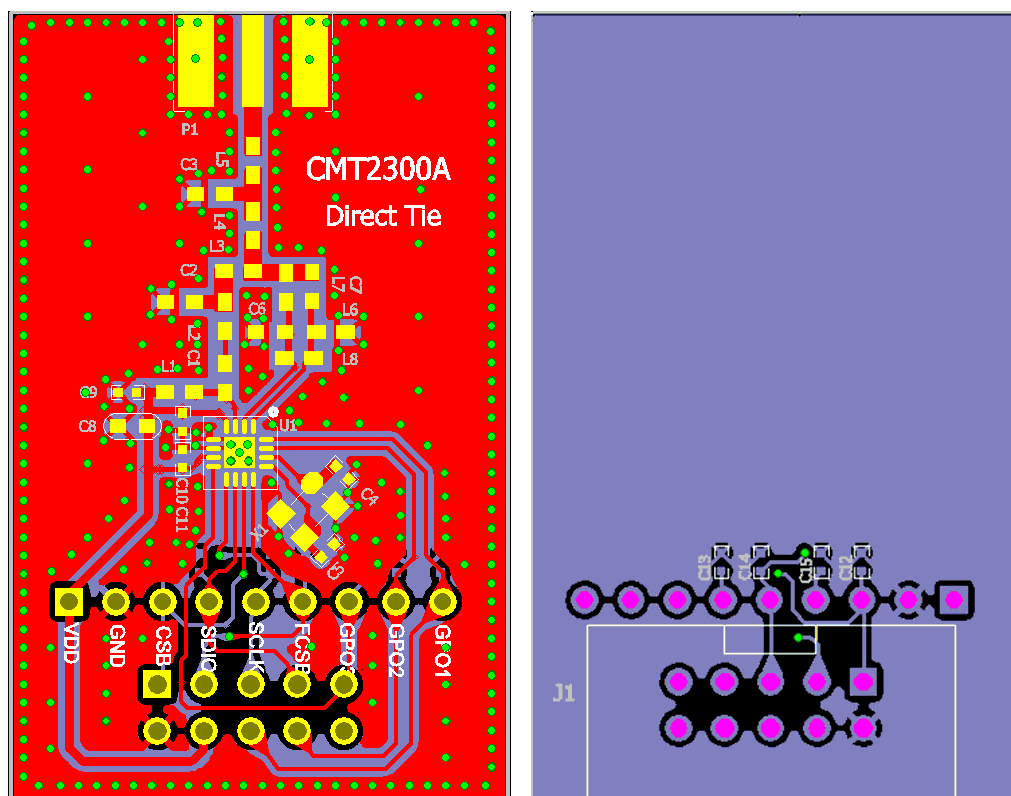


图 2. CMT2300A 直连 PCB 版图

说明如下：

1. 射频信号路径尽可能的直且短，减小射频信号输入与输出的损耗。
2. 射频走线应该尽量平整，以减小传输线上的阻抗波动而产生反射。在上图中 L2 到 P1 间走线为 50Ω 阻抗传输线。本参考设计中，双面板为 FR4 板材，介电常数 $\epsilon_r=4.6$ ，铜皮厚 1oz，PCB 板厚 0.8mm，当取传输线宽度为 1mm 左右，且传输线与包地（GND）的间隙设定为 0.35mm 时，就可得到阻抗为 50 欧姆的传输线。
3. 尽量不要有丝印落在射频路径上，丝印会影响传输线阻抗。
4. L1 离 PA 管脚尽量近。相邻电感尽量正交摆放，可减少相互耦合。
5. 直结合点的分支网络（上图 C2，L7 和 C7 相连部分）要尽量短。
6. 射频通路，晶振电路和 IC 的下方相邻层要有完整的铺地（GND）。
7. TX 和 RX 通路间要有 GND 网络进行隔离。

1.2 CMT2300A RF 开关（Switch Type）匹配电路设计

Switch Type 匹配电路需采用 RF switch 实现天线到 TX 和 RX 通路间的切换，与直连（Direct Tie）匹配相比，收发回路间隔离度高，匹配容易实现。

1.2.1 CMT2300A RF 开关（Switch Type）匹配电路原理图设计

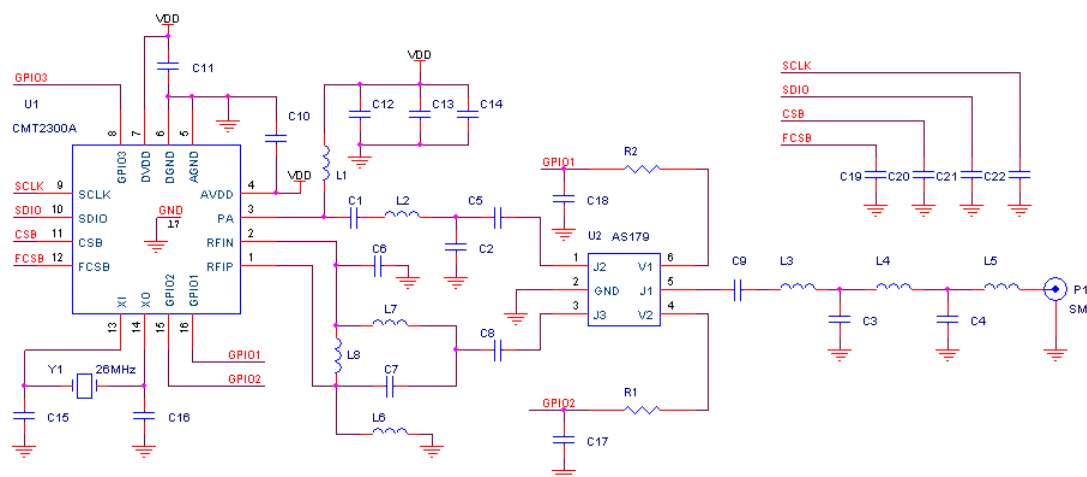


图 3. CMT2300A RF 开关匹配电路图

1. L1 是扼流电感。
2. C10-C14 是电源退耦电容，用于减小 PA 输出对电源的影响。
3. C1 是隔直电容，并且与 L2 的部分电感在工作频点形成谐振起到谐波抑制作用。
4. C8 和 C9 是耦合电容。
5. L2, C2 和 C5 使得 PA 输出阻抗和 RF 开关 J2 脚阻抗匹配。
6. C6, L6, C7, L7 和 L8 组成巴伦匹配网络，实现接收机的输入阻抗和 RF 开关 J3 脚阻抗相匹配，并使得接收信号到达差分输入口 RFIP,RFIN 处时幅度相等，相位相差 180 度。
7. L3, C3, L4, C4 和 L5 为低通滤波网络，实现天线和 RF 开关 J1 脚阻抗匹配，抑制谐波。
8. Y1 推荐用频率容差 $\pm 20\text{ppm}$ 的 26MHz 晶体，可接受的晶体频率容差取决于用户产品通讯系统的要求，如频率，信道，带宽等。
9. R1, R2 为限流电阻。
10. C15, C16 为晶体负载电容（注意芯片内部已经集成了约 4pF 的负载电容，以 $CL=15\text{pF}$ 的 26MHz 晶体为例，折合晶体相连走线分布电容 2pF，C4 和 C5 取值约 $15 \times 2 - 4 - 2 = 24\text{pF}$ ）。
11. C17, C18 滤波电容，滤除天线开关上杂散信号。
12. C19-C22 滤波电容，在布线不合理或走线太长情况下，串口 CSB, FCSB, SDIO, SCLK 管脚容易受到干扰，功率输出（20dBm）越大，工作频率越低，受干扰的概率越大，建议靠近四个管脚预留到地电容（27pF）滤除射频干扰。

表 3. CMT2300A RF 开关 +20dBm 物料清单

标号	描述	元件值		单位	供应商
		434 MHz +20 dBm	868 /915 MHz +20 dBm		
C1	±5%, 0402 NP0, 50 V	15	15	pF	
C2	±5%, 0402 NP0, 50 V	10	3.9	pF	
C3	±5%, 0402 NP0, 50 V	8.2	2.7	pF	
C4	±5%, 0402 NP0, 50 V	8.2	2.7	pF	
C5	±5%, 0402 NP0, 50 V	18 nH	220	pF	
C6	±5%, 0402 NP0, 50 V	4.7	2	pF	
C7	±5%, 0402 NP0, 50 V	4.7	2	pF	
C8	±5%, 0402 NP0, 50 V	220	220	uF	
C9	±5%, 0402 NP0, 50 V	220	220	pF	
C10	±5%, 0402 NP0, 50 V	0.1		uF	
C11	±5%, 0402 NP0, 50 V	0.1		uF	
C12	±5%, 0402 NP0, 50 V	470		pF	
C13	±5%, 0402 NP0, 50 V	2200		pF	
C14	±5%, 0402 NP0, 50 V	4.7		uF	
C15	±5%, 0402 NP0, 50 V	24	24	pF	
C16	±5%, 0402 NP0, 50 V	24	24	pF	
C17	±5%, 0402 NP0, 50 V	10	10	pF	
C18	±5%, 0402 NP0, 50 V	10	10	pF	
C19	±5%, 0402 NP0, 50 V	27		pF	
C20	±5%, 0402 NP0, 50 V	27		pF	
C21	±5%, 0402 NP0, 50 V	27		pF	
C22	±5%, 0402 NP0, 50 V	27		pF	
L1	±5%, 0603 叠层贴片电感	180	100	nH	Sunlord
L2	±5%, 0402 叠层贴片电感	27	6.8	nH	Sunlord
L3	±5%, 0402 叠层贴片电感	18	12	nH	Sunlord
L4	±5%, 0402 叠层贴片电感	33	22	nH	Sunlord
L5	±5%, 0402 叠层贴片电感	15	10	nH	Sunlord
L6	±5%, 0402 叠层贴片电感	27	12	nH	Sunlord
L7	±5%, 0402 叠层贴片电感	27	12	nH	Sunlord
L8	±5%, 0402 叠层贴片电感	68	18	nH	Sunlord
Y1	±10 ppm, SMD32*25 mm	26		MHz	EPSON
U1	CMT2300A, 超低功耗 Sub-1GHz 射频收发器	-		-	CMOSTEK
U2	AS179, PHEMT GaAs IC SPDT Switch	-		-	SKYWOKS
R1	±5%, 0402,1/16W	2.2		kΩ	
R2	±5%, 0402,1/16W	2.2		kΩ	

1.2.2 CMT2300A RF 开关（Switch Type）匹配电路版图设计

CMT2300A RF 开关匹配 PCB Layout 为两层布线设计。

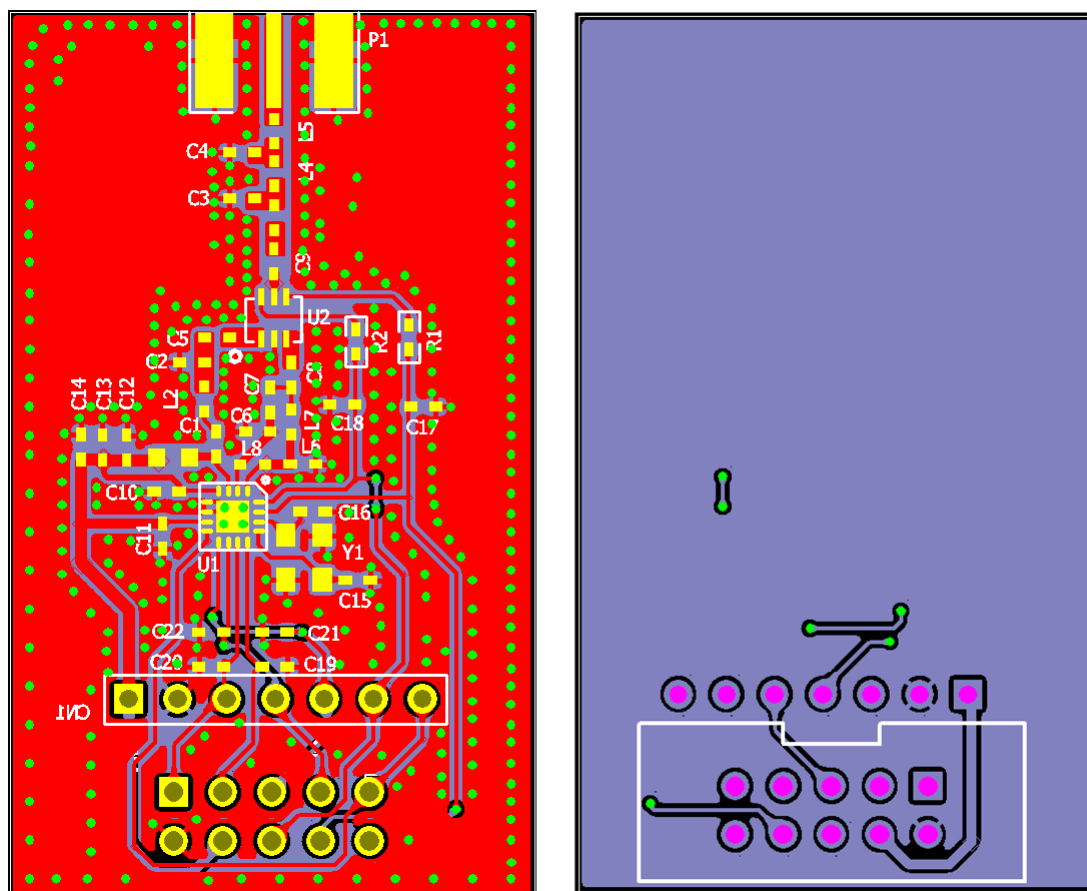


图 4. CMT2300A RF 开关 PCB 版图

说明如下：

1. 射频信号路径尽可能的直且短，减小射频信号输入与输出的损耗。
2. 射频走线应该尽量平整，以减小传输线上的阻抗波动而产生反射。在上图中 L2 到 P1 间射频走线为 50Ω 阻抗传输线。本参考设计中，双面板为 FR4 板材，介电常数 $Er=4.6$ ，铜皮厚 1oz，PCB 板厚 0.8mm，当取传输线宽度为 1mm 左右，且传输线与包地（GND）的间隙设定为 0.35mm 时，就可得到阻抗为 50 欧姆的传输线。
3. 尽量不要有丝印落在射频路径上，丝印会影响传输线阻抗。
4. L1 离 PA 管脚尽量近。相邻电感尽量正交摆放，可减少相互耦合。
5. 射频通路，晶振电路和 IC 的下方相邻层要有完整的铺地（GND）。

2. 晶体电路设计

推荐选用下表所示晶体规格：

表 4. 晶体规格

参数	符号	条件	最小	典型	最大	单位
晶体频率 ^[1]	F _{XTAL}			26		MHz
晶体频率精度 ^[2]				±20		ppm
负载电容	C _{LOAD}			15		pF
晶体等效电阻	R _m			60		Ω
晶体起振时间 ^[3]	t _{XTAL}			400		us
<p>备注:</p> <p>[1]. CMT2300A 支持用外部 26 MHz 时钟源通过耦合电容直接驱动 XI 管脚。请注意限制该信号幅度在 0.3 到 0.7 V 之间。</p> <p>[2]. 此处指所有的频率精度的容差，包括 (1) 初始容差；(2) 晶体负载；(3) 老化；和 (4) 温度变化。</p> <p>[3]. 此参数与所用晶体本身的有很大关系。</p>						

注意事项：

1. 晶体应该尽量靠近 IC，以减少走线寄生电容，降低频率偏差。
2. 晶体应尽可能远离 PA 输出，天线及数字走线，并在其周围尽可能多铺地。这些能有效的降低晶体被干扰。
3. 如采用 49S 插件晶体，或者柱状晶体等，晶体的金属外壳要接地。

3. 数字信号设计

数字信号（包括串口和 GPIO 口）的走线注意事项如下：

1. 数字信号应尽量远离晶体和 RF 走线。
2. 数字信号应尽可能用地围起来，以减少相互串扰。
3. 在布线不合理或走线太长情况下，串口 CSB,FCSB,SDIO,SCLK 管脚容易受到干扰，功率输出(20dBm)越大，工作频率越低，受干扰的概率越大。

4. 电源及地设计

4.1 电源滤波电路设计

为了减轻电源上的噪声纹波对芯片的影响，及 PA 输出对电源的影响，用户应当在以下几处设计滤波电容。

1. C10 靠近芯片的 AVDD 管脚处。
2. C11 靠近芯片的 DVDD 管脚处。
3. C12, C13 靠近扼流电感，建议 C13 保留以应对高次谐波。
4. C14 根据 PA 输出功率和供电电路性能，推荐值 4.7 - 10uF。

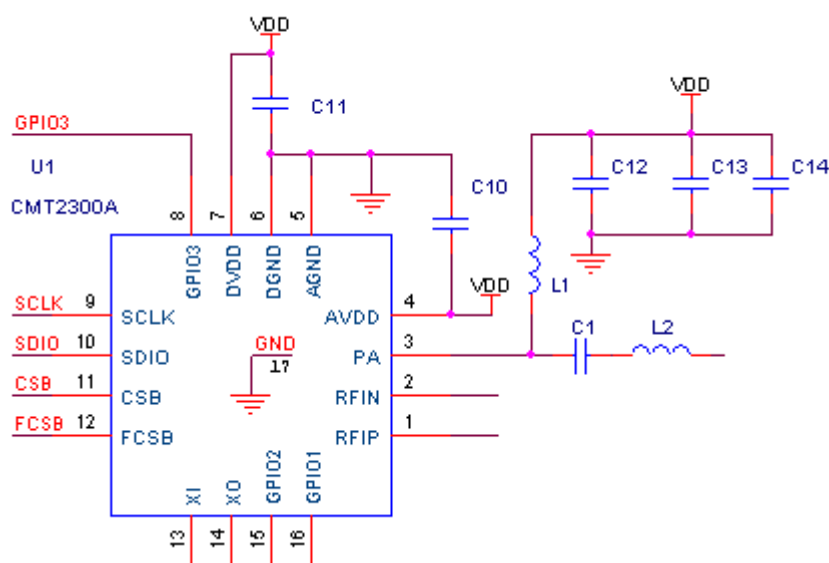


图 5. 电源滤波电容设计

4.2 铺地设计

说明如下：

1. 参考地层：射频走线需要在相邻层有大片的连续地做参考平面，以实现高效的功率输出和最佳接收灵敏度。
2. 射频走线两侧包地并打过孔到参考地平面以减小杂散辐射。
3. 各层地网络打过孔到参考地层，减小回路路径，从而使回路的辐射减少。
4. 线路板边沿尽量铺地，且过孔间距不超过 $\lambda/10$ ，从而减小辐射和增强抗 ESD 能力。
5. IC 衬底一定要有几个过孔到地层，有利于提升芯片的射频性能指标。
6. 晶体电路对干扰敏感，用包地隔离。

5. 设计检查项

表 5. 设计检查项

射频设计	
<input type="checkbox"/>	滤波电容是否已经尽量靠近芯片的电源管脚。
<input type="checkbox"/>	扼流电感 是否已经尽量靠近 PA 管脚。
<input type="checkbox"/>	相邻的电感是否已经避免摆成同样的方向。
<input type="checkbox"/>	射频信号路径是否尽量短。
<input type="checkbox"/>	射频传输线的走线宽度是否已经考虑了阻抗大小。
<input type="checkbox"/>	整个匹配网络是否已经尽量靠近芯片。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上有丝印。
<input type="checkbox"/>	射频走线及周围的铺地是否平整。
<input type="checkbox"/>	天线的阻抗是否已经匹配到 50 欧姆。
<input type="checkbox"/>	PCB 天线宽度是否超过 1 mm。
晶体电路设计	
<input type="checkbox"/>	晶体是否已经尽量靠近 CMT2300A。
<input type="checkbox"/>	晶体是否已经尽可能远离 PA 输出，天线及数字走线，并在其周围尽可能多铺地隔离。
<input type="checkbox"/>	晶体的金属外壳是否已经接地。
数字信号设计	
<input type="checkbox"/>	数字信号是否已经尽量远离晶体和 RF 走线。
<input type="checkbox"/>	数字信号是否已经尽可能用铺地围起来。
地设计	
<input type="checkbox"/>	是否已经尽量用大片的连续地。
<input type="checkbox"/>	地的走线是否已经使得电流环路尽可能最小。
<input type="checkbox"/>	PCB 边沿是否已经尽量多大间距不超过 $\lambda/10$ 的过孔。
<input type="checkbox"/>	衬底一定要有几个过孔打到参考地层。

6. 文档变更记录

表 6. 文档变更记录表

版本号	章节	变更描述	日期
0.8	所有	初始版本发布	2017-03-22

CMOSTEK Confidential

7. 联系方式

无锡泽太微电子有限公司深圳分公司

中国广东省深圳市南山区前海路鸿海大厦 203 室

邮编: 518000

电话: +86 - 755 - 83235017

传真: +86 - 755 - 82761326

销售: sales@cmostek.com

技术支持: support@cmostek.com

网址: www.cmostek.com

Copyright. CMOSTEK Microelectronics Co., Ltd. All rights are reserved.

The information furnished by CMOSTEK is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of CMOSTEK and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of CMOSTEK. CMOSTEK products are not authorized for use as critical components in life support devices or systems without express written approval of CMOSTEK. The CMOSTEK logo is a registered trademark of CMOSTEK Microelectronics Co., Ltd. All other names are the property of their respective owners.