

Poncho Juego Simon

EDU-CIAA NXP

Autor:

Juan Agustin Bassi

Proyecto completo:

git@gitlab.com:abassi/simonShield.git

Tipo de licencia:

BSD

Este proyecto fue realizado como trabajo final de la materia Diseño PCB perteneciente a la segunda cohorte de la CESE en Julio de 2016.

RESUMEN

El presente documento contempla la memoria de trabajo correspondiente al Poncho Juego Simon para la placa de desarrollo EDU-CIAA NXP.

Está pensado para ser una guía de referencia para proyectos de hardware que requieran realizar la investigación del circuito, selección de componentes, diagrama esquemático, diseño de PCB y ensamblaje, abordando cada tarea de manera metodológica.

Índice

[Revisiones](#)

[1. Introducción](#)

[1.1 Entradas y salidas](#)

[1.2 Requerimientos](#)

[1.3 Alcance del proyecto](#)

[2. Componentes](#)

[2.1 Información detallada](#)

[Tabla 2.1: Información detallada de componentes.](#)

[2.2 Aclaraciones](#)

[3. Diagrama Esquemático](#)

[3.1 Comprobaciones previas al diseño](#)

[Tabla 3.1: Comprobaciones previas al diseño del diagrama esquemático.](#)

[3.2 Conexionado de pines](#)

[Tabla 3.2: Conexionado con EDU-CIAA NXP.](#)

[3.3 Diseño](#)

[3.4 Post diseño](#)

[3.5 Revisión diagrama esquemático](#)

[3.6 Lista de materiales](#)

[Tabla 3.3: Lista de materiales.](#)

[4. Diseño de PCB](#)

[4.1 Comprobaciones previas al diseño](#)

[Tabla 4.1: Restricciones de diseño Ernesto Mayer S.A.](#)

[4.2 Recomendaciones](#)

[4.3 Diseño](#)

[Figura 4.1: Ruteo del PCB en KiCad.](#)

[Figura 4.2: Imagen PCB en 3D vista superior.](#)

[Figura 4.3: Imagen PCB en 3D vista superior.](#)

[Figura 4.4: Imagen PCB vista inferior.](#)

[5. Ensamblado](#)

[5.1 Restricciones armadores de placas](#)

[6. Conclusiones](#)

[7. Bibliografía y Referencias](#)

[8. Anexos](#)

[8.1 Configuración de vistas 3D en Kicad](#)

Revisiones

Versión	Detalle	Responsable	Fecha
0.1	Creación del documento	Juan Agustin Bassi	01/07/16
0.2	Modificación del contenido en tabla componentes	Juan Agustin Bassi	02/07/16
0.3	Agregado de referencias, diseño del PCB y esquemático	Juan Agustin Bassi	03/07/16
0.4	Conclusión del trabajo	Juan Agustin Bassi	04/07/16
0.5	Agregado de aclaraciones componentes	Juan Agustin Bassi	06/07/16
0.6	Revisión de diagrama electrico. BOM creado desde KiCad	Juan Agustin Bassi	07/07/16
0.7	Conclusiones, licencia y formato	Juan Agustin Bassi	07/07/16
0.8	Imágenes del PCB, cambio encabezado	Juan Agustin Bassi	14/07/16
0.9	Formateo de texto, imágenes y anexos.	Juan Agustin Bassi	15/07/16

1. Introducción

El juego Simon [1] genera una secuencia de luces y tonos a través de cuatro LEDs y un buzzer. El usuario debe ingresar la secuencia generada pulsando un botón asociado a cada LED.

1.1 Entradas y salidas

Entradas:

- 4 x botones para ingreso de secuencias por parte del usuario (uno para cada LED).
- 4 x botones de configuración (START, GAME, SKILL y BEST) .
- 3 x alimentación (GND, 3.3v y 5v).

Salidas:

- 4 x LEDs para representar la secuencia de forma lumínica .
- 1 x PWM para representar la secuencia de forma sonora (mediante diferentes frecuencias emitidas) a través de un buzzer.

1.2 Requerimientos

- Se utilizará Kicad 4.0.x.
- Se consolidará la documentación en forma organizada dentro del directorio de proyecto de KiCad.
- Se aplicará una licencia o Copyright.
- Se realizará diseño jerárquico del diagrama esquemático.
- Los componentes se conseguirán en el mercado local.
- Se utilizará como proveedor de referencia a Ernesto Mayer S.A.
- Se indicará que tipo/calidad de placa se fabricará.
- Se calculará el costo a través de la herramienta KiCost.
- Se exportarán los archivos para fabricar el PCB y montar sus componentes.

1.3 Alcance del proyecto

Las tareas alcanzadas por el proyecto son:

- Búsqueda de esquemáticos de referencia.
- Adaptación de esquemáticos al circuito necesario.
- Ingreso de esquemático a Kicad.
- Revisión del esquemático creado.
- Cálculo de presupuesto y proveedores de componentes con herramienta KiCost.
- Selección de footprints para cada componente.
- Ubicación de componentes en el circuito.
- Ruteo de pistas (Reglas de diseño adaptadas a Mayer).
- Generación de Gerbers.
- Imagen del PCB en 3D.

2. Componentes

Los componentes seleccionados para este proyecto son todos de tecnología de montaje de inserción, esto permite fabricación casera, bajo costo y materiales fáciles de conseguir en el mercado local.




El buscador utilizado para extraer la información de cada componente es el de DigiKey [2]. Los datos presentados a continuación son una copia exacta de la información que revela el buscador.


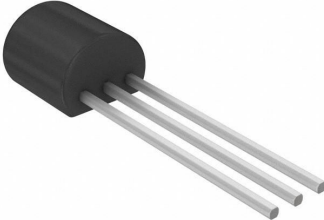
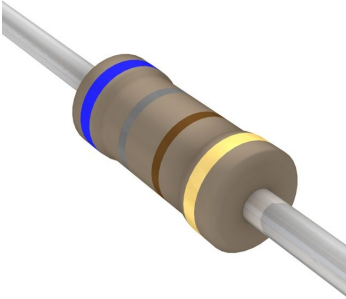
La metodología empleada para documentarse sobre los componentes es:

1. Recurrir al buscador preferencial. (en este caso DigiKey).
2. Buscar el componente en el buscador, y refinar la búsqueda con los filtros.
3. Entrar al link del componente, descargar el datasheet y/o notas de aplicación y ubicarlos en el directorio del proyecto “doc/datasheets”.
4. El buscador muestra la información del componente en forma de tabla, copiarla y pegarla en la columna “DESCRIPCIÓN VENDEDOR” en la tabla 2.1.
5. El buscador muestra una imagen del componente. Copiarla a la columna “IMAGEN” de la tabla 2.1.

***TIP:** Editando el documento en Google Docs se puede adjuntar imágenes en formato URL, de esta manera, se puede adjuntar la imagen con sólo copiar el link.

2.1 Información detallada

COMPONENTE	IMAGEN	DESCRIPCIÓN VENDEDOR
Pin head x2 columnas		Digi-Key Part Number 952-2121-ND Price Break Unit Price Extended Price 1 0.17000 0.17 10 0.15600 1.56 100 0.12810 12.81 500 0.10126 50.63 1,000 0.08693 86.93 5,000 0.07930 396.50 10,000 0.07625 762.50 Manufacturer Harwin Inc. Manufacturer Standard Lead Time 5 Weeks Manufacturer Part Number M20-9980346 Description 6 Positions Header, Unshrouded, Breakaway Connector 0.100" (2.54mm) Through Hole Tin Lead Free Status / RoHS Status Lead free / RoHS Compliant Moisture Sensitivity Level (MSL) 1 (Unlimited)
LED 5 mm		Digi-Key Part Number 1497-1031-ND Price Break Unit Price Extended Price Manufacturer SunLED Manufacturer Standard Lead Time 7 Weeks Manufacturer Part Number XLUR12D Description LED RED DIFF 5MM ROUND T/H Lead Free Status / RoHS Status Lead free / RoHS Compliant Moisture Sensitivity Level (MSL) 1 (Unlimited)
Buzzer piezoelectrico		Digi-Key Part Number 445-2525-1-ND Price Break Unit Price Extended Price 1 0.72000 0.72 10 0.62200 6.22 100 0.38890 38.89 250 0.37776 94.44 Quantity Available Digi-Key Stock: 56,219 Can ship immediately Manufacturer TDK Corporation Manufacturer Standard Lead Time 8 Weeks Manufacturer Part Number PS1240P02BT Description Zero-Peak Signal Alarms, Buzzers and Sirens Single Tone 4kHz Piezo 30V (Max) 60dB @ 3V, 10cm Lead Free Status / RoHS Status Lead free / RoHS Compliant Moisture Sensitivity Level (MSL) 1 (Unlimited)

Boton trough hole 5 mm		<div>Digi-Key Part Number450-1804-ND</div> <div>Price BreakUnit PriceExtended Price</div> <div>10.100000.10</div> <div>100.060000.60</div> <div>250.057201.43</div> <div>500.052002.60</div> <div>1000.047004.70</div> <div>Quantity AvailableDigi-Key Stock: 40,546</div> <div>Can ship immediately</div> <div>ManufacturerTE Connectivity Alcoswitch Switches</div> <div>Manufacturer Standard Lead Time13 Weeks</div> <div>Manufacturer Part Number1825910-7</div> <div>DescriptionSWITCH TACTILE SPST-NO 0.05A 24V</div> <div>Lead Free Status / RoHS StatusLead free / RoHS Compliant</div> <div>Moisture Sensitivity Level (MSL)1 (Unlimited)</div>
BC 337		<div>Digi-Key Part NumberBC33725TACT-ND</div> <div>Price BreakUnit PriceExtended Price</div> <div>10.220000.22</div> <div>100.181001.81</div> <div>1000.095709.57</div> <div>5000.0629231.46</div> <div>1,0000.0428742.87</div> <div>Quantity AvailableDigi-Key Stock: 22,243</div> <div>Can ship immediately</div> <div>ManufacturerFairchild Semiconductor</div> <div>Manufacturer Standard Lead Time6 Weeks</div> <div>Manufacturer Part NumberBC33725TA</div> <div>DescriptionTRANS NPN 45V 0.8A TO-92</div> <div>Lead Free Status / RoHS StatusLead free / RoHS Compliant</div>
Resistencia Yageo ¼ Watt		<div>Digi-Key Part Number680EBK-ND</div> <div>Price BreakUnit PriceExtended Price</div> <div>10.100000.10</div> <div>100.078000.78</div> <div>250.054001.35</div> <div>1000.030103.01</div> <div>2500.023485.87</div> <div>5000.018669.33</div> <div>1,0000.0132413.24</div> <div>2,5000.0114428.60</div> <div>5,0000.0102351.17</div> <div>Quantity AvailableDigi-Key Stock: 9,435</div> <div>ManufacturerYageo</div> <div>Manufacturer Standard Lead Time20 Weeks</div> <div>Manufacturer Part NumberCFR-12JB-52-680R</div> <div>DescriptionRES 680 OHM 1/6W 5% AXIAL</div> <div>Lead Free Status / RoHS StatusLead free / RoHS Compliant</div> <div>Moisture Sensitivity Level (MSL)1 (Unlimited)</div>


<div> Capacitor ceramico 100 nF </div>		Digi-Key Part Number BC1160TR-ND Price Break Unit Price Extended Price 4,000 0.03161 126.42 8,000 0.02940 235.20 12,000 0.02793 335.16 28,000 0.02646 740.88 100,000 0.02004 2,003.61 Quantity Available Digi-Key Stock: 32,000 Can ship immediately Manufacturer Vishay BC Components Manufacturer Standard Lead Time 8 Weeks Manufacturer Part Number K104Z15Y5VF5TL2 Description 0.10µF -20%, +80% 50V Y5V (F) Ceramic Capacitor -30°C ~ 85°C Through Hole Radial 0.157" L x 0.098" W (4.00mm x 2.50mm) Lead Free Status / RoHS Status Lead free / RoHS Compliant Moisture Sensitivity Level (MSL) 1 (Unlimited)

Tabla 2.1: Información detallada de componentes.

2.2 Aclaraciones

Todos los componentes son de tecnología de montaje de agujero pasante y se consiguen en el mercado local y en varias casas de electrónica.

3. Diagrama Esquemático

3.1 Comprobaciones previas al diseño

La tabla 3.1 representa ítems importantes que se necesitaron previo a comenzar el diseño.

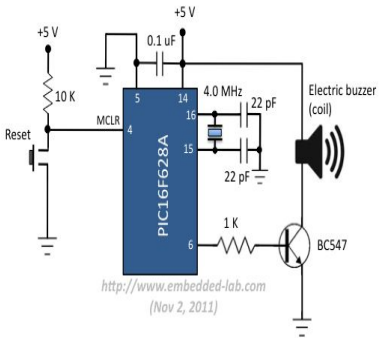
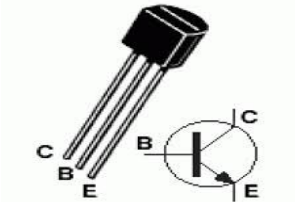
Item	¿Se tiene información?	Detalle información
Repositorio	Si	Repositorio público en GitLab. www.gitlab.com
Software de edición	Si	KiCad 4.0.2. Librerías de footprints descargadas.
Pin head x2 columnas	Si	Datasheet e imagen
LED 5 mm	Si	Datasheet e imagen
Buzzer piezoelectrico	Si	 The diagram shows a PIC16F628A microcontroller. Pin 5 (VDD) is connected to +5V. Pin 14 (VDD) is connected to +5V. Pin 4 (MCLR) is connected to a 10K resistor to +5V and a Reset button to ground. Pin 16 is connected to a 4.0 MHz crystal oscillator with 22pF capacitors to pins 15 and 18. Pin 18 is connected to ground. Pin 6 is connected to a 1K resistor and the base of a BC547 NPN transistor. The emitter of the transistor is connected to ground, and the collector is connected to an electric buzzer (coil), which is also connected to ground. A 0.1uF capacitor is connected between pins 14 and 16. The source is cited as http://www.embedded-lab.com (Nov 2, 2011).
Boton trough hole 5 mm	Si	Datasheet e imagen
BC 337	Si	 The image shows a BC337 PNP transistor. On the left is a 3D perspective view of the component. On the right is a 2D schematic symbol with pins labeled C (Collector), B (Base), and E (Emitter).
Resistencia Yageo ¼ Watt	Si	Datasheet e imagen

Tabla 3.1: Comprobaciones previas al diseño del diagrama esquemático.

3.2 Conexionado de pines

Los pines del presente poncho se conectan al conector P2 de la placa EDU-CIAA NXP, por este motivo se establecieron las conexiones en la fase previa a al diseño para respetar cada tipo de pin. La tabla 3.2 muestra las conexiones del poncho.

Poncho pin name	EDU CIAA NXP pin name	EDU CIAA P2 CONN pin num	LPC4337 SCU pin	Pin function
+5v	+5v	2		Supply
+3v3	+3v3	1		Supply
GND	GND	3		Supply
Boton LED 1	LCD 4	22	P4_10	Input
Boton CFG 1	LCD 3	26	P4_6	Input
LED 1	LCD 2	28	P4_5	Output
Boton LED 2	LCD 1	30	P4_4	Input
Boton CFG 2	GPIO 0	29	P6_1	Input
LED 2	GPIO 1	32	P6_4	Output
Boton LED 3	GPIO 2	31	P6_5	Input
Boton CFG 3	GPIO 3	34	P6_7	Input
LED 3	GPIO 4	33	P6_8	Output
Boton LED 4	GPIO 5	36	P6_9	Input
Boton CFG 4	GPIO 7	38	P6_11	Input
LED 4	GPIO 8	40	P6_12	Output
BUZZER	GPIO 6	35	P6_10	PWM

Tabla 3.2: Conexionado con EDU-CIAA NXP.

3.3 Diseño

Para cada componente que utiliza el dispositivo se creó una copia de los mismos en el directorio del proyecto “lib/”. En el diseño del diagrama esquemático se crearon páginas con herencia, de esta manera el circuito se disgregó en bloques funcionales claramente identificables. Esta metodología permitió que dentro de cada página queden circuitos reducidos, fáciles de portar a otros proyectos. Luego se comprobó que el diagrama esquemático pase correctamente el Electrical Rules Check. En la figura 3.1 se puede apreciar el diagrama esquemático separado en bloques. El esquema de herencia que se implementó es:

- Root.
 - ciaaConector.
 - buttons.
 - leds.
 - buzzer

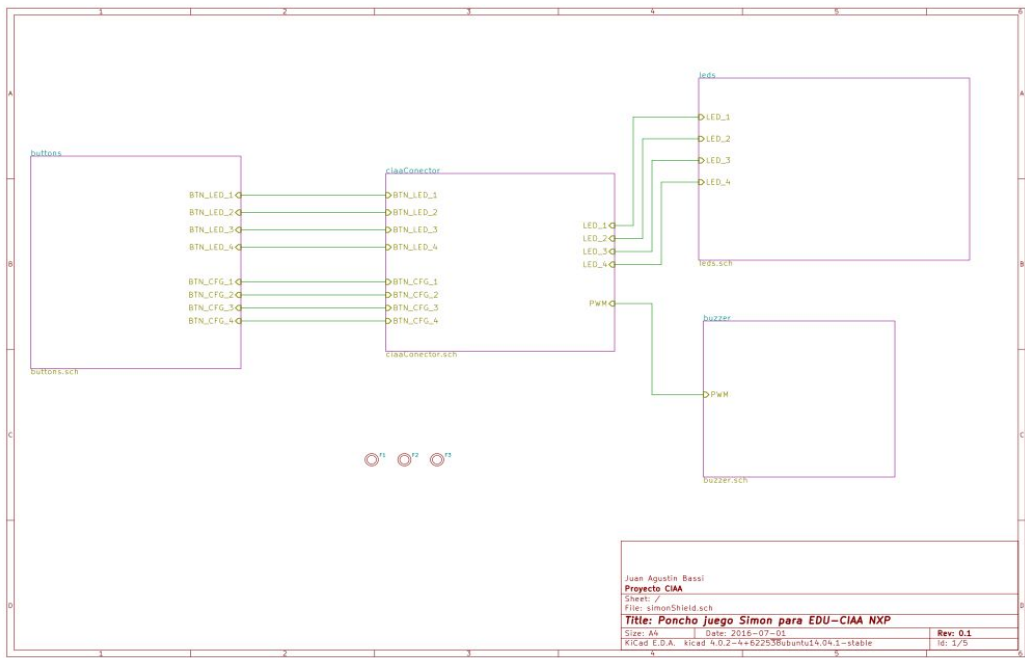


Figura 3.1: Diagrama esquemático en bloques.

3.4 Post diseño

Una vez diseñado el circuito esquemático, con todas las conexiones realizadas, y pasado el ERC, se generó el netlist. Junto con este proceso, se ejecutó el programa BOM para generar la lista de materiales desde la herramienta incluida en el Schema de KiCad. Seguido se corrió la herramienta CvPCB también incluida en Schema, y desde “Preferences->Footprint Libraries” se buscó con el Wizard provisto, los paths donde estaban alojadas las librerías de footprints (en este caso el path de búsqueda estaba en “usr/share/kicad/modules”) y se agregaron todas las bibliotecas disponibles para tener la mayor cantidad posible de footprints. De todas las opciones que proveen las librerías se buscó la que aplica a cada componente, y desde el path donde estaba alojado cada footprint se lo copió al directorio del proyecto “/footprints.pretty”. Otra forma de guardar los footprints utilizados en el proyecto es desde la herramienta PCBNew de Kicad “File->Archive Footprint>Create Library” y exportarlo al directorio “footprints.pretty”.

3.5 Revisión diagrama esquemático

Para finalizar con el diseño del diagrama esquemático se realizó una revisión entre pares. Los comentarios más relevantes de esta son:

- Acomodar pistas de tierra en la parte inferior.

3.6 Lista de materiales

La tabla 3.3 muestra la lista de materiales que se generó con la herramienta BOM de KiCad.

Item	Qty	Reference(s)	Value	Digikey#
1	1	C1	C_100nF	BC1160TRND
2	4	D1, D2, D3, D4	LED	1497-1031-ND
3	3	F1, F2, F3	FIDUCIAL	
4	1	P1	PWR_JUMPER	9522121ND
5	5	Q1, Q2, Q3, Q4, Q5	BC547	BC33725TACT-ND
6	9	R1, R2, R3, R4, R5, R6, R7, R8, R9	3K3	680EBKND
7	1	R10	1K	680EBK-ND
8	4	R11, R13, R15, R17	10K	680EBK-ND
9	4	R12, R14, R16, R18	680	680EBK-ND
10	8	SW1, SW2, SW3, SW4, SW5, SW6, SW7, SW8	SW_PUSH	4501804ND
11	1	U1	BUZZER	445-2525-1-ND
12	2	XA1, XA2	Conn_Poncho2P_2x_20x2	9522121ND

Tabla 3.3: Lista de materiales.

4. Diseño de PCB

4.1 Comprobaciones previas al diseño

Antes de comenzar con el ruteo del PCB, se tuvo la siguiente información:

- Revisión diagrama esquemático.
- Footprint de todos los componentes.
- Medidas del circuito.
- Ubicación tentativa de los componentes.

Se buscaron las restricciones del fabricante de PCB antes de comenzar con el diseño para configurar adecuadamente las reglas de diseño de KiCad. El fabricante seleccionado fue Ernesto Mayer S.A [3]. La tabla 4.1 caracteriza sus tecnologías.

TECNOLOGÍA	12 MILS	10 MILS	8 MILS	6 MILS
DIAMETRO DE AGUJERO	28 (0,70 mm)	20 (0,50 mm)	16 (0,40 mm)	16 (0,40 mm)
DIAMETRO DE PAD O VIA	50 (1,27 mm)	40 (1,00 mm)	32 (0,80 mm)	28 (0,70 mm)
ANCHO DE TRAZA	12 (0,30 mm)	10 (0,25 mm)	8 (0,20 mm)	6 (0,15 mm)
SEPARACION ENTRE TRAZAS	12 (0,30 mm)	10 (0,25 mm)	7 (0,18 mm)	6 (0,15 mm)
SEPARACION ENTRE TRAZA Y PAD/VIA	10 (0,25 mm)	8 (0,20 mm)	6 (0,15 mm)	6 (0,15 mm)
DISTANCIA DE COBRE A BORDE	12 (0,30 mm)	12 (0,30 mm)	12 (0,30 mm)	12 (0,30 mm)
ALTURA - TRAZO DE LETRAS	48 - 8	36 -6	30 - 5	30 - 5

Tabla 4.1: Restricciones de diseño Ernesto Mayer S.A.

4.2 Recomendaciones

- Dejar una banda sin cobre en los bordes de la placa.
- Grillas.
 - Para la ubicación de componentes utilizar como grilla el paso (pitch) del componente más pequeño.
 - Para rutear, un submúltiplo del grid utilizado para ubicar los componentes.
- Trazas.
 - Deben ser lo más cortas posibles.
 - Pasar por (o a partir desde) el centro del pad o vía.
 - Usar varias vías de paso en trazas de alto consumo que pasan de capa.
- Dividir el dibujo en bloques funcionales o áreas de trabajo.
 - Resolver un bloque a la vez.
 - Identificar las conexiones críticas y comenzar por esas.
 - Terminado un bloque reubicarlo.
 - Terminados todos los bloques interconectarlos.
 - Terminada la interconexión realizar una revisión general.
- Dibujo del impreso.
 - No dejar áreas de cobre sin conectar.
 - No colocar vías debajo de componentes.
 - Mantener la simetría en la distribución de componentes.
 - Proveer puntos de prueba.

4.3 Diseño

El circuito impreso tiene 85 mm x 60 mm. Se seleccionó la tecnología de diseño de 12 mils de Mayer S.A.. Estas restricciones aplican adecuadamente al circuito que se pretende diseñar. Se compone de una sola capa y todos sus componentes son de tecnología de agujero pasante. Los archivos gerber generados para este proyecto son:

- Bordes de la placa.
- Capa de cobre top y bottom.
- Máscara antisoldante top y bottom.
- Ubicación y leyenda de componentes.
- Drills.

En la imagen de la figura 4.1 se puede ver el ruteo de las pistas dentro de KiCad. Luego se editó individualmente la imagen 3D asociada a cada componente. En el capítulo Anexos hay una referencia detallada de cómo configurar adecuadamente las vistas 3D de cada componente, y ajustarlas al circuito diseñado. Las figuras 4.2 y 4.3 muestran el circuito con sus componentes desde una vista superior, mientras que la figura 4.4 ilustra el circuito visto desde abajo.

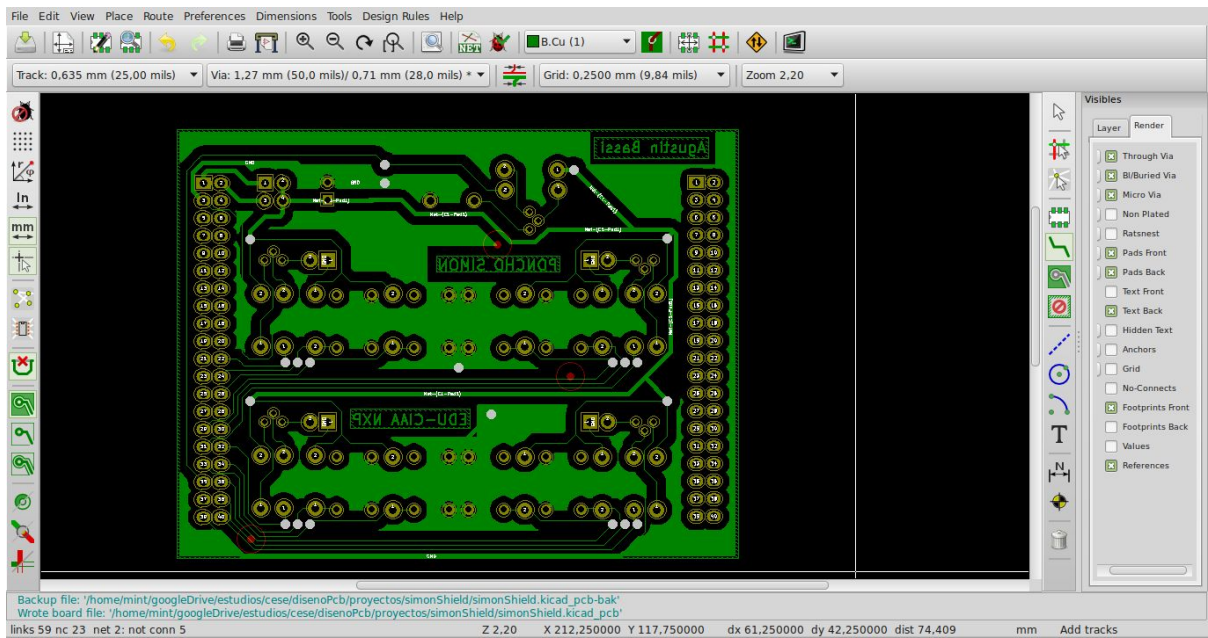


Figura 4.1: Ruteo del PCB en KiCad.

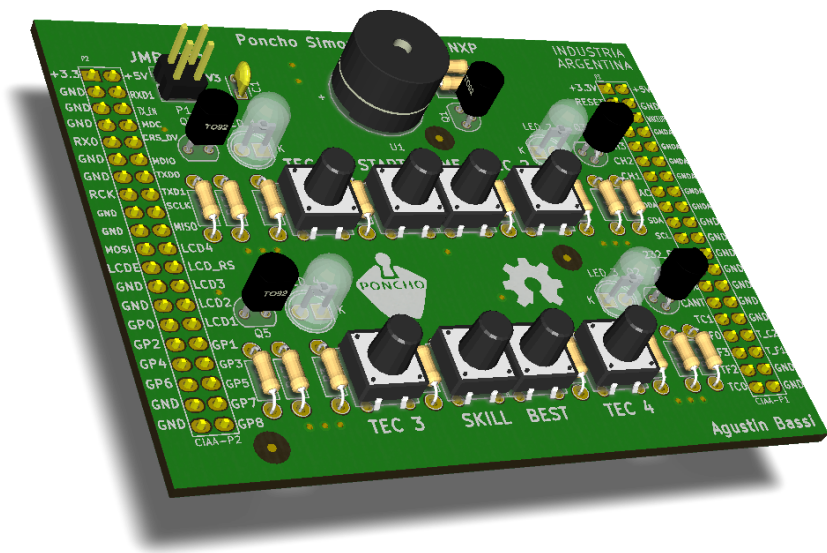


Figura 4.2: Imagen PCB en 3D vista superior.

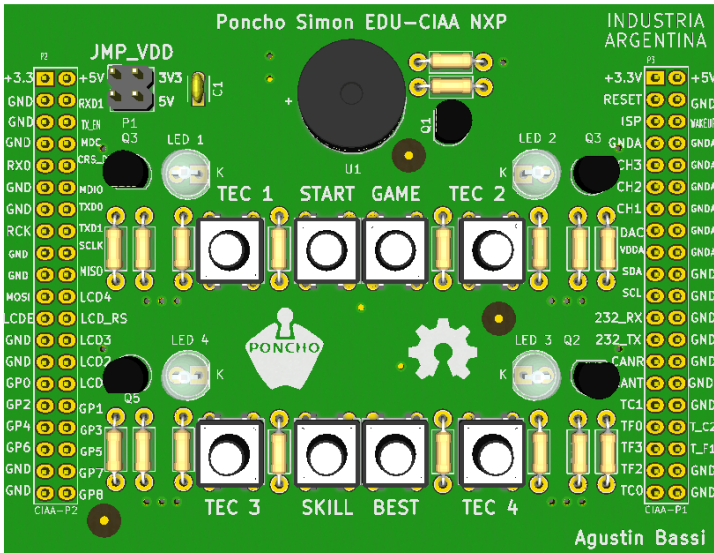


Figura 4.3: Imagen PCB en 3D vista superior.

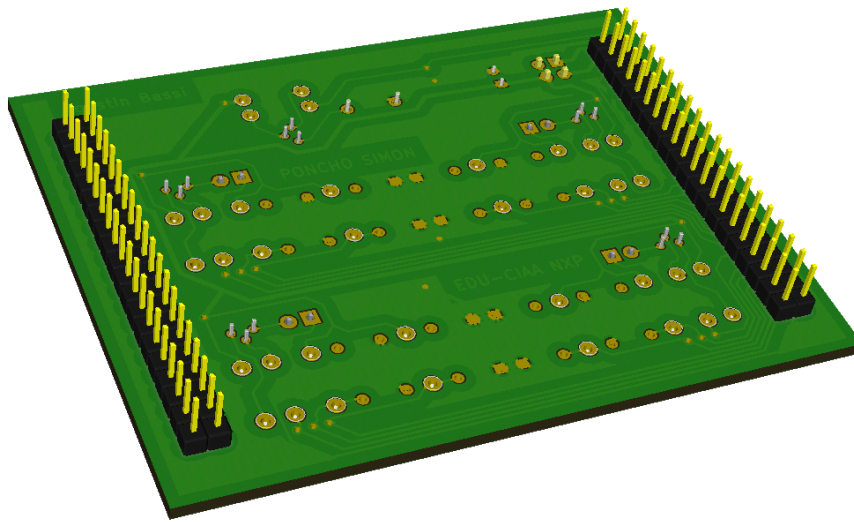


Figura 4.4: Imagen PCB vista inferior.

5. Ensamblado

5.1 Restricciones armadores de placas

El armador de placas Asembli [4] sugiere la descripción del circuito previo a pedir una cotización. A modo de ejemplo, se pueden completar estas características y pedir presupuesto en varios armadores de placas. En la sección Bibliografía y Referencias, se encuentra también un enlace [5] hacia un foro donde se pueden encontrar varios armadores de placas.

- Denominación y cantidad de placas a fabricar.
- Un listado de posiciones de componentes sobre la placa, que indique el valor del componente, la cantidad por placa y sus ubicaciones (separado por layer si corresponde).
- Un layout del layer Top.
- Un layout del layer Bottom.
- Un layout de serigrafía (plano con las denominaciones de cada componente en la placa con las polaridades correspondientes) de cada layer.
- Panelizado de los Circuitos Impresos.
- Toda información adicional referente al armado de las plaquetas.
- Fotografía de ambos layers de la placa armada y fotos en detalle de cualquier particularidad de la placa o sus componentes.

6. Conclusiones

Las conclusiones más relevantes del presente trabajo son:

- Se abordó el proyecto de manera metodológica.
- Documentación de todas las fases del proyecto de manera detallada.
- Imágenes descriptivas de los principales puntos del trabajo.
- Proyecto completo contenido dentro de una estructura de directorios debidamente ordenada.
- Material guardado, versionado y disponible en repositorio GitLab.
- Esquemático jerárquico.
- PCB de una sola capa, con componentes fácilmente adquiribles en el mercado local.
- PCB de fabricación casera.
- Archivos para enviar a fabricar.
- Imagen 3D del PCB.

7. Bibliografía y Referencias

- [1] Juego Simon (2016, Jul 05). [Online]. Aviable: [https://es.wikipedia.org/wiki/Simon_\(juego\)](https://es.wikipedia.org/wiki/Simon_(juego))
- [2] DigiKey (2016, Jul 05). [Online]. Aviable: <http://www.digikey.com/>
- [3] Ernesto Mayer S.A (2016, Jul 05). [Online]. Aviable: <http://www.mayerpcb.com/>
- [4] Asembli (2016, Jul 05). [Online]. Aviable: <http://www.asembli.com/>
- [5] Empresas Armado de placas (2016, Jul 05). [Online]. Aviable: <https://groups.google.com/forum/#!topic/embebidos32/gp6wDOKXEzY>

8. Anexos

8.1 Configuración de vistas 3D en Kicad

Se deben seguir los siguientes pasos:

- 1.