

<b>NOMBRE</b>		<b>Gigliotti Ernesto</b>
<b>EMAIL</b>		<a href="mailto:ernestogigliotti@gmail.com">ernestogigliotti@gmail.com</a>
<b>PROYECTO</b>		Poncho IoT
<b>REPO</b>		<a href="https://github.com/ernesto-g/ponchoeduciaaiot">https://github.com/ernesto-g/ponchoeduciaaiot</a>
<b>CORRECCION PRELIMINAR</b>		16/11/2016
<b>Esquemático</b>	Bibliotecas	Remover todas.
	Rótulo	Cada hoja debe tener título indicativo.
	Jerarquía	
	Campos KiCost	Faltan
	Prolijidad conexiones	Usar más símbolos de GND. Hay una en pin34 que se usa para medio esquemático. C3 y C4 emproljar sector. Usar más 3.3V.
	Referencias	
	Comentarios	El encapsulado no debe ser visible.
		U3 pin2 no tiene tierra (retorno)
		Verificar que LM35 no quemé entrada del A/D.
	ERC	Problemas con propiedades de los pines del rele? Problemas de power flag.
<b>Asociación</b>	Configuración bibliotecas	Usar footprint.pretty para todas las asociaciones.
<b>PCB</b>	Rótulo	Falta
	Encapsulados	
	Notas en PCB sobre: Grilla, pista, vías, capas, proceso sup.	Falta
	Borde del PCB	Usar Plantilla edu-ciaa para ver donde caen los leds, reset, etc
	Ancho de pistas	
	DRC	
	Ruteo	
	Fiduciales	

	Placement	Bien sectorizado. Falta compactar, distribución pareja, mejor uso de los espacios. Respetar lo que dice el esquemático con los desacoples en pareja: C1/2, C3/4 y C5/6. LM35 demasiado al borde.
	Serigrafía	
	Dimensiones	Podría reducirse.
	Belleza/Alineación	Falta
	Vista 3D	Falta

NOMBRE		Gigliotti Ernesto	
EMAIL		<a href="mailto:ernestogigliotti@gmail.com">ernestogigliotti@gmail.com</a>	
PROYECTO		Poncho IoT	
REPO		<a href="https://github.com/ernesto-g/ponchoeduciaaiot">https://github.com/ernesto-g/ponchoeduciaaiot</a>	
CORRECCION (Fecha)		1/12/16	
Documentación	Archivo hoja de proyecto en /doc	SI	
	Archivos de revisiones en /doc	NO	listo
	Revisor designado	FALTA	listo
Esquemático	Bibliotecas	Remove todas.	listo
	Rótulo	OK	
	Jerarquía	OK	
	Campos KiCost	OK	
	Prolijidad conexiones	OK	
	Referencias	OK	
	Comentarios	Porque los contactos del rele tienen power flags?	listo
		Aclarar que tipo de comunicación provee U6 (Wifi)	listo
	ERC	Editar pin 41 de XA1 para evitar error de ERC.	listo
Asociación		Usar footprint.pretty para todas las asociaciones. Hay dos bibliotecas locales cargadas, iguales: Ponchoeduciaaiot y Ponchoeduciaaiot2	
	Configuración bibliotecas		listo. deje la llamada pnchoeduciaaiot.pretty
PCB	Notas en PCB: Grila pos, ruteo. Pista min, Vía min, aguj. min, capas, terminación superficial.	OK	
	Rótulo	OK	
	Encapsulados	OK	
	Borde del PCB	OK. Podría editar XA1 para eliminar borde sugerido presente en la capa dibujo.	listo
	Ancho de pistas	OK	
	DRC	OK	
	Ruteo	TRacks a 90: GND en x114 y93.	listo
		Emprolijar terminaciones en pistas: x120 y101, x138 y 96, z119 y90 y similares.	listo
	Fiduciales	No posee pero no son necesarios.	

	Placement	Bien sectorizado. Falta compactar, distribución pareja, mejor uso de los espacios. Respetar lo que dice el esquemático con los desacoples en pareja: C1/2, C3/4 y C5/6. LM35 demasiado al borde.	<b>listo</b>
	Serigrafía	Emproljar. Por ejemplo D2, R5 y R6, U1.	<b>listo</b>
		U6 podría ir en capa top.	<b>listo</b>
	Textos en cobre o en serigrafía, logos	Faltan Año o fecha, nombre del PCB, IND ARG. Falta logo Poncho.	<b>listo</b>
	Dimensiones	OK	
	Fijación	No necesita.	
	Belleza/Alineación	Bien, pero se podría mejorar: R5/6 con R10; D1/R3/R1; D2/R4/R2; C2/C6.	<b>Se comodo R5/R6</b>
	Vista 3D	La escala o el modelo 3D del wifi no es adecuada.	<b>listo. se comodo la escala</b>
	Areas de cobre	No posee. Se podría aplciar para mejorar la distribución de GND. Sepodría aplicar luego zona de exclusión en los contactos de relé y en las entradas optoacopladas.	<b>listo</b>