

# 第25讲 PLL- IP核的调用





公众号

淘宝店铺

## 主讲内容(休

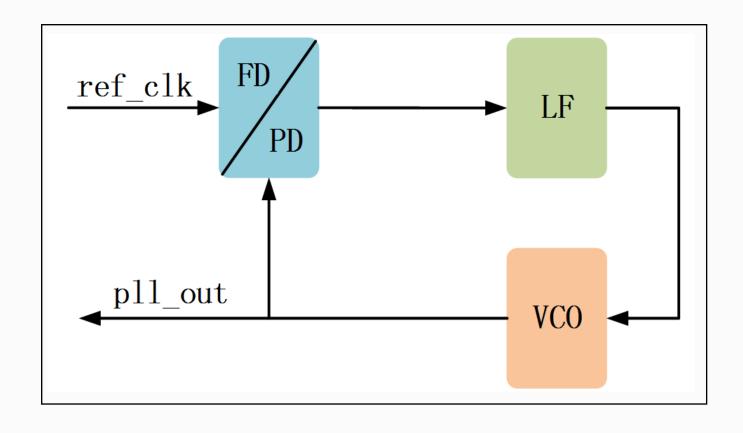


#### PLL IP核简介

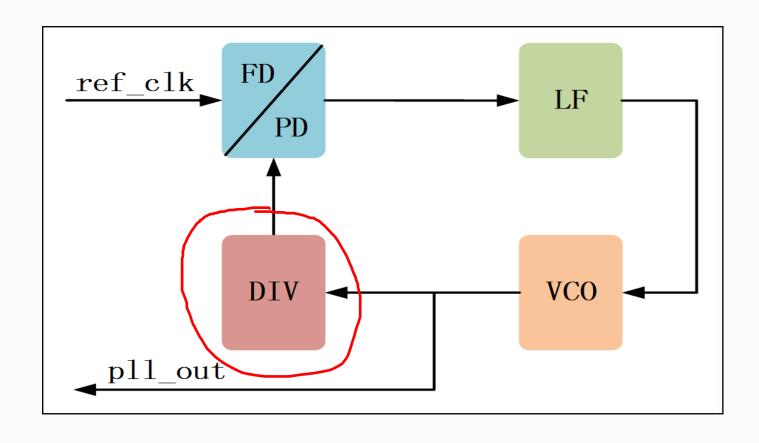


PLL (Phase Locked Loop,即锁相环)是最常用的IP核之一,其性能强大,可以对输入到FPGA的时钟信号进行任意分频、倍频、相位调整、占空比调整,从而输出一个期望时钟。

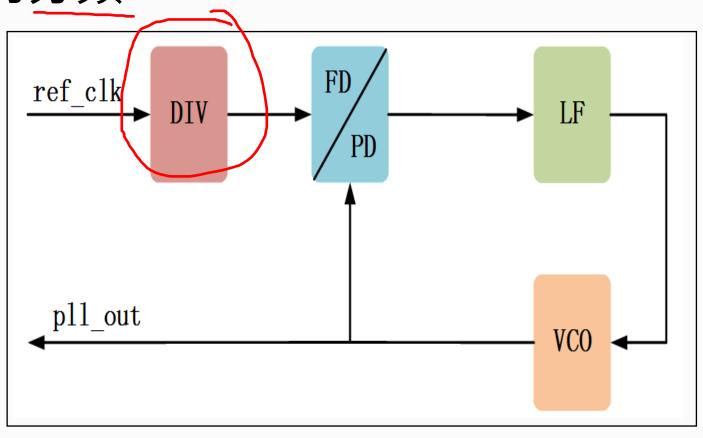
#### PLL的基本工作原理



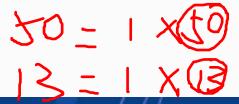
### PLL的倍频



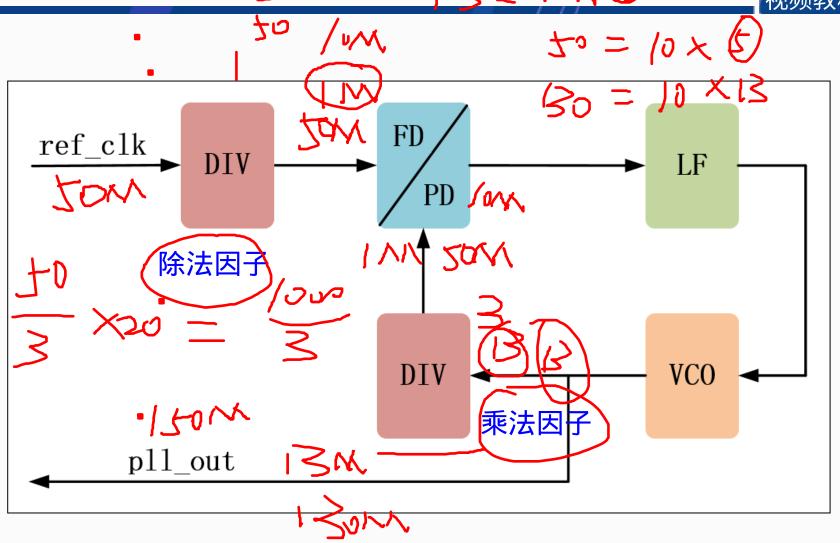
## PLL的分频







FPGA 视频教程





#### 谢谢



公众号



淘宝店铺