

# 第4讲

## 初识Verilog HDL



公众号



淘宝店铺

## 主讲内容



1. Verilog HDL简介

2. Verilog HDL基础语法

## Verilog HDL简介

## 语言简介

Verilog HDL是一种硬件描述语言，以文本形式来描述数字系统硬件的结构和行为的语言，用它可以表示逻辑电路图、逻辑表达式，还可以表示数字逻辑系统所完成的逻辑功能。

## 与VHDL比较

### Verilog HDL



- ☐ 语法自由、易学易用
- ☐ 适合算法级、门级设计
- ☐ 代码简洁
- ☐ 发展较快

### VHDL



- ☐ 语法严谨、较难上手
- ☐ 适合系统级设计
- ☐ 代码冗长
- ☐ 发展缓慢

## Verilog HDL基础语法

谢谢



公众号



淘宝店铺