



UNIVERSIDADE FEDERAL DA FRONTEIRA SUL  
CURSO DE CIÊNCIA DA COMPUTAÇÃO  
ORGANIZAÇÃO DE COMPUTADORES



1. Suponha um sistema computacional com um espaço de endereçamento de 1 Mcélulas, possuindo cada uma um endereço de 20 bits ( $2^{20} = 1\text{M}$ ). A cache associada a este sistema possui um tamanho de 8192 bytes (ou 8 KBytes), divididos em 512 linhas (ou quadros), com 16 bytes de dados cada linha. Pergunta-se (justifique suas respostas mostrando os cálculos realizados):

a) Quantos blocos existem na memória principal?

$$MP = B * K$$

$$2^{20} = B * 2^4$$

$$B = 2^{20} / 2^4 \Rightarrow 2^{20-4} \Rightarrow 2^{16} = 65536 \text{ blocos}$$

ou

$$B = 1 \text{ M células} / 16 = 65536 \text{ blocos}$$

b) Qual é a proporção de armazenamento entre a memória principal (MP) e a memória cache?

Proporção será de 1M células para 8K células. Dividindo MP/MC teremos  $1024\text{K} / 8\text{K} = 128$  ou seja a MP é 128 vezes maior que a MC

c) Considerando a implementação da política de mapeamento direto, como fica a divisão do endereço na sua implementação:

c1) do ponto de vista da memória

Dos 20 bits de endereço teremos:

Número do Bloco	Deslocamento no bloco
-----------------	-----------------------

Como temos 65536 blocos precisamos de 16 bits para o número do bloco ( $2^{16} = 65536$  blocos)

Como temos 16 células em cada bloco precisamos de 4 bits para o deslocamento ( $2^4 = 16$ )

Número do bloco	deslocamento
16 bits	4 bits

c2) do ponto de vista da cache

No mapeamento direto temos a seguinte divisão de endereçamento do ponto de vista da cache

Rótulo	Linha de destino	Deslocamento na linha
--------	------------------	-----------------------

Como temos 16 células em cada linha precisamos de 4 bits para o deslocamento ( $2^4 = 16$ )

Como temos 512 linhas na MC precisamos de 9 bits para a linha de destino ( $2^9 = 512$ )

Como temos uma proporção de 128 blocos da MP para cada linha da MC precisamos de 7 bits para rótulo ( $2^7 = 128$ )

rótulo	linha de destino	deslocamento
7 bits	9 bits	4 bits

c3) qual a linha de destino do endereço de memória 0xB3C02?

0XB3C02 = 10110011110000000010<sub>2</sub>

separando os bits conforme item c2

rótulo	linha de destino	deslocamento
1011001	111000000	0010

Convertendo 111000000<sub>2</sub> para decimal temos: 448

Ou seja a linha de destino é a 448

(existem outras maneiras de obter a resposta, por exemplo, fazer o número do bloco que corresponde o endereço e pegar o resto da divisão por 512 (que é o total de linhas da cache))

c4) considerando 3 bits de LRU e escrita em ambas, qual o overhead da implementação destas políticas (map. direto, LRU e escrita em ambas)?

No mapeamento direto temos:

1 bit de validade

0 bits de política de escrita (escrita em ambas não precisa este bit)

0 bits de política de substituição (pois é mapeamento direto)

7 bits de rótulo

assim:

OV% =  $100 * 8 / (16 \text{ células} * 8 \text{ bits por célula}) = 6,25\%$

d) Considerando a implementação da política de mapeamento associativo por conjuntos, onde as 512 linhas estão agrupadas em 64 conjuntos, como fica a divisão do endereço na sua implementação:

d1) do ponto de vista da memória principal

Dos 20 bits de endereço teremos:

Número do Bloco	Deslocamento no bloco
-----------------	-----------------------

Como temos 65536 blocos precisamos de 16 bits para o número do bloco ( $2^{16} = 65536$  blocos)

Como temos 16 células em cada bloco precisamos de 4 bits para o deslocamento ( $2^4 = 16$ )

número do bloco	deslocamento
16 bits	4 bits

d2) do ponto de vista da cache

No mapeamento associativo por conjuntos temos a seguinte divisão de endereçamento do ponto de vista da cache

Rótulo	conjunto de destino	Deslocamento na linha
--------	---------------------	-----------------------

Como temos 16 células em cada linha precisamos de 4 bits para o deslocamento ( $2^4 = 16$ )

Como temos 64 conjuntos na MC precisamos de 6 bits para o conjunto de destino ( $2^6 = 64$ )

Como temos 65536 blocos disputando 64 conjuntos a proporção é de 1024 blocos destinados a cada conjunto, precisando então de um rótulo de 10 bits ( $2^{10} = 1024$ )

rótulo	conjunto de destino	deslocamento
10 bits	6 bits	4 bits

d3) qual o conjunto de destino do endereço de memória 0xB3C02?

$0XB3C02 = 10110011110000000010_2$

separando os bits conforme item d2

rótulo	conjunto de destino	deslocamento
1011001111	000000	0010

Convertendo  $000000_2$  para decimal temos: 0

Ou seja o conjunto de destino é o conjunto 0

d4) considerando 3 bits de LRU e escrita em no retorno, qual o overhead da implementação destas políticas (map. associativo por conjuntos, LRU e escrita no retorno)?

No mapeamento associativo temos:

1 bit de validade

1 bits de política de escrita (escrita no retorno precisa este bit)

3 bits de política de substituição (pois quando enche o conjunto deve-se escolher quem sai)

10 bits de rótulo

assim:

$OV\% = 100 * 15 / (16 \text{ células} * 8 \text{ bits por célula}) = 11,71\%$

2. Supondo uma memória cachê composta de 4 linhas utilizando uma política de mapeamento associativo. Tendo em vista a sequência de acessos a MP mostrada abaixo, onde a primeira linha mostra o número do acesso e a segunda linha mostra o bloco da MP acessado. Responda as questões apresentadas.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
B3	B5	B15	B3	B3	B5	B6	B15	B5	B7	B7	B7	B6	B9	B7	B3	B15	B15	B15	B11	B12

Considerando o tempo e a sequência de acessos temos a seguinte situação para cada um dos casos (A – Acerto; F - Falta)

# Acesso	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
# Bloco	3	5	15	3	3	5	6	15	5	7	7	7	6	9	7	3	15	15	15	11	12
FIFO	F	F	F	A	A	A	F	A	A	F	A	A	A	F	A	F	F	A	A	F	F
LFU	F	F	F	A	A	A	F	A	A	F	A	A	F	F	A	A	F	A	A	F	F
LRU	F	F	F	A	A	A	F	A	A	F	A	A	A	F	A	F	F	A	A	F	F

a) Preencha as tabelas abaixo mostrando qual bloco da memória principal encontra-se nas linhas da memória cache depois da ocorrência dos acessos 3, 8, 11, 15 e 21, considerando as políticas de substituição indicadas (como exemplo é apresentado o conteúdo da cache depois do primeiro acesso):

FIFO:

Linha / Acesso	1	3	8	11	15	21
L0	B3	B3	B3	B7	B7	B11
L1	-	B5	B5	B5	B9	B12
L2	-	B15	B15	B15	B15	B3
L3	-	-	B6	B6	B6	B5

LFU:

Linha / Acesso	1	3	8	11	15	21
L0	B3	B3	B3	B3	B3	B3
L1	-	B5	B5	B5	B5	B5
L2	-	B15	B15	B15	B9	B11
L3	-	-	B6	B7	B7	B12

LRU:

Linha / Acesso	1	3	8	11	15	21
L0	B3	B3	B3	B7	B7	B12
L1	-	B5	B5	B5	B5	B3
L2	-	B15	B15	B15	B9	B11
L3	-	-	B6	B6	B6	B15

NÃO FOI SOLICITADO NA QUESTÃO MAS ESTOU COLOCANDO O CALCULO DA TAXA DE ACERTO E FALTA Considerando a sequência de 21 acessos acima:

b1) Qual a quantidade de acertos e faltas de cada uma das políticas (FIFO e LRU)?

Observe cada um dos acertos e faltas mostradas na tabela de acessos acima (A – acerto; F falta) em cada uma das duas políticas de substituição

FIFO – Acertos: 11 Faltas: 10

LRU – Acertos: 11 Faltas: 10

b2) Qual a taxa de acertos e a taxa de faltas de cada uma das políticas (FIFO e LRU)?

FIFO – **Acertos** % =  $(11 * 100) / 21 = 52,38\%$  **Faltas** % =  $(10 * 100) / 21 = 48,62\%$

LRU – **Acertos**% =  $(11 * 100) / 21 = 52,38\%$  **Faltas** % =  $(10 * 100) / 21 = 48,62\%$

3. Com base na figura abaixo que descreve um sistema MP/Cache e sabendo que se utiliza mapeamento direto, responda, justificando todas as questões:

21	000000000	Rótulo	Cel 0	Cel 1	Cel 2	Cel 3	
32	000000001	01	...				Q0
E8	000000010	01	...				Q1
		...					.
		...					.
	...	...					.
		11	...				Q29
		00	...				Q30
		11	...				Q31
F2	111111111						

a) Qual a divisão do endereço deste sistema do ponto de vista da cache?

No mapeamento direto temos a seguinte divisão de endereçamento do ponto de vista da cache

Rótulo	Linha de destino	Deslocamento na linha
--------	------------------	-----------------------

Como temos 4 células em cada linha precisamos de 2 bits para o deslocamento ( $2^2 = 4$ )

Como temos 32 linhas na MC precisamos de 5 bits para o deslocamento ( $2^5 = 32$ )

Como temos um totalde 128 blocos da MP para 32 linhas da MC, ou seja 4 blocos disputam cada linha da cache. precisamos de 2 bits para rótulo ( $2^2 = 4$ )

rótulo	linha de destino	deslocamento
2 bits	5 bits	2 bits

b) Qual a quantidade de células da memória principal e da memória cache?

Na MP temos um endereço de 9 bits, portanto  $2^9 = 512$  células de memória.

Na MC temos 32 linhas, cada uma com 4 células, portanto:  $MC = L * K = 32 * 4 = 128$  células

c) A qual linha da memória cache está destinado o endereço da memória principal 101110110?

Aplicando a divisão do endereço do ponto de vista da cache temos

rótulo	linha de destino	deslocamento
10	11101	10

Portanto o destino é a linha  $11101_2$  que corresponde a linha  $29_{10}$

d) Qual o endereço de memória que encontra-se na 1ª célula da linha Q29 da memória cache?

Aplicando a divisão do endereço do ponto de vista da cache temos

rótulo	linha de destino	deslocamento
11	11101	00

Deslocamento 00 pois é a primeira célula do linha

Linha de destino 11101 pois trata-se da linha 29

Rótulo 11 pois é este o rótulo armazenado na linha 29 atualmente

e) Considerando a política de mapeamento direto é possível ter 2 rótulos idênticos em linhas distintas da cache?

Sim, pois trata-se de dois blocos distintos da memória principal que encontram-se em linhas distintas da cache tendo ambos o mesmo rótulo. Por exemplo se o bloco 32 e o bloco 33 estiverem carregados na cache eles serão colocados nas linhas 0 e 1, respectivamente, e o rótulo presente em cada uma das linhas será o mesmo, no caso 01.