Universidad de las Américas Puebla



Sistemas Embebidos

Tarea 4. Máquinas de Estado - Detección de secuencia 101

Emilio Iván Jiménez López 179543

Descripciones en Verilog

Para la máquina de Mealy, su principal característica es que la señal de salida es definida por la transición entre estados:

```
always @* begin
    case (current_state)
        S0: begin
            if (in == 1'b1) begin
                next_state = S1;
                out = 1'b0;
            end else begin
                next state = S0;
                out = 1'b0;
            end
        end
        S1: begin
            if (in == 1'b1) begin
                next_state = S1;
                out = 1'b0;
            end else begin
                next_state = S2;
                out = 1'b0;
            end
        end
        S2: begin
            if (in == 1'b1) begin
                next state = S1;
                out = 1'b1;
            end else begin
                next_state = S0;
                out = 1'b0;
            end
        end
        endcase
    end
```

Es claro a primera vista que la señal "out" cambia con la transición, no con el estado actual de la maquina:

```
always @(posedge clk or posedge rst) begin
    if (rst) begin
        current_state <= S0;
    end else begin
    current_state <= next_state;
    end
end</pre>
```

Por otro lado, para la maquina de Moore, las transiciones no definen la salida:

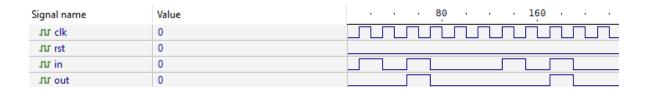
```
always @* begin
    case (current state)
        S0: begin
            if (in == 1'b1) begin
                next state = S1;
            end else begin
                next_state = S0;
            end
        end
        S1: begin
            if (in == 1'b1) begin
                next_state = S1;
            end else begin
                next state = S2;
            end
        end
        S2: begin
            if (in == 1'b1) begin
                next_state = S3;
            end else begin
                next state = S0;
            end
        end
        S3: begin
            if (in == 1'b1) begin
                next state = S1;
            end else begin
                next state = S2;
            end
        end
        endcase
    end
```

Ya que, en este caso, la salida es alterada por el estado actual de la maquina:

```
always @(posedge clk or posedge rst) begin
    if (rst) begin
        current_state <= S0;
    end else begin
    current_state <= next_state;
    end
    if (current_state == S3) begin
        out = 1'b1;
    end else begin
        out = 1'b0;
    end
end</pre>
```

Waveforms de Testbenches

Waveform de la máquina de Mealy:



En este caso podemos ver que la señal se emite inmediatamente aparece el segundo "1" en el patrón "101"

Waveform de la máquina de Moore:

Signal name	Value	80 160
лг clk	0	
лг rst	0	
лг in	0	
лг out	1	

Podemos ver que, si bien si detecta adecuadamente la aparición del patrón "101", la señal solo se emite hasta un ciclo de reloj después de que termina de aparecer la señal.