

LÓGICA PROGRAMABLE



- Introducción
 - Simple PLDs
 - Complex PLDs
 - FPGAs
-

LÓGICA PROGRAMABLE



- Diseño tradicional: basado en CIs estándar SSI/MSI
 - Obtención de la función lógica
 - Reducción a términos producto
 - Minimización:
 - Número de integrados
 - Retardo de propagación
-

LÓGICA PROGRAMABLE



- Sistemas actuales de diseño digital:
 - Dispositivos lógicos programables (PLDs)
 - Microcontroladores (capacidad para ejecutar un conjunto de instrucciones)
 - ASICs (Application Specific Integrated Circuits): circuitos integrados diseñados “a medida”
-

LÓGICA PROGRAMABLE



- Dispositivos lógicos programables:
 - integrados LSI/VLSI
 - estructura circuital regular y flexible
 - configurables para realizar la función lógica requerida
 - programables (estructura de interruptores)
-

LÓGICA PROGRAMABLE



■ Ventajas de los PLDs

- Menos dispositivos en el diseño
 - Menor coste
 - Menos espacio de tarjeta
 - Menor consumo
 - Flexibilidad para modificar el diseño
 - Automatización del diseño
-

LÓGICA PROGRAMABLE



- Dispositivos lógicos programables: clasificación
 - SPLDs (Simple PLDs): basados en campos AND-OR
 - CPLDs (Complex PLDs): basados en campos AND-OR
 - FPGAs: basados en bloques lógicos formados por multiplexores o tablas (LUTs)
-

LÓGICA PROGRAMABLE



- Introducción
 - > Simple PLDs
 - Complex PLDs
 - FPGAs
-

LÓGICA PROGRAMABLE



- SPLDs
 - PROMs
 - PALs, GALs
 - PLAs

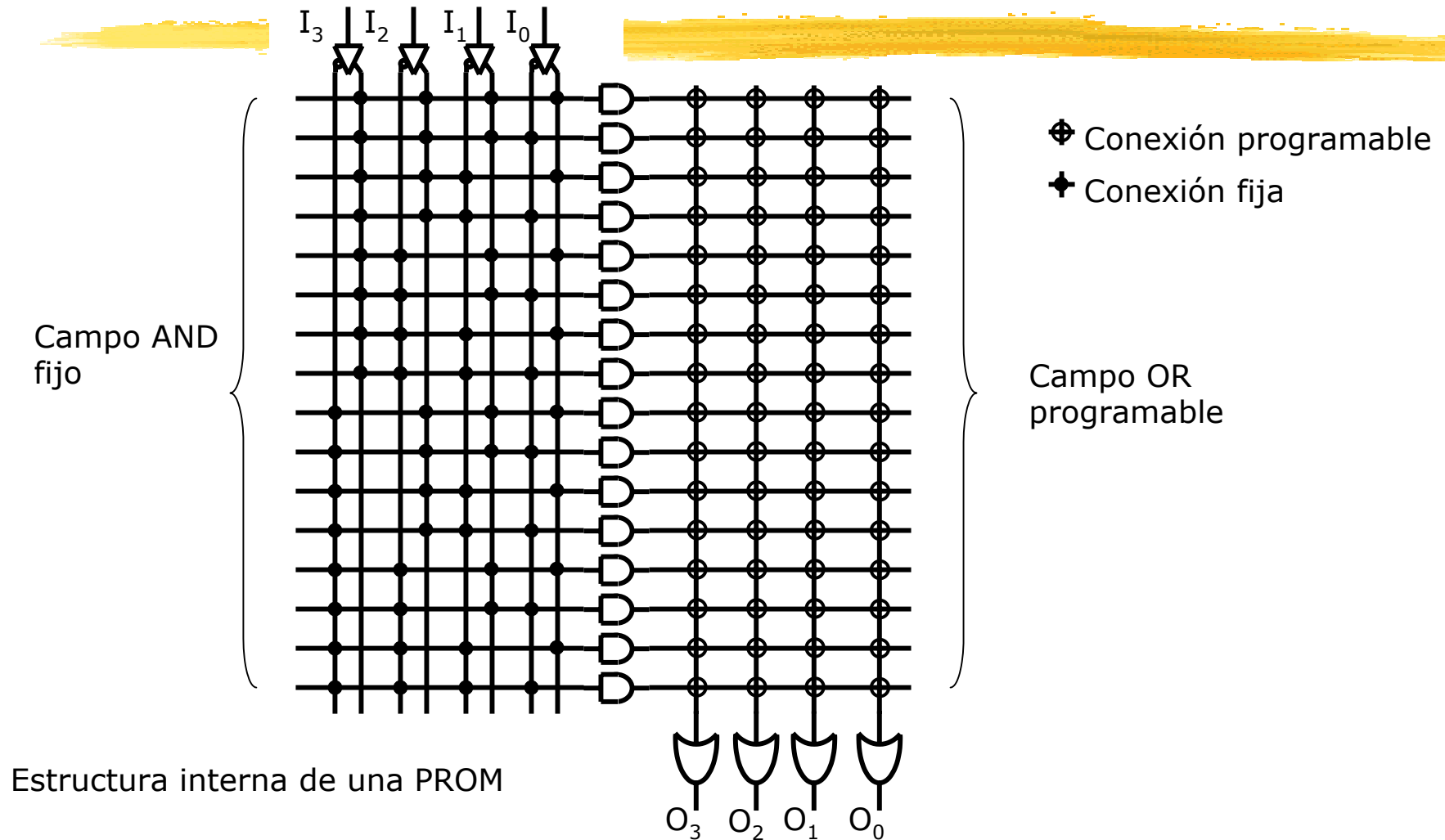
LÓGICA PROGRAMABLE



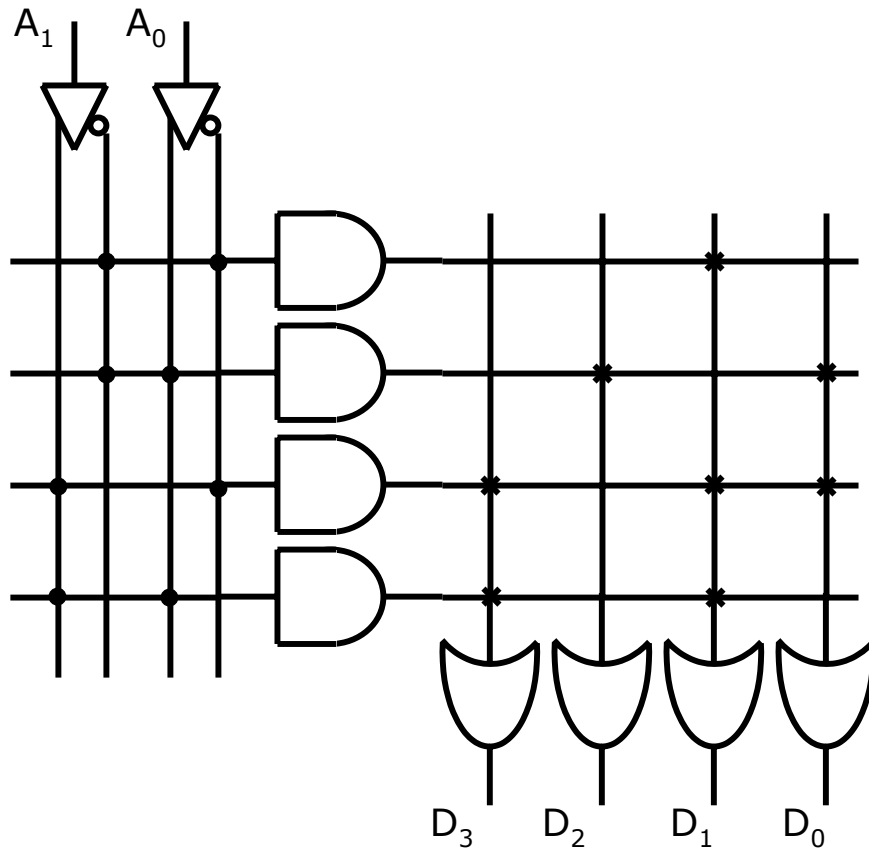
■ PROMs

- Programmable Read Only Memory
 - Campo AND fijo (decodificador completo)
 - Campo OR programable
 - Se usan para almacenamiento de datos (LUTs: look-up tables)
 - Dispositivos borrables: EPROMs, EEPROMs
-

LÓGICA PROGRAMABLE



LÓGICA PROGRAMABLE



$A_1 A_0$	$D_3 D_2 D_1 D_0$
0 0	0 0 1 0
0 1	0 1 0 1
1 0	1 0 1 1
1 1	1 0 1 0

Ejemplo de programación
de una PROM

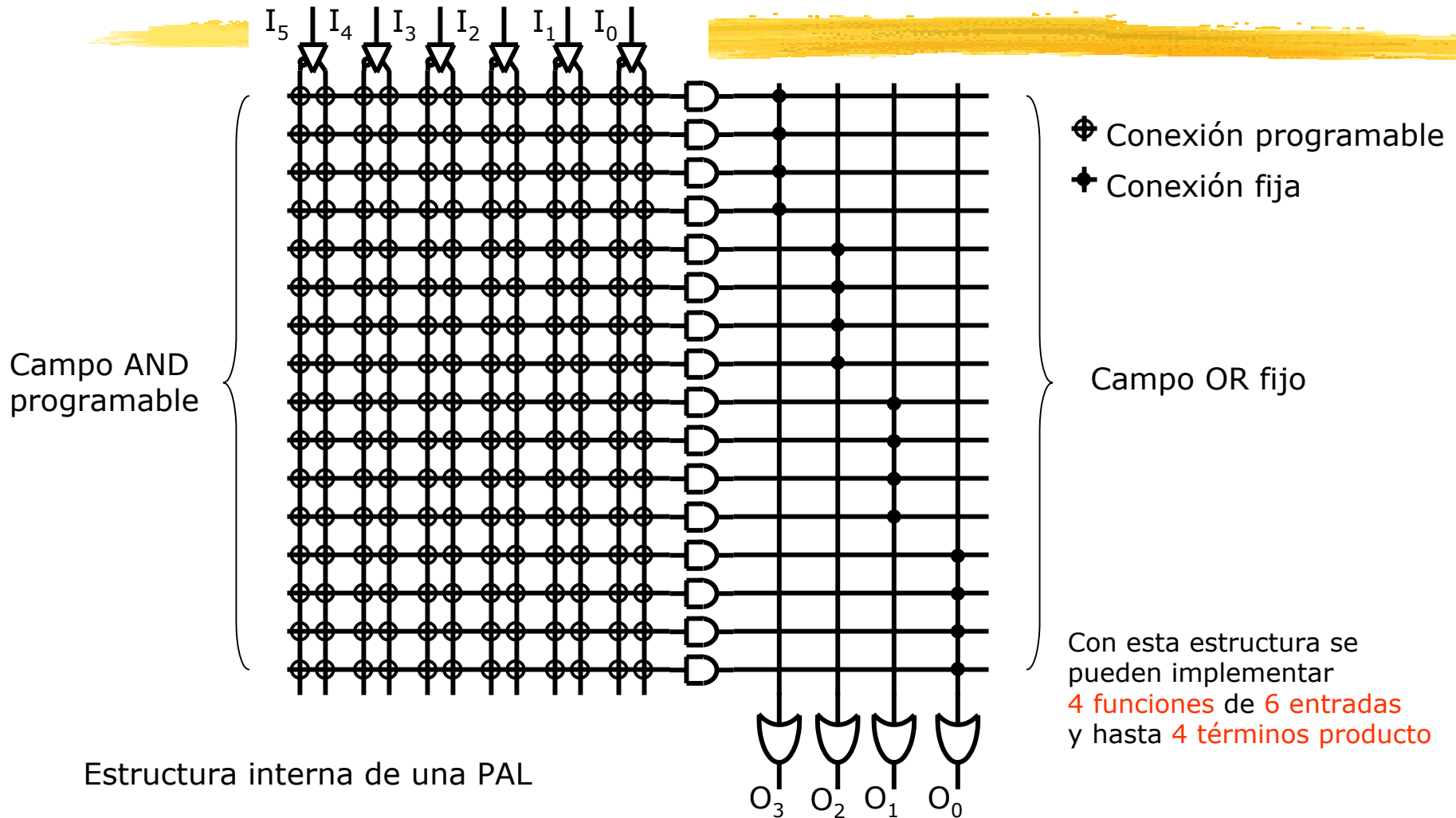
LÓGICA PROGRAMABLE



■ PALs y GALs

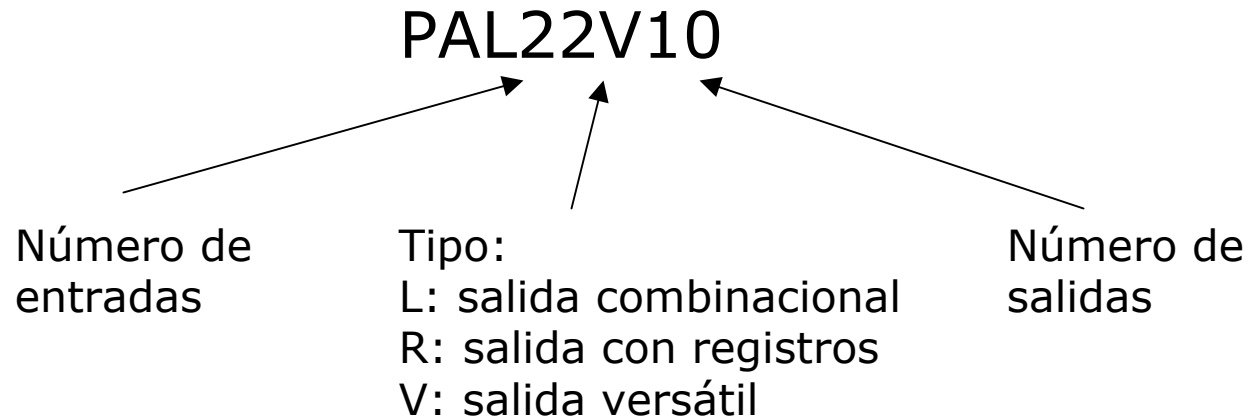
- Programmable Array Logic
 - Campo AND programable
 - Campo OR fijo
 - Desarrolladas por Monolithic Devices en 1976
 - GAL: Generic Array Logic (PAL borrable eléctricamente)
-

LÓGICA PROGRAMABLE



LÓGICA PROGRAMABLE

■ Denominación

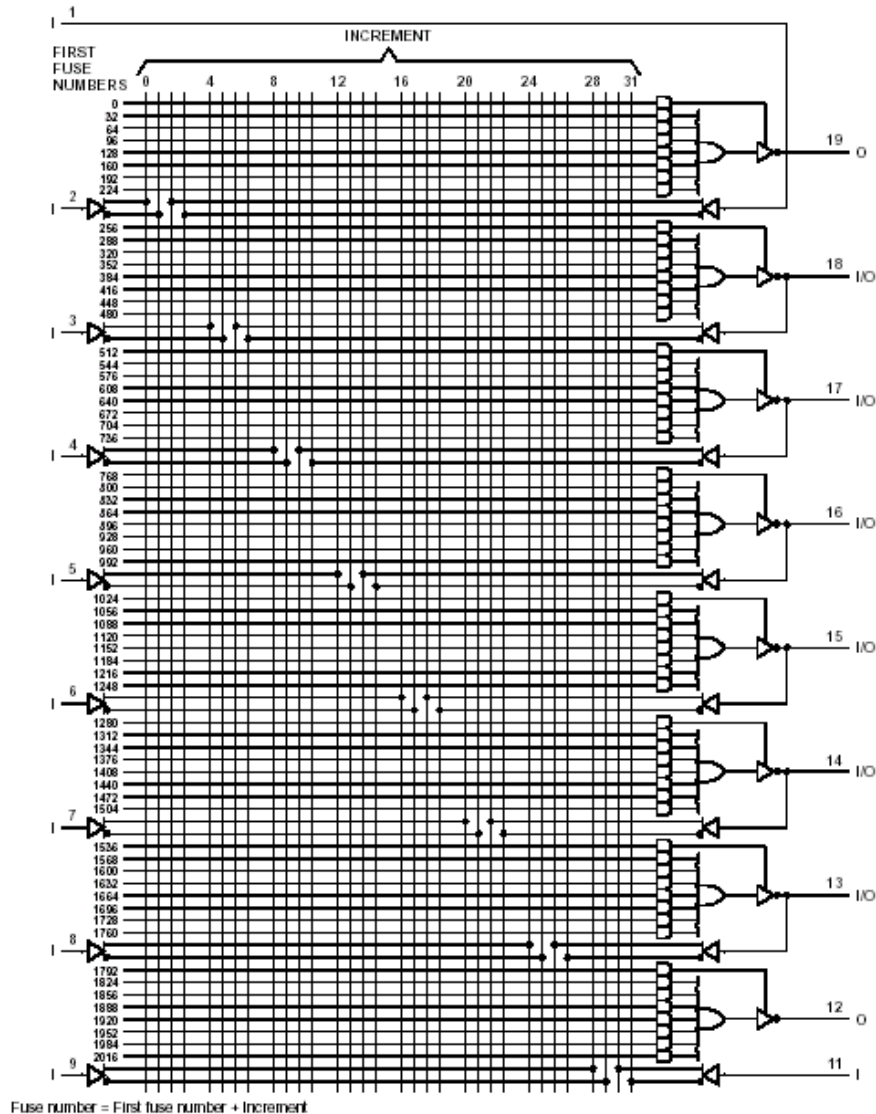


■ Información en:

<http://www.ti.com/sc/docs/products/proglgc/index.htm>

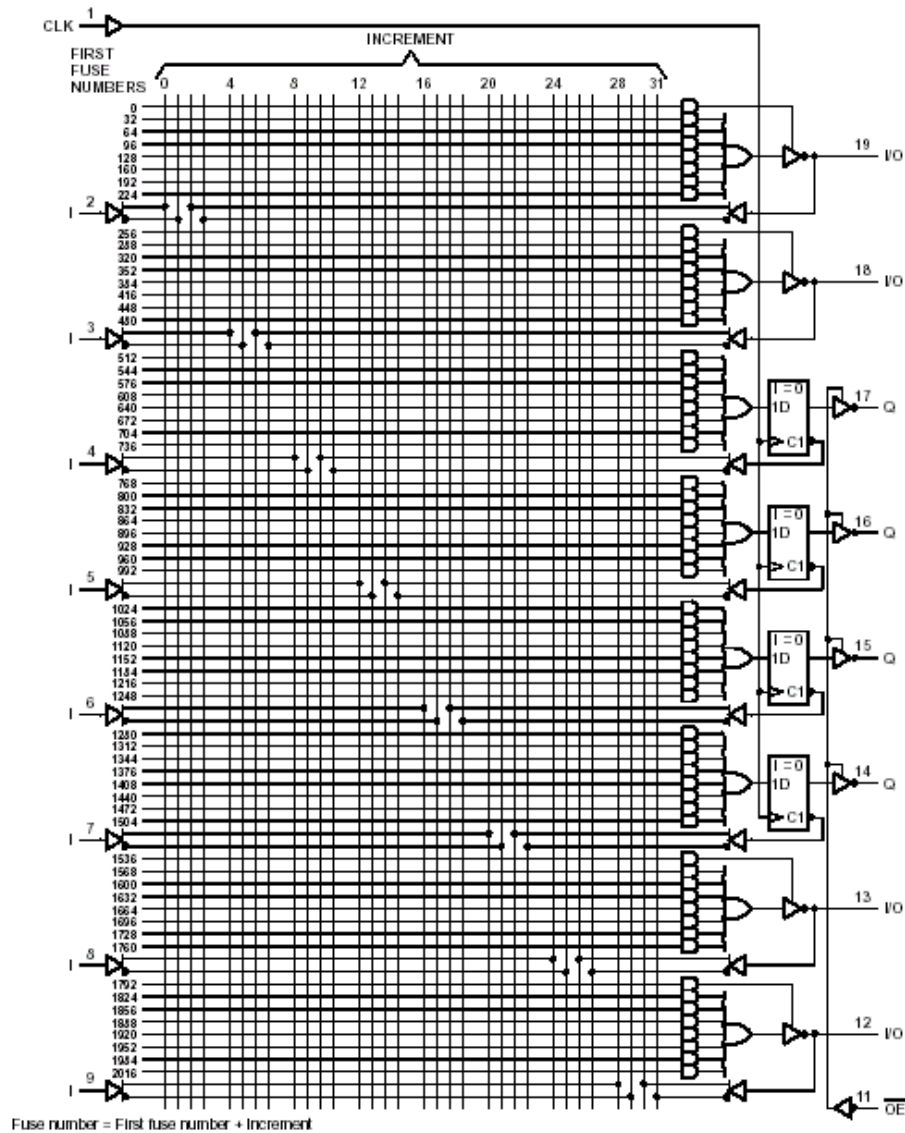
LÓGICA PROGRAMABLE

■ PAL16L8



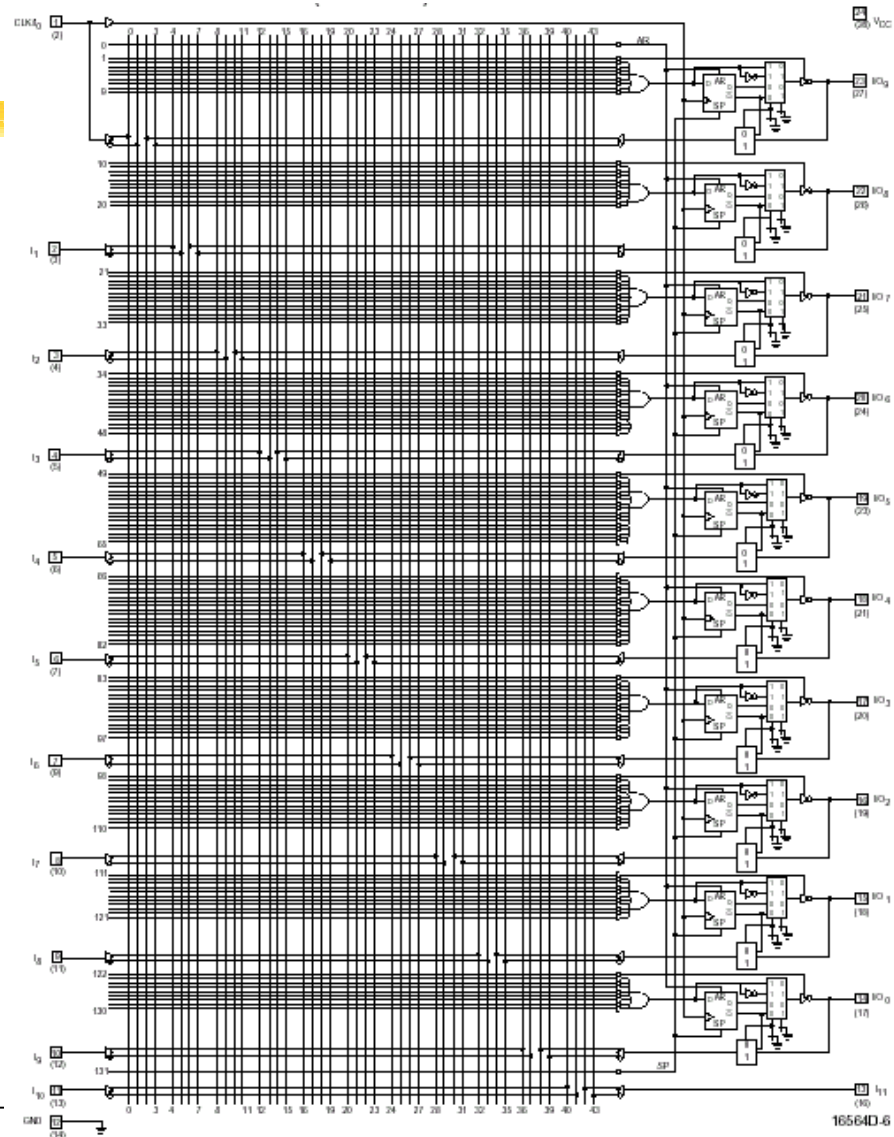
LÓGICA PROGRAMABLE

■ PAL16R4

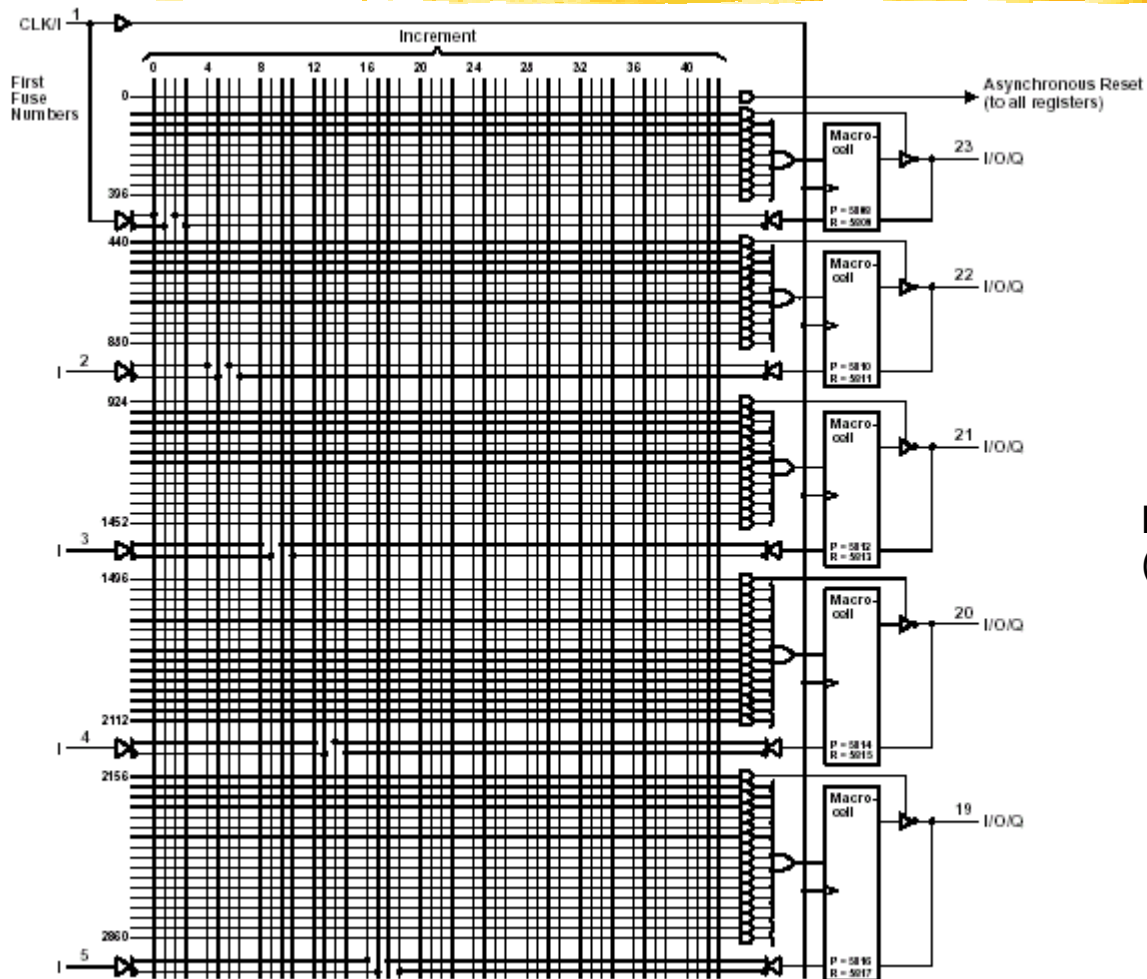


LÓGICA PROGRAMABLE

■ PAL22V10



LÓGICA PROGRAMABLE



PAL22V10
(detalle)

LÓGICA PROGRAMABLE



■ 22V10

- 12 entradas (I)
 - 10 entradas/salidas (I/O)
 - Cada pin I/O posee asociada una OLM (Output Logic Macrocell)
 - Cada macrocelda posee un biestable
 - La salida de cada macrocelda se puede configurar como combinacional o con registro
 - La salida puede configurarse como activa en alto o en bajo
-

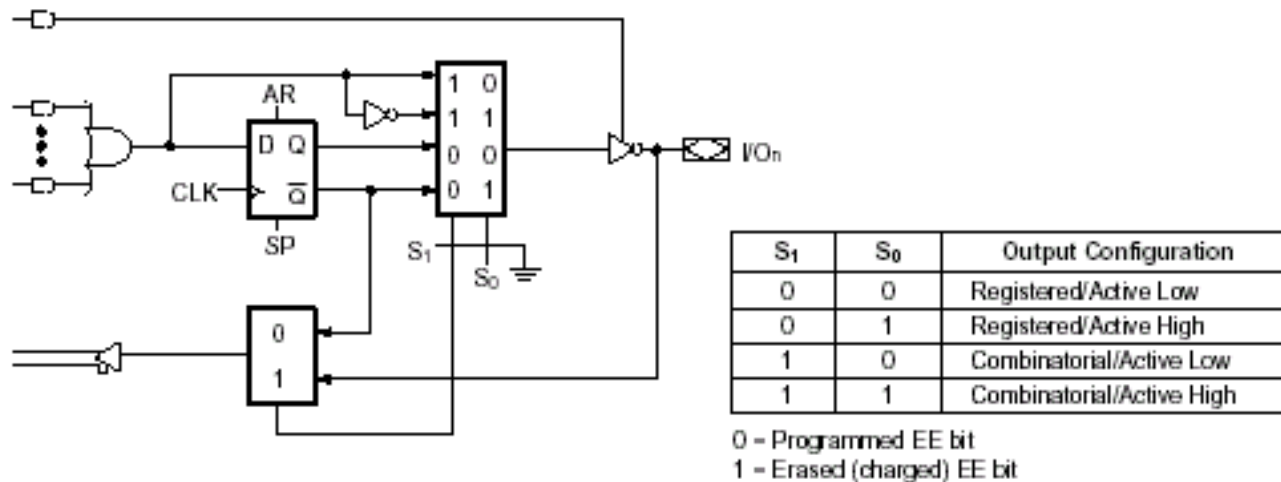
LÓGICA PROGRAMABLE



■ 22V10

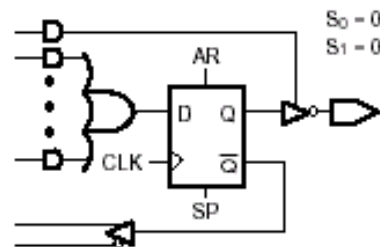
- Número de términos producto variable de 8 a 16
 - Todos los biestables del OLM comparten:
 - Señal de reloj (mismo flanco activo)
 - Reset asíncrono (AR)
 - Preset síncrono (SP)
-

LÓGICA PROGRAMABLE

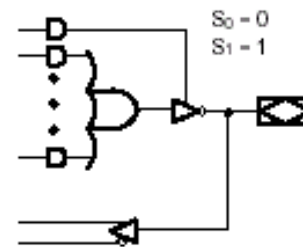


Esquema de una macrocelda de salida

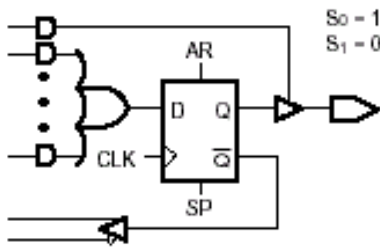
LÓGICA PROGRAMABLE



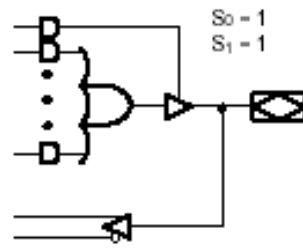
Registered/Active Low



Combinatorial/Active Low



Registered/Active High



Combinatorial/Active High

Posibles configuraciones de la macrocelda de salida

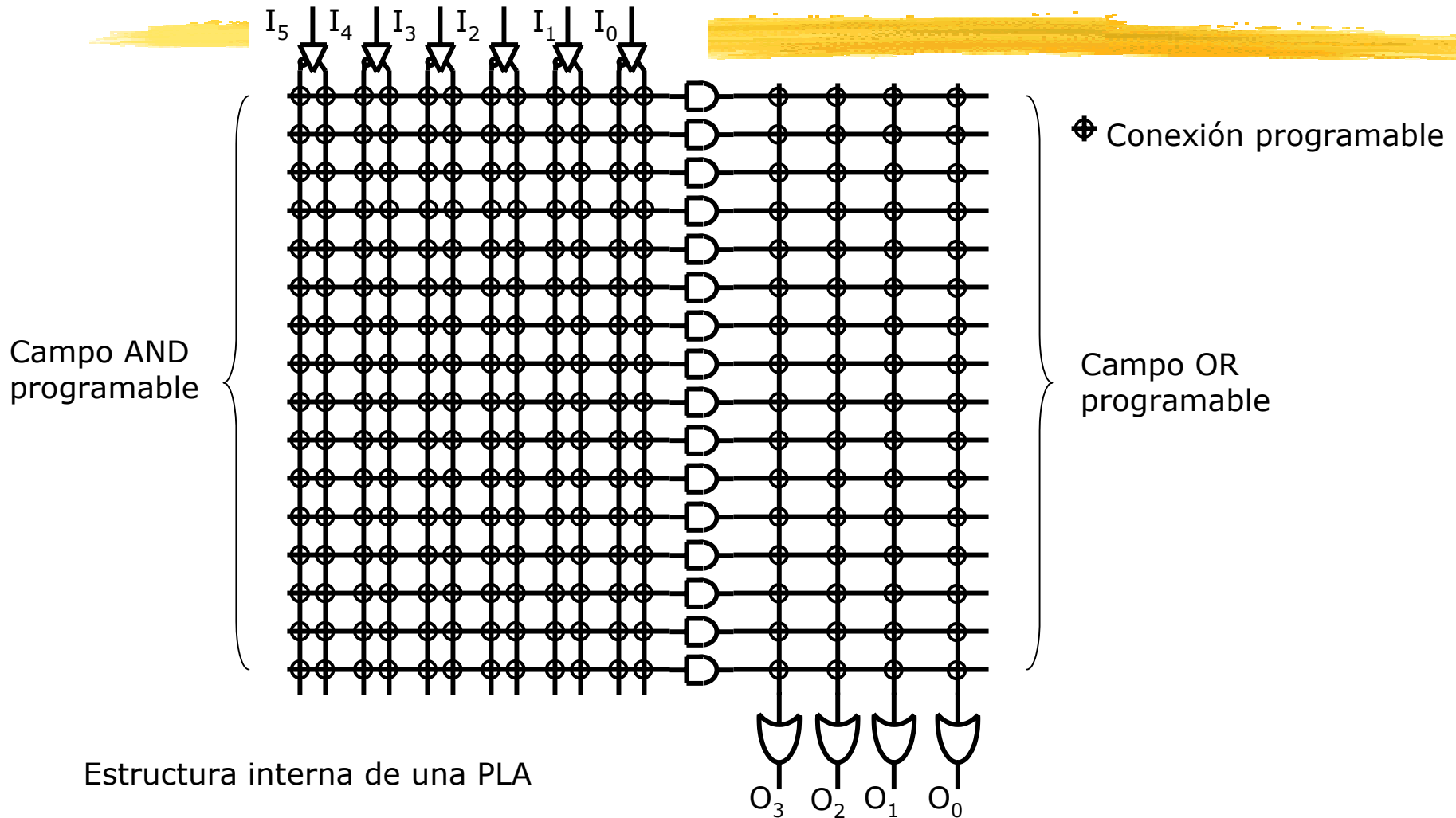
LÓGICA PROGRAMABLE



■ PLAs

- Programmable Logic Array
 - Campo AND programable
 - Campo OR programable
 - Desarrolladas por la firma Signetics Corporation en 1975
-

LÓGICA PROGRAMABLE



LÓGICA PROGRAMABLE



■ Tecnología de programación

– Bipolar

- Cada interruptor es un fusible que se funde con un pico de corriente
- Una vez programado no se puede reprogramar (OTP: One Time Programmable)

– MOS

- Cada interruptor es un transistor MOS de puerta aislada
 - EPLD: borrado por luz ultravioleta
 - EEPLD: borrado eléctrico
-

LÓGICA PROGRAMABLE



- Introducción
 - Simple PLDs
 - > Complex PLDs
 - FPGAs
-

LÓGICA PROGRAMABLE



■ CPLDs

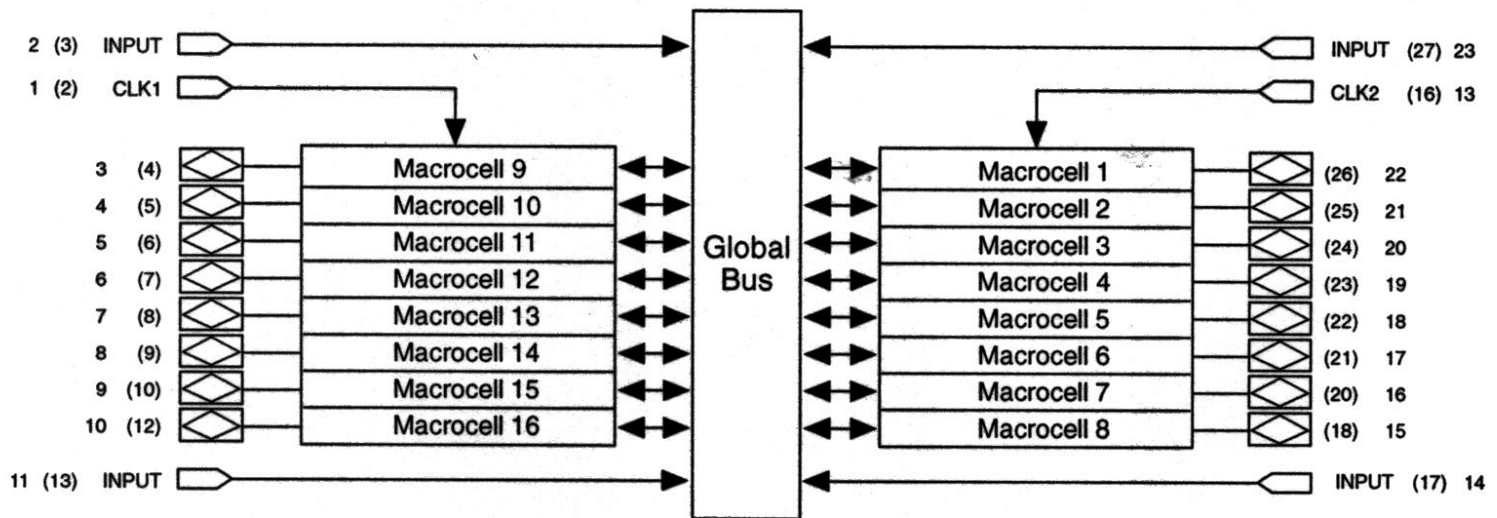
- Complex Programmable Logic Devices
 - Contiene varios bloques lógicos, cada uno similar a un pequeño PLD
 - Los bloques lógicos se comunican mediante interconexiones programables
 - Se obtiene un uso altamente eficiente del área de silicio
 - El origen de las CPLDs son las EPLDs de Altera (1984)
-

LÓGICA PROGRAMABLE

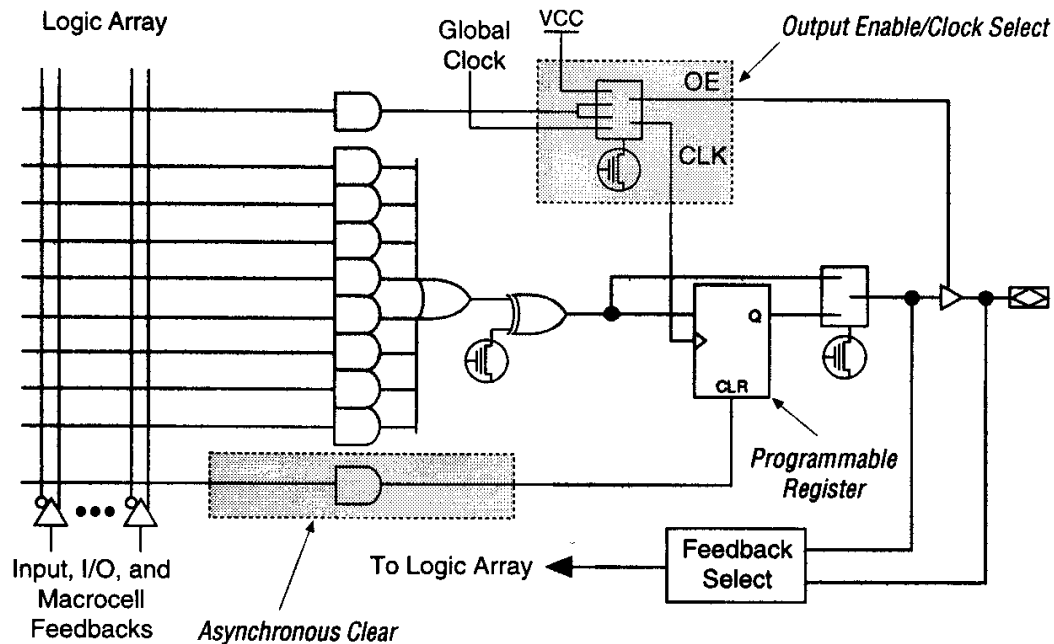
■ EPLDs de Altera <http://www.altera.com>

Figure 8. EP610 Block Diagram

Numbers without parentheses are for DIP and SOIC packages. Numbers in parentheses are for J-lead packages.



■ EPLDs de Altera

[illegible]

LÓGICA PROGRAMABLE

■ EPLDs de Altera

Table 1. Classic Device Features			
Feature	EP610 EP610I	EP910 EP910I	EP1810
Usable gates	300	450	900
Macrocells	16	24	48
Maximum user I/O pins	22	38	64
t_{PD} (ns)	10	12	20
f_{CNT} (MHz)	100	76.9	50

LÓGICA PROGRAMABLE

■ CPLDs

- Tomamos como ejemplo las CPLDs de la firma Xilinx <http://www.xilinx.com>

Table 1: XC9500 Device Family

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Macrocells	36	72	108	144	216	288
Usable Gates	800	1,600	2,400	3,200	4,800	6,400
Registers	36	72	108	144	216	288
t_{PD} (ns)	5	7.5	7.5	7.5	10	10
t_{SU} (ns)	3.5	4.5	4.5	4.5	6.0	6.0
t_{CO} (ns)	4.0	4.5	4.5	4.5	6.0	6.0
f_{CNT} (MHz)	100	125	125	125	111.1	111.1
f_{SYSTEM} (MHz)	100	83.3	83.3	83.3	66.7	66.7

Note: f_{CNT} = Operating frequency for 16-bit counters
 f_{SYSTEM} = Internal operating frequency for general purpose system designs spanning multiple FBs.

LÓGICA PROGRAMABLE

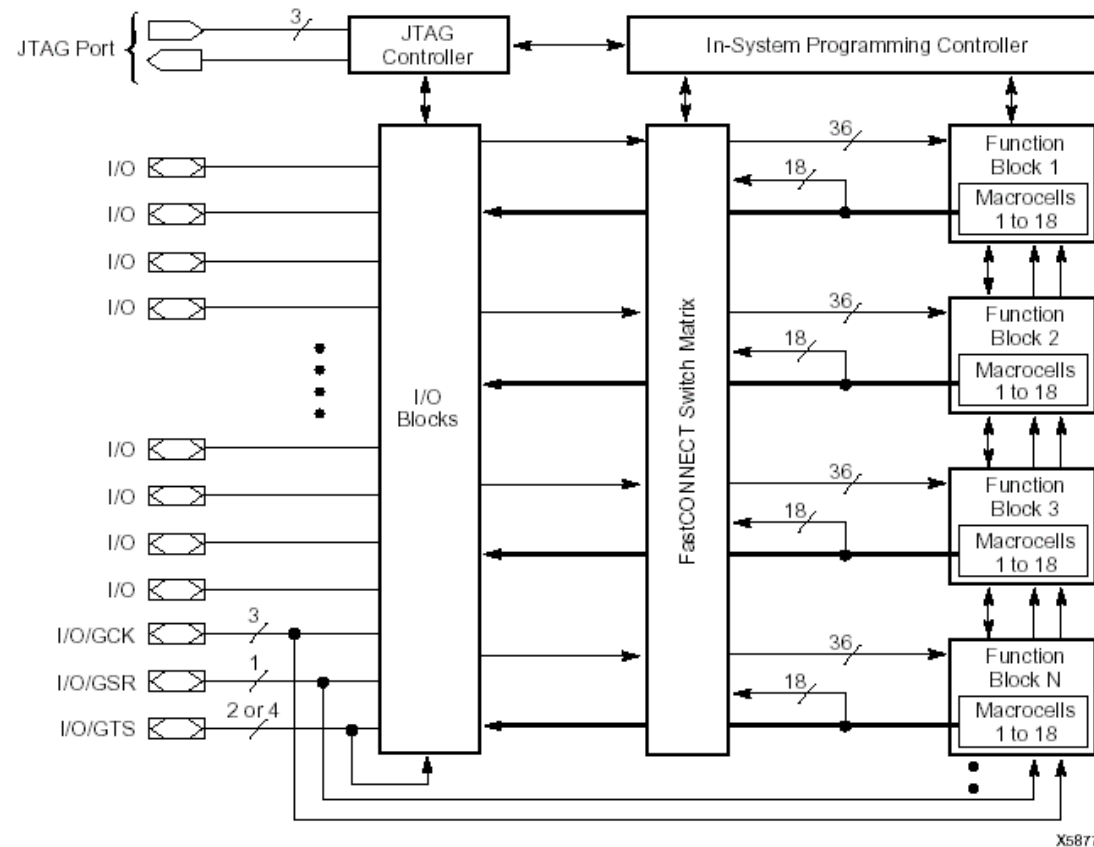


Figure 1: XC9500 Architecture

LÓGICA PROGRAMABLE

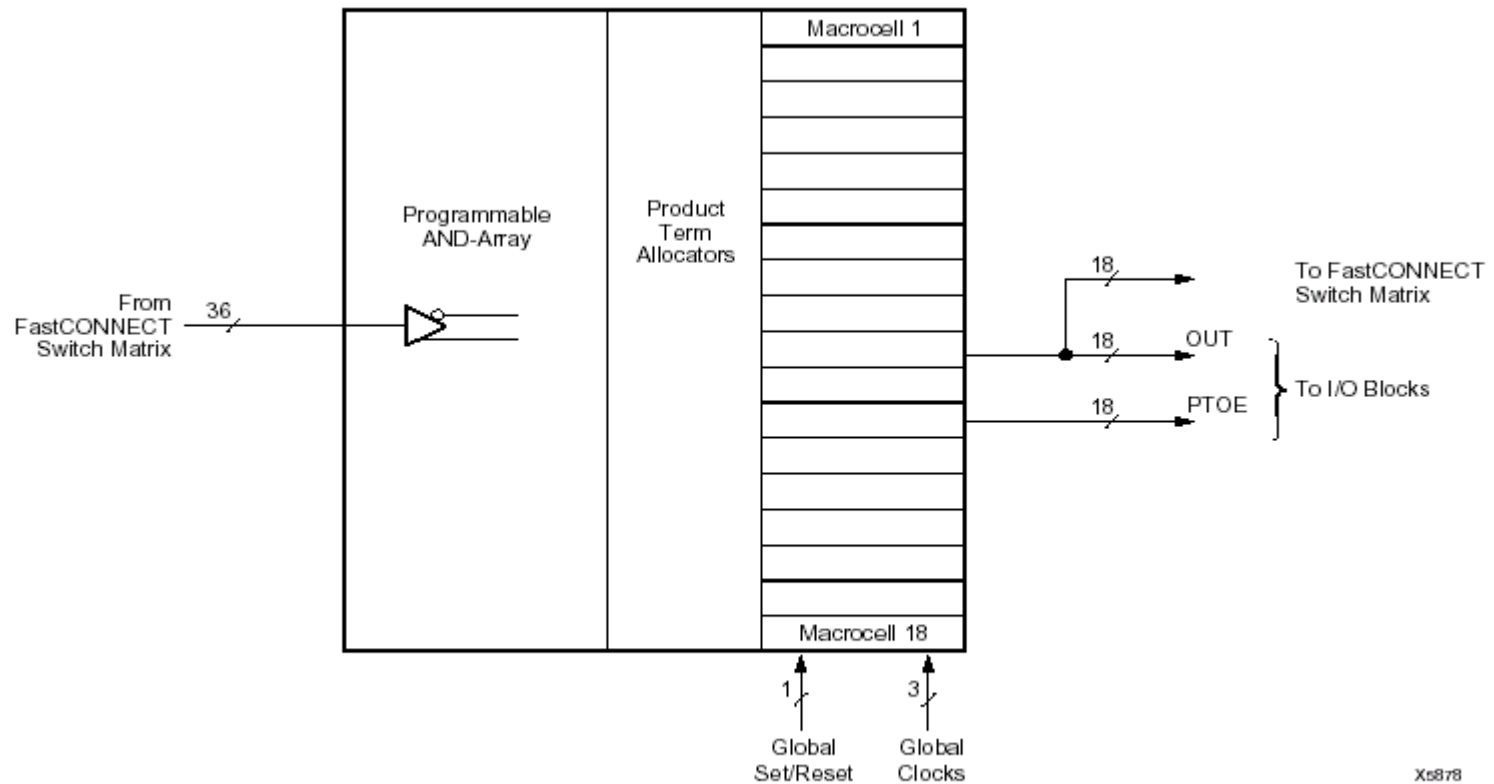


Figure 2: XC9500 Function Block

LÓGICA PROGRAMABLE

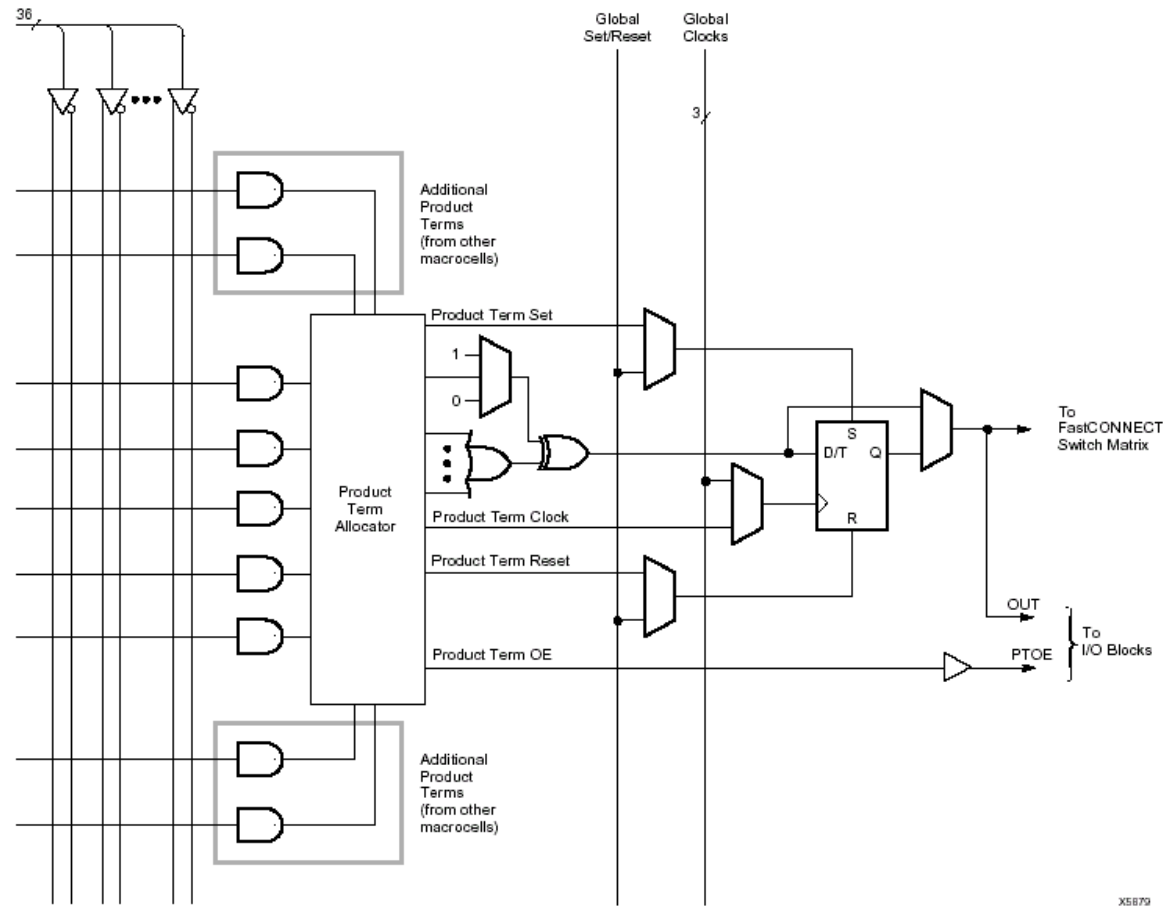


Figure 3: XC9500 Macrocell Within Function Block

LÓGICA PROGRAMABLE

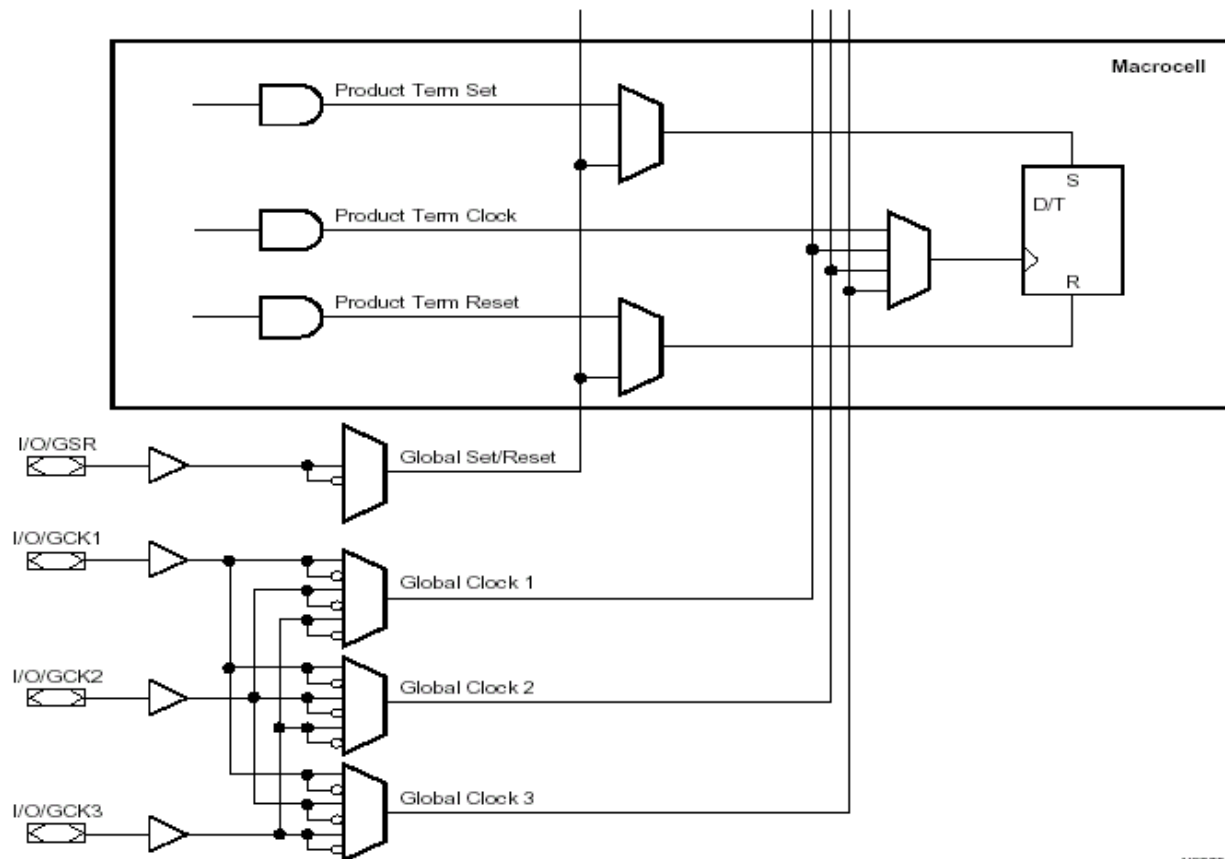


Figure 4: Macrocell Clock and Set/Reset Capability

LÓGICA PROGRAMABLE

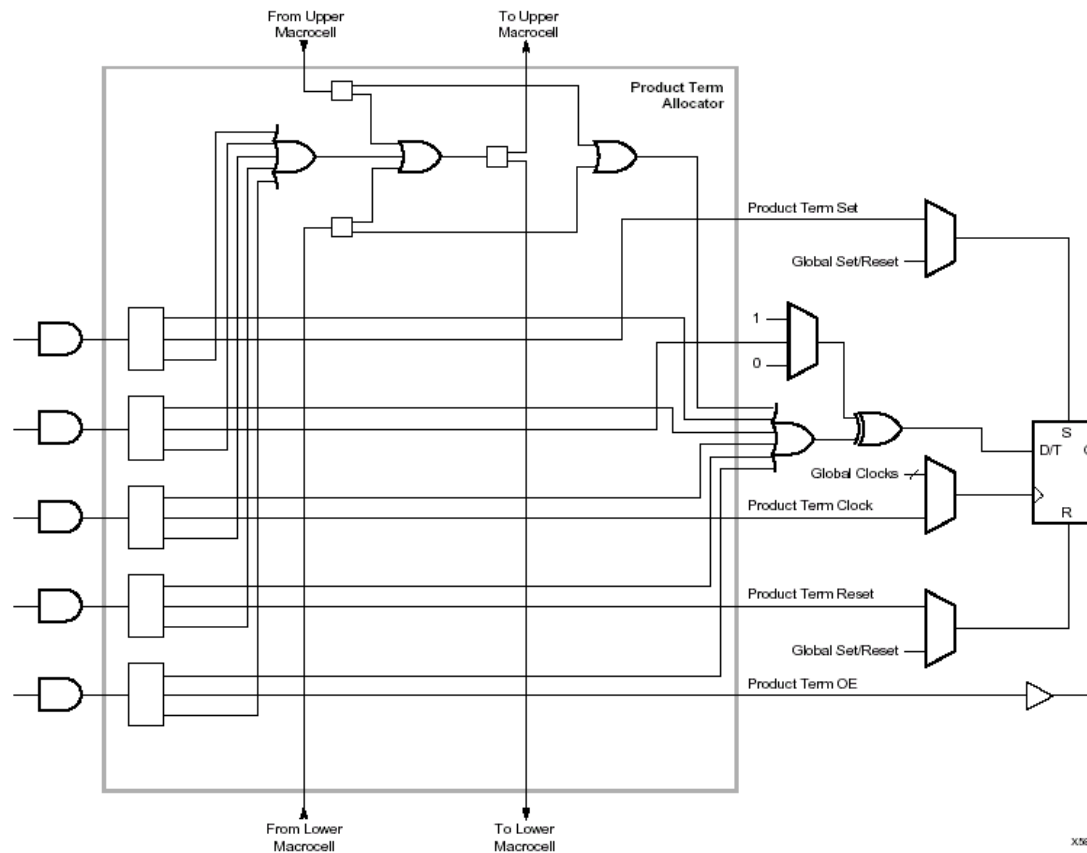


Figure 8: Product Term Allocator Logic



LÓGICA PROGRAMABLE

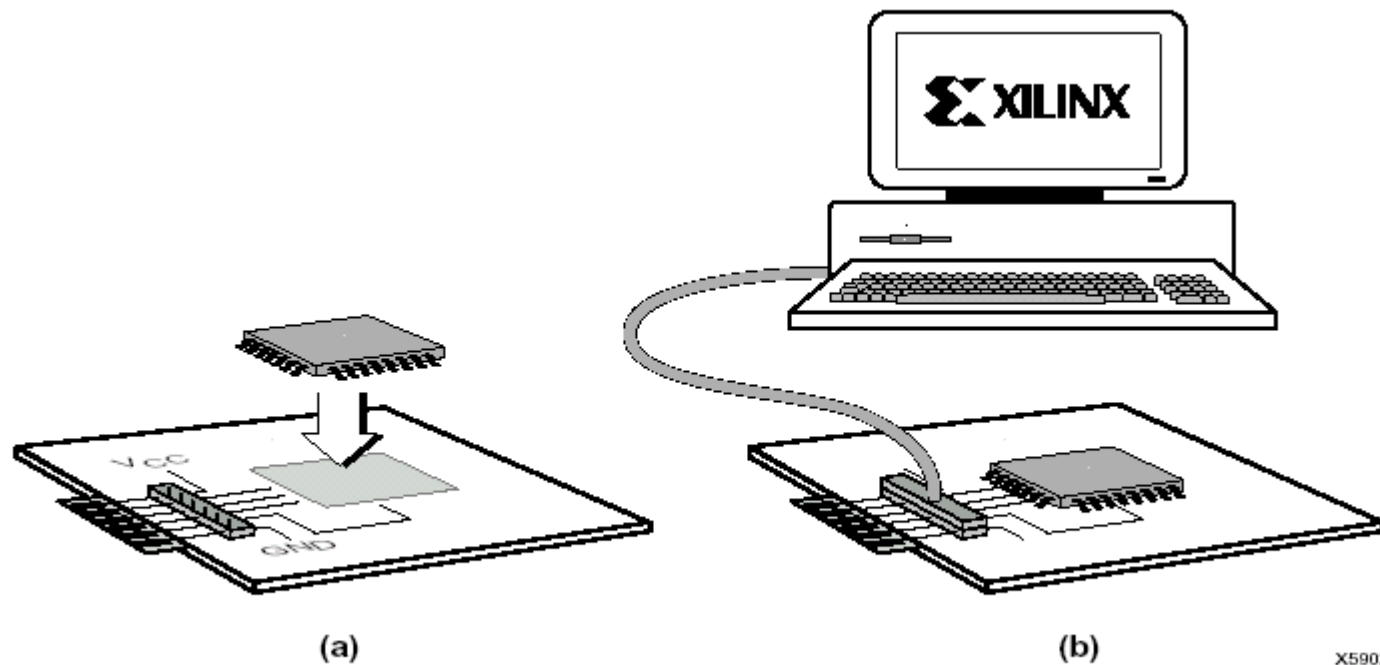


Figure 13: In-System Programming Operation (a) Solder Device to PCB and (b) Program Using Download Cable

LÓGICA PROGRAMABLE



- Introducción
 - Simple PLDs
 - Complex PLDs
 - > FPGAs
-

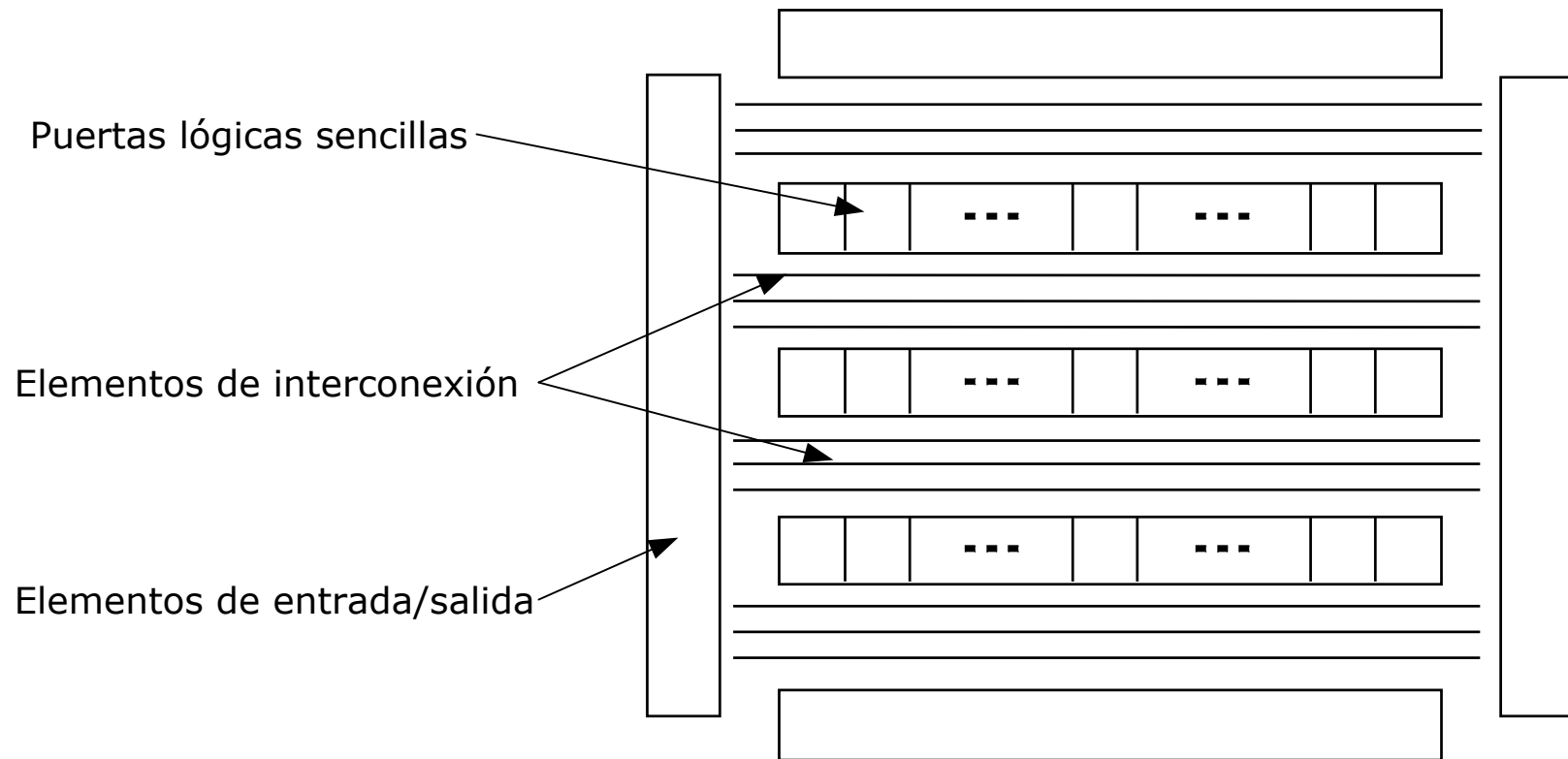
LÓGICA PROGRAMABLE



■ Tecnología Gate Array

- Desarrollada por IBM en los años 70
 - Basada en circuitos que contienen:
 - Puertas lógicas simples
 - Elementos de interconexión
 - Elementos de entrada/salida
 - Todos estos elementos son conectados entre sí en el momento de la fabricación del chip para obtener el diseño lógico deseado
-

LÓGICA PROGRAMABLE



Gate Arrays

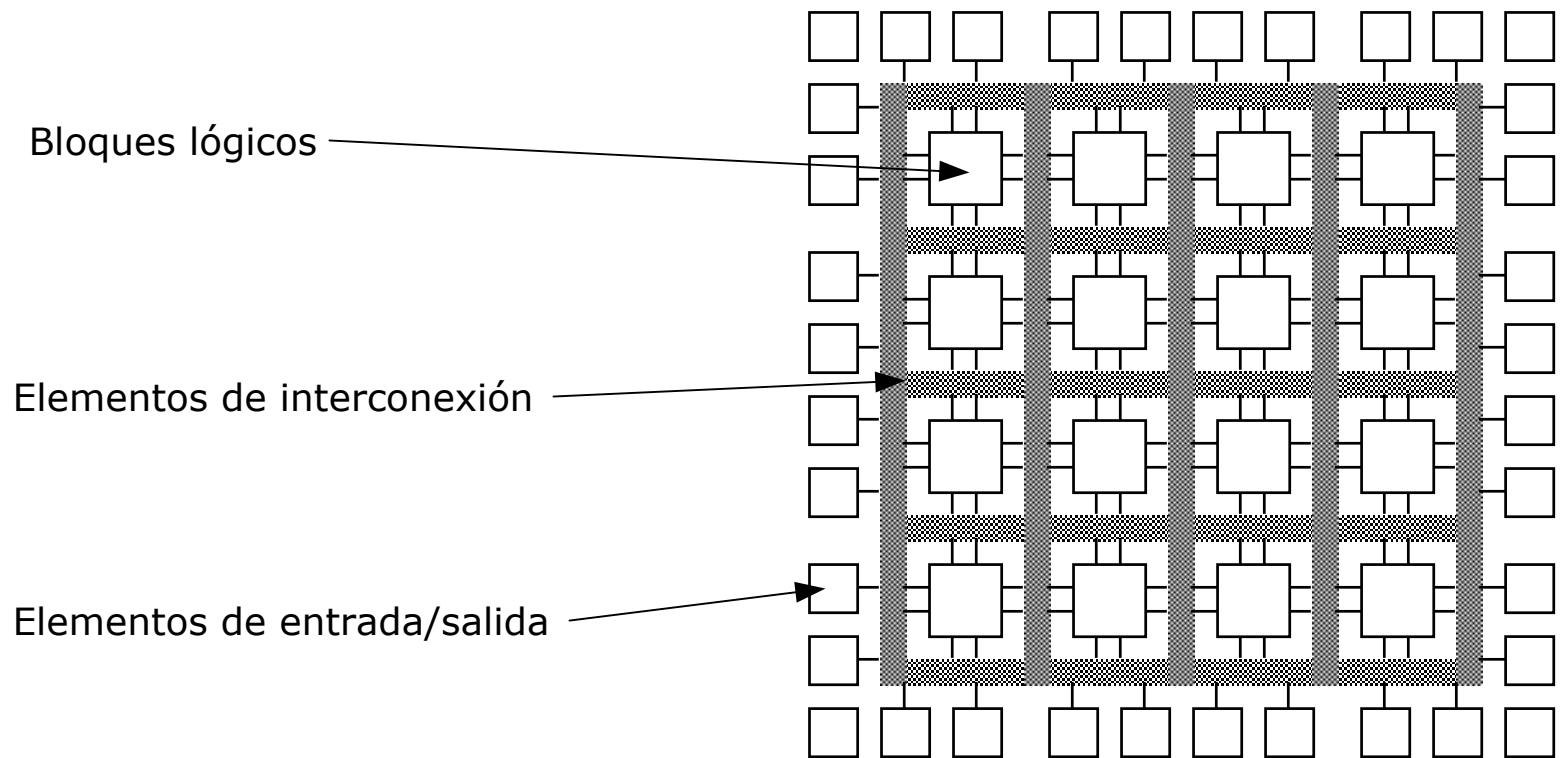
LÓGICA PROGRAMABLE



■ FPGAs

- Field Programmable Gate Arrays
 - Formadas por:
 - Bloques lógicos
 - Bloques de entrada/salida
 - Canales de interconexión
 - Los bloques lógicos constan de:
 - Tablas (look-up tables)
 - Multiplexores
 - Registros
-

LÓGICA PROGRAMABLE



FPGAs

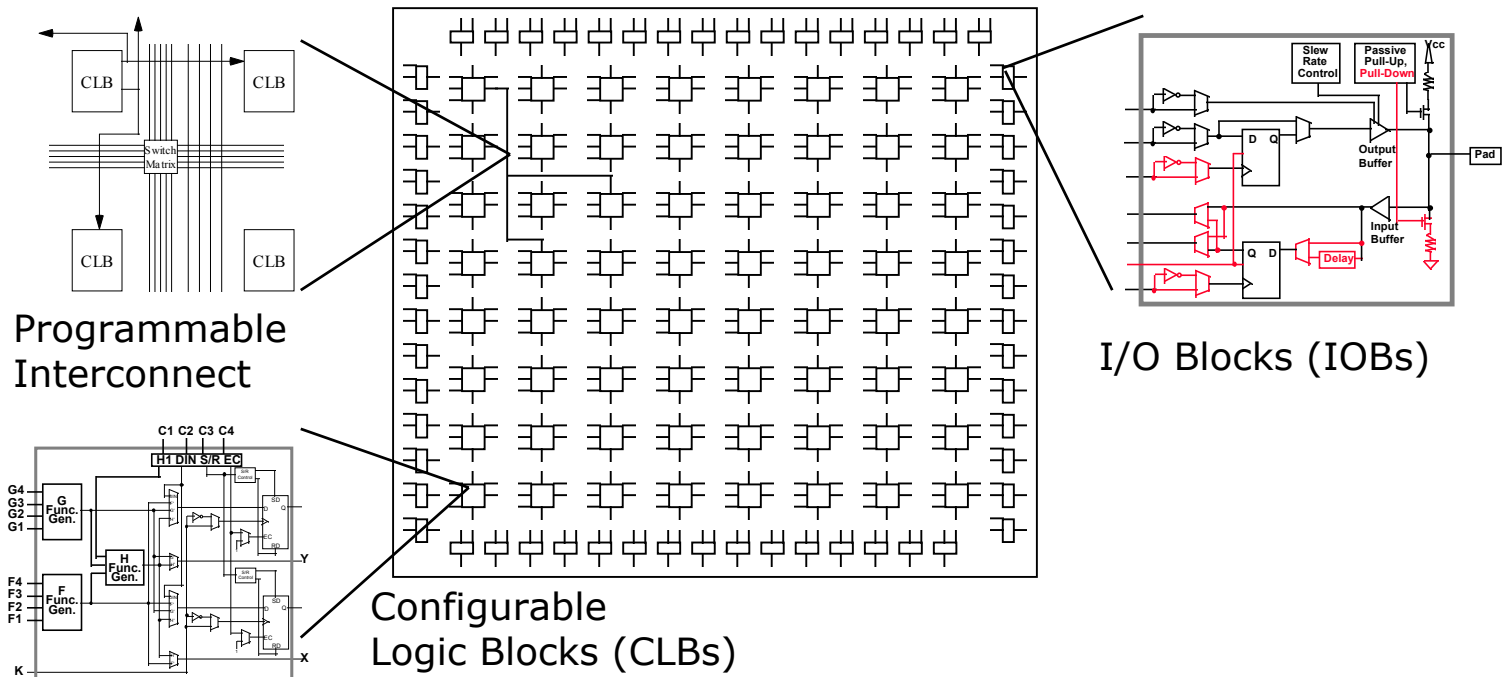
LÓGICA PROGRAMABLE



- La primera FPGA fue desarrollada por Xilinx en 1984, y se denominaba LCA (Logic Cell Array)
 - Configurables mediante elementos de memoria RAM (volátil). Se precisa una EPROM externa de configuración
 - Tomamos como ejemplo la serie XC4000 de Xilinx
-

LÓGICA PROGRAMABLE

■ Estructura general de una FPGA



1. *Journal of the American Medical Association*, 2000; 283: 2639-2644.



X6692

LÓGICA PROGRAMABLE

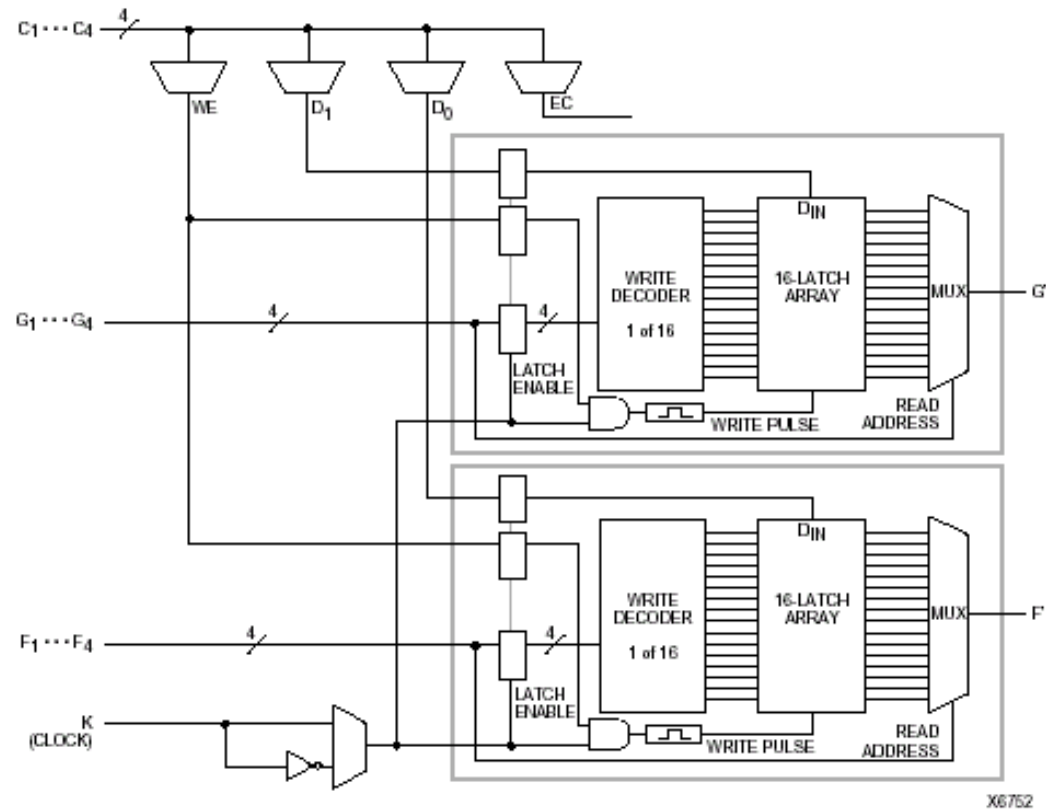


Figure 4: 16x2 (or 16x1) Edge-Triggered Single-Port RAM

LÓGICA PROGRAMABLE

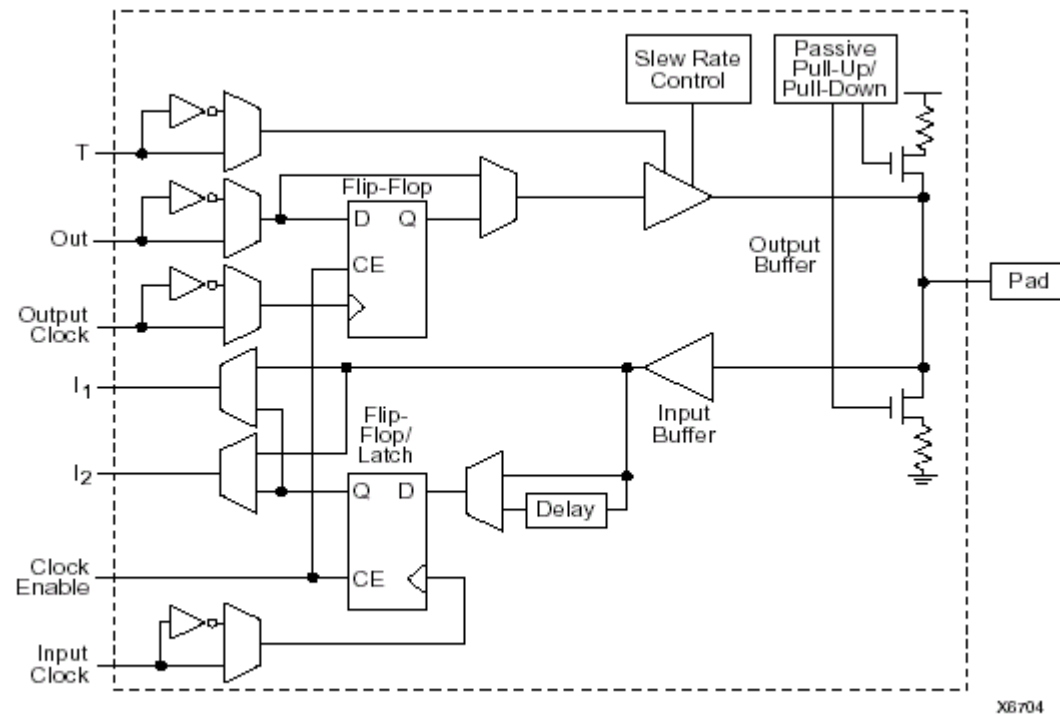


Figure 15: Simplified Block Diagram of XC4000E IOB

LÓGICA PROGRAMABLE

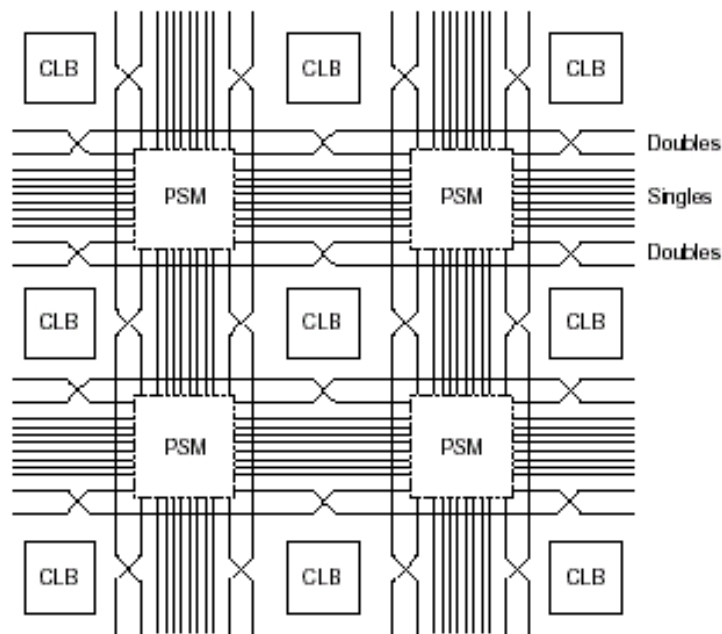


Figure 28: Single- and Double-Length Lines, with Programmable Switch Matrices (PSMs)

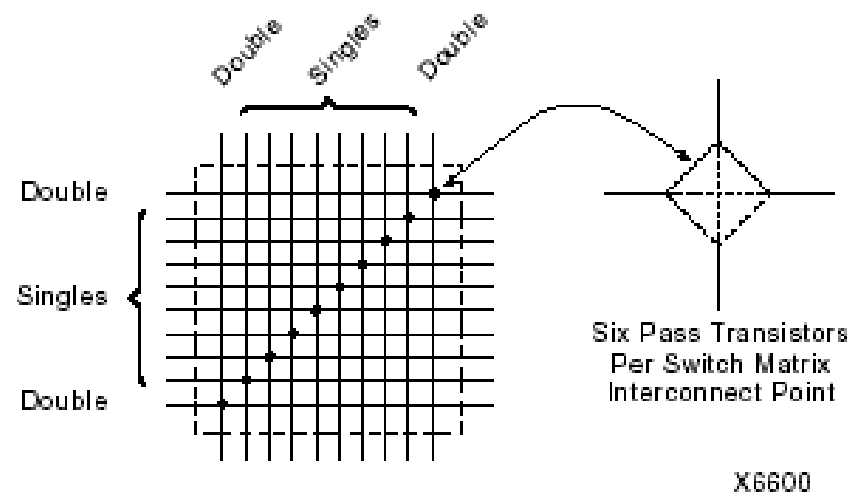


Figure 26: Programmable Switch Matrix (PSM)

LÓGICA PROGRAMABLE

Table 1: XC4000E and XC4000X Series Field Programmable Gate Arrays

Device	Logic Cells	Max Logic Gates (No RAM)	Max. RAM Bits (No Logic)	Typical Gate Range (Logic and RAM)*	CLB Matrix	Total CLBs	Number of Flip-Flops	Max. User I/O
XC4002XL	152	1,600	2,048	1,000 - 3,000	8 x 8	64	256	64
XC4003E	238	3,000	3,200	2,000 - 5,000	10 x 10	100	360	80
XC4005E/XL	466	5,000	6,272	3,000 - 9,000	14 x 14	196	616	112
XC4006E	608	6,000	8,192	4,000 - 12,000	16 x 16	256	768	128
XC4008E	770	8,000	10,368	6,000 - 15,000	18 x 18	324	936	144
XC4010E/XL	950	10,000	12,800	7,000 - 20,000	20 x 20	400	1,120	160
XC4013E/XL	1368	13,000	18,432	10,000 - 30,000	24 x 24	576	1,536	192
XC4020E/XL	1862	20,000	25,088	13,000 - 40,000	28 x 28	784	2,016	224
XC4025E	2432	25,000	32,768	15,000 - 45,000	32 x 32	1,024	2,560	256
XC4028EX/XL	2432	28,000	32,768	18,000 - 50,000	32 x 32	1,024	2,560	256
XC4036EX/XL	3078	36,000	41,472	22,000 - 65,000	36 x 36	1,296	3,168	288
XC4044XL	3800	44,000	51,200	27,000 - 80,000	40 x 40	1,600	3,840	320
XC4052XL	4598	52,000	61,952	33,000 - 100,000	44 x 44	1,936	4,576	352
XC4062XL	5472	62,000	73,728	40,000 - 130,000	48 x 48	2,304	5,376	384
XC4085XL	7448	85,000	100,352	55,000 - 180,000	56 x 56	3,136	7,168	448

* Max values of Typical Gate Range include 20-30% of CLBs used as RAM.

LÓGICA PROGRAMABLE



■ Sistemas de desarrollo

- Software diseñado para ayudar al usuario a realizar un desarrollo basado en PLD de una manera sencilla
 - Generalmente incluyen:
 - Editor HDL (Hardware Description Language)
 - Editor de máquinas de estado
 - Captura de esquemático
 - Simulador temporal
-