

#### **4 CARACTERÍSTICAS INTERNAS DE LAS FAMILIAS LÓGICAS.**

Los circuitos integrados digitales están caracterizados por la tecnología de fabricación utilizada. La base de esta integración es el silicio que junto a otros materiales, usados como aditivos, ionizan y dan características eléctricas transitorias y permanente de corriente, tensión, retardo de tiempo, etc.

Los componentes básicos de la integración son: transistores bipolares, FET, resistencias y diodos; éstos originan comportamientos de tipo analógico en el circuito integrado digital. Los niveles lógicos 0 y 1 están supeditados a rangos de corriente y voltaje que van a depender de las cargas que se conecten en esas líneas digitales y, específicamente, de la tecnología de fabricación e integración utilizada en la construcción del chip.

Las familias lógicas más utilizadas en el diseño de circuitos digitales son: TTL, CMOS y ECL. Las diferencias entre ellas determinan el tipo de aplicación en la implementación del diseño lógico digital y el rendimiento del mismo.

Existen actualmente otras subfamilias de circuitos integrados que trabajan con voltajes bajos y altas frecuencias como lo son las series LVC y LVT que trabajan con tensiones entre 2.5 y 5.0 Voltios. En este capítulo no se estudiarán estos dispositivos; no obstante, se sugiere consultar los manuales de fabricantes como Texas Instruments (2.5V-5V Standard Logic IC "SN74LV-A series 2000) o la dirección electrónica: [www.ti.com/sc/logic/lva](http://www.ti.com/sc/logic/lva).

## 4.1 Parámetros eléctricos de un circuito integrado digital.

Los parámetros de las compuertas lógicas están determinados por el fabricante del circuito integrado y alguno de estos parámetros comprenden valores y rangos de corriente, voltaje, retardo de tiempo, disipación de potencia, margen de ruido, fan-out. Todos ellos determinan las condiciones de operación del circuito: consumo de corriente que suministra la fuente, temperatura de trabajo, tiempo de propagación de las señales en los acoplamientos de compuertas, ruido externo, etc. Los tipos de tecnologías (familias lógicas TTL, CMOS, ECL, etc.) diferencian estas condiciones de operación, y es aquí donde el diseñador debe tomar las precauciones necesarias a la hora de implementar un circuito digital.

### 4.1.1 Niveles lógicos.

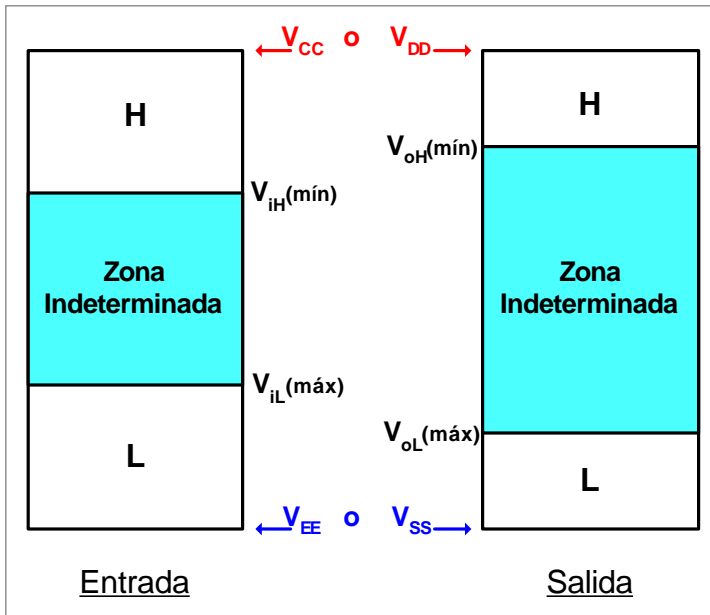
Los niveles alto y bajo (H y L) de las entradas y salidas digitales tienen rangos fijos dentro de una misma familia lógica. Sin embargo, existen pequeñas variaciones entre las subfamilias de los circuitos y compuertas digitales comúnmente denominada **Series** de la familia lógica. En la figura 4.1 se muestran los rangos de voltaje entrada/salida (Input/Output) de los circuitos digitales; los valores de éstos están dados en los manuales de características técnicas del fabricante y se definen de la siguiente forma:

**$V_{iH}(\text{mín})$ :** Voltaje de entrada mínimo reconocido como un nivel lógico alto (1 ó H). Las tensiones por debajo de éste valor no garantiza una tensión,  $V_{iH}$  válida.

**$V_{iL}(\text{máx})$ :** Voltaje de entrada máximo reconocido como un nivel lógico bajo (0 ó L). Las tensiones por encima de éste valor no garantiza una tensión,  $V_{iL}$  válida.

**$V_{oH}(\text{mín})$ :** Voltaje de salida mínimo reconocido como un nivel lógico alto (1 ó H). Las tensiones por debajo de éste valor no garantiza una tensión,  $V_{oH}$  válida.

**$V_{oL}(\text{máx})$ :** Voltaje de salida máximo reconocido como un nivel lógico bajo (0 ó L). Las tensiones por encima de éste valor no garantiza una tensión,  $V_{oL}$  válida.



**Figura 4.1.** Rangos definidos para los niveles lógicos de voltaje.

Los valores correspondientes de ( $V_{CC}$ ,  $V_{DD}$ ) y ( $V_{EE}$ ,  $V_{SS}$ ) se establecen con la fuente de poder, dependiendo de la familia utilizada. Del mismo modo, las líneas de los circuitos integrados digitales drenan y conducen corrientes que dependen de la familia utilizada, y de los niveles lógicos.

**$I_{iH}(\text{máx})$ :** Corriente de entrada máxima cuando la línea o compuerta digital está en nivel lógico alto.

**$I_{iL}(\text{máx})$ :** Corriente de entrada máxima cuando la línea o compuerta digital está en nivel lógico bajo.

**$I_{oH}(\text{máx})$ :** Corriente de salida máxima cuando la línea o compuerta digital está en nivel lógico alto.

**$I_{oL}(\text{máx})$ :** Corriente de salida máxima cuando la línea o compuerta digital está en nivel lógico bajo.

Estos parámetros, dados por los fabricantes de circuitos integrados, deben ser respetados, ya que de ello dependerá el buen funcionamiento del circuito digital implementado.

De hecho, los fabricantes garantizan compatibilidad cuando se acoplan o conectan circuitos integrados de una misma Subfamilia o Serie. Por ejemplo, con  $V_{CC}=+5V$  y  $V_{EE}=0V$  no deben aparecer tensiones por encima del  $V_{CC}$  ni voltajes negativos por debajo del  $V_{EE}$ ; estas variaciones en la fuente de poder o en los niveles de entrada y salida ocasionan daños irreparables en los circuitos integrados.

Los voltajes de entrada/salida que se muestran en la figura 4.1 comprenden los valores que se deben aplicar en cualquier circuito digital:

**Nivel alto, uno o H:**  $V_{iH}(\text{mín}) \leq V_{iH} < [V_{CC} \text{ o } V_{DD}]$ ;  $V_{oH}(\text{mín}) \leq V_{oH} < [V_{CC} \text{ o } V_{DD}]$

**Nivel bajo, cero o L:**  $[V_{EE} \text{ o } V_{SS}] \leq V_{iL} \leq V_{iL}(\text{máx})$ ;  $[V_{EE} \text{ o } V_{SS}] \leq V_{oL} \leq V_{oL}(\text{máx})$

#### 4.1.2 Conexión de salida (fan - out).

El acoplamiento directo de compuertas tiene limitaciones que determinan la cantidad de entradas que se pueden conectar a una salida. Esto es debido a que la corriente suministrada y absorbida en los distintos niveles de tensión de las compuertas. En la figura 4.2 se observa el acoplamiento de varias entradas de compuertas inversoras a una salida de compuerta NAND. Los cambios en las entradas de la NAND hacen que la salida pase de un nivel lógico a otro.

Este es un acoplamiento estático de compuertas, ya que solamente se toman en cuenta las corrientes y tensiones DC de las mismas. De esta forma será necesario saber solamente la cantidad de compuertas que se pueden conectar a la salida de un chip perteneciente a una familia o serie específica.

El **fan - out** de una familia es el número máximo de líneas de entrada que se le pueden conectar a la salida de un circuito o compuerta. En la figura 4.2 se obtiene el valor del fan-out para un nivel lógico alto y bajo en la salida **S**:

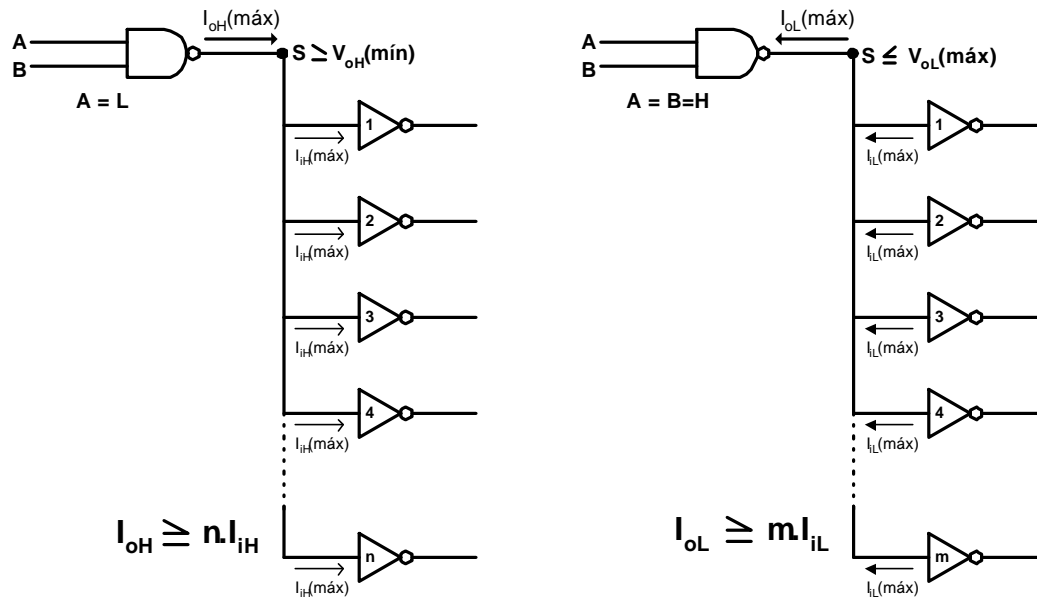
$$m \leq \frac{I_{oL}(\text{máx})}{I_{iL}(\text{máx})} \quad \text{Ec.4.1}$$

Por lo menos, el valor  $S=V_{OL}(\text{máx})$  debe estar comprendido en un rango de tensión para nivel lógico bajo. De esta misma manera, un nivel lógico alto en  $S=V_{OH}(\text{mín})$ ,

Da como resultado:

$$n \leq \frac{I_{oH}(\text{máx})}{I_{iH}(\text{máx})} \quad \text{Ec.4.2}$$

Las familias lógicas y sus respectivas series tratan de mantener la compatibilidad entre  $n$  y  $m$  de forma que sean similares o iguales.



**Figura 4.2. Conectividad o fan-out de las compuertas digitales.**

#### 4.1.3 Márgenes de ruido.

Los componentes y circuitos electrónicos son susceptibles a ruidos que pueden ser producidos por: variaciones de temperatura, ruido ambiental, inducción de transformadores, motores, relays, conmutadores eléctricos, etc. Los fabricantes de circuitos integrados prevén estas posibilidades de generación de ruido y por consiguiente incluyen en el diseño, una diferencia entre la entrada y la salida de las compuertas; con la finalidad de mantener la conectividad y los niveles lógicos H y L de entrada / salida de las mismas. Esta diferencia se conoce como margen de ruido y está indicada en la figura 4.3.

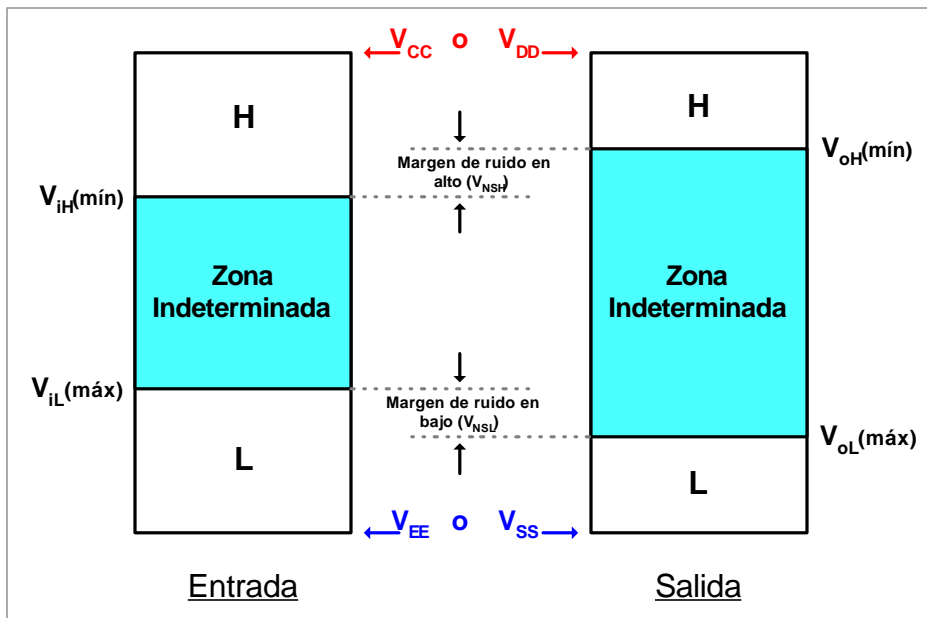
Margen de ruido estático en nivel alto ( $V_{NSH}$ ): Es la máxima variación permitida en el nivel alto de salida, dentro de la cual queda garantizado el reconocimiento como nivel alto en la entrada del otro circuito o compuerta de la misma familia.

$$V_{NSH} = V_{oH}(\text{mín}) - V_{iH}(\text{mín}) \quad \text{Ec. 4.3}$$

Margen de ruido estático en nivel bajo ( $V_{NSL}$ ): Es la máxima variación permitida en el nivel alto de salida, dentro de la cual queda garantizado el reconocimiento como nivel bajo en la entrada del otro circuito o compuerta de la misma familia.

$$V_{NSL} = V_{iL}(\text{máx}) - V_{oL}(\text{máx}) \quad \text{Ec. 4.4}$$

La tecnología utilizada por el fabricante busca siempre aumentar el margen de ruido para poder obtener más inmunidad al ruido.



**Figura 4.3. Márgenes de ruido estáticos.**

#### 4.1.4 Disipación de potencia y consumo de corriente.

Las fuentes de alimentación son las encargadas de suministrar corriente a los circuitos integrados que conforman, internamente, a las compuertas lógicas digitales; a esta corriente se le denomina  $I_{CC}$ . La potencia disipada o consumida es muy pequeña y está por el orden de los miliwatts (mW); el término utilizado para el consumo de corriente, cuando todas las compuertas se encuentran en nivel bajo, es  $I_{CCL}$  y para el nivel alto es  $I_{CCH}$ . No obstante, el consumo de corriente continua (DC) en todas las compuertas se promedia asumiendo que ellas, se encuentran el mismo tiempo en nivel alto que en nivel bajo, y por lo tanto, la corriente suministrada por la fuente debe ser:

$$I_{CC} = \frac{I_{CCL} + I_{CCH}}{2} \quad \text{Ec. 4.5}$$

En consecuencia, la disipación o consumo de potencia estática está expresada por:

$$P_D = I_{CC} \times V_{CC} \quad \text{ó} \quad P_D = I_{DD} \times V_{DD} \quad \text{Ec. 4.6}$$

Por lo general, los circuitos digitales son utilizados para conmutar de un estado a otro; en el momento que son acoplados generan transiciones, producen cambios en el consumo de corriente y en la disipación de potencia. Esta forma de consumo de energía se conoce como **disipación de potencia dinámica** " $P_{DD}$ " y es igual a la energía almacenada en el condensador que origina la carga acoplada a la compuerta " $C_L$ ", multiplicada por el cuadrado del voltaje; siendo proporcional al número de transiciones por segundo (frecuencia " $f$ ").

$$P_{DD} = C_L \times V_{CC}^2 \times f \quad \text{Ec. 4.7}$$

A medida que aumenta la frecuencia también incrementa el promedio de consumo de corriente y por lo tanto mas calentamiento habrá en el circuito. Al conectar compuertas aumentamos la capacitancia parásita acoplada y, como se verá más adelante, la potencia dinámica reducirá el fan-out de las compuertas.

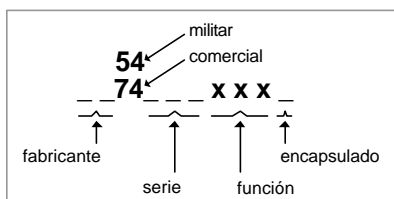
## 4.2 Lógica TTL.

La lógica transistor transistor (TTL) es un tipo de tecnología bipolar que utiliza transistores para generar las distintas funciones lógicas. Esta formada por las variantes denominadas series de la familia TTL, mostradas en la tabla 4.1.

SERIE	Nomenclatura	Rango de temperatura
Estándar comercial	74xxx	[0 °C ~ 70 °C]
Estándar militar	54xxx	[-55 °C ~ +125 °C]
Bajo consumo	74Lxxx	[0 °C ~ 70 °C]
Bajo consumo militar	54Lxxx	[-55 °C ~ +125 °C]
Técnica Schottky	74Sxxx	[0 °C ~ 70 °C]
Técnica Schottky militar	54Sxxx	[-55 °C ~ +125 °C]
Bajo consumo Schottky	74LSxxx	[0 °C ~ 70 °C]
Bajo consumo Schottky militar	54LSxxx	[-55 °C ~ +125 °C]
Rápida (FAST)	74Fxxx	[0 °C ~ 70 °C]
Rápida (FAST) militar	54Fxxx	[-55 °C ~ +125 °C]
Avanzada Schottky	74ASxxx	[0 °C ~ 70 °C]
Avanzada Schottky militar	54ASxxx	[-55 °C ~ +125 °C]
Avanzada de bajo consumo Schottky	74ALSxxx	[0 °C ~ 70 °C]
Avanzada de bajo consumo militar	54ALSxxx	[-55 °C ~ +125 °C]
Alta velocidad	74Hxxx	[0 °C ~ 70 °C]
Alta velocidad militar	54Hxxx	[-55 °C ~ +125 °C]

**Tabla 4.1. Series de la familia TTL.**

La serie militar 54 trabaja en un rango de temperatura bastante amplio [-55 °C ~ +125 °C], es utilizada en la industria militar y equipos médicos. La serie 74 indica un rango de temperatura menor [0 °C ~ 70 °C], es la más utilizada comercialmente y tiene menor costo. En la figura 4.4 se muestra la forma de numerar los chips TTL.



**Figura 4.4. Nomenclatura de los chips TTL.**



FABRICANTES	CÓDIGOS	SERIE TTL	SUB-FAMILIA	TIPO DE FUNCIÓN	DIP CERÁMICO 14 - 16 - 24	DIP PLÁSTICO 14 - 16 - 24	ENC. PLANO
Texas Instrumenst	SN	74xxx 54xx	L	C.I. SSI	- J -	- N -	-
Fairchild	F	9Nxx 93xx 96xx 74xxx	H	00 01 02	- D -	- P -	F
Motorola	MC	74xx	S	04	- L -	- P -	F
Nacional Semiconductor	DM	8000, 74xxx	AS	05	- J -	- N -	W
Ferranti	ZN	74xxx	LS	07	- J -	- E -	F
Sinetics/Philips	N	74xxx	ALS	08	- F -	A B N	W
SGS/Ates	T	74xxx		10	- - -	- B1 -	-
Philips	FJ	H101 J101 K101 L101 Q101 R101 Y101.		20	- - -	- - -	-
Siemens	FL			30	- - -	- - -	-
ITT	MIC	74xxxx		40	- J -	- N -	-
AEG/Telefunken	TL			C.I. MSI	- - -	- N -	-
Sescosem	SFC	400		42	- K -	- E -	P
Stewart Telefunken	SW	74xxx		75	- - -	- P -	-
Toshiba	PD	3400		85	- DC -	- DP -	FC
ProElectron	GFB	74xxx		91	- - -	- N -	-
Nec	###PB	74xxx		93	- D -	- D -	-

**Tabla 4.2.** Especificaciones de algunos fabricantes.

**Estructura de la Fecha:** El código de la fecha es otro código que trae el circuito integrado junto al que lo describe, indica lugar y fecha de la manufacturación. Con una o más letras especifica el país, en la parte numérica, las dos primeras cifras indican el año y las dos últimas se refieren a la semana de fabricación.

Lugar país donde fue manufacturado	Año de fabricación	Semana de fabricación
------------------------------------	--------------------	-----------------------

Por ejemplo, el chip [SN74LS00J 9532] indica que se trata de una compuerta NAND de dos entradas, serie de bajo consumo Schottky con rango de temperatura desde 0 °C hasta 70 °C y fue fabricado por Texas Instruments el año 1995 semana 32.

### 4.2.1 Series Estándar, S, F, H, AS, ALS y LS.

En la figura 4.5(a) y 4.5(b) se pueden observar las compuertas NAND de las series estándar y de bajo consumo Schottky “LS”.

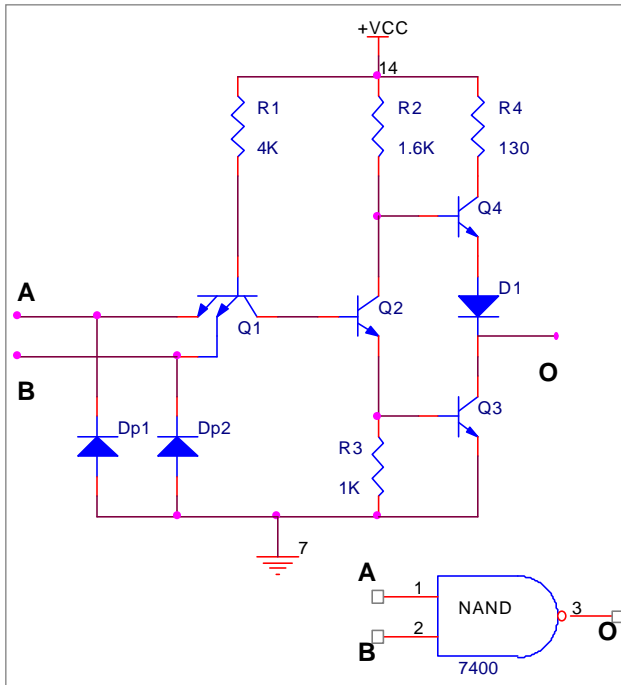


Figura 4.5(a). NAND TTL estándar.

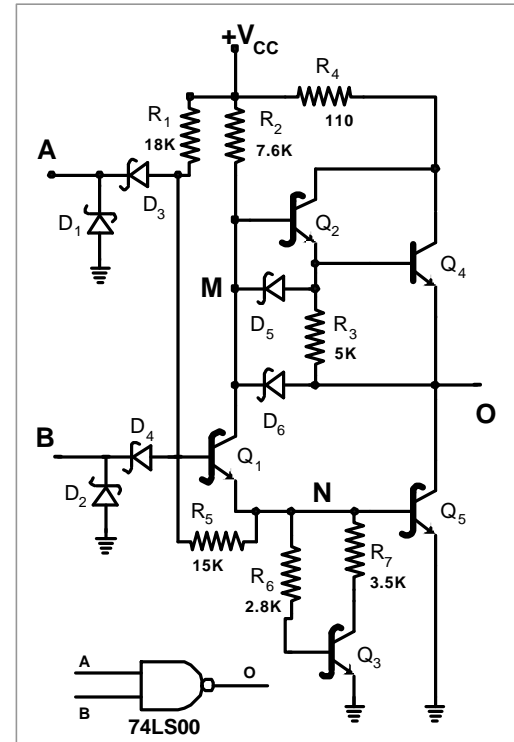


Figura 4.5(b). NAND Schottky de bajo Consumo “LS”.

La primera serie creada, figura 4.5a, fue la estándar, sus aplicaciones se ven limitadas por el considerable consumo de corriente de los transistores BJT  $Q_3$  y  $Q_4$ ; y la posible sobresaturación de los transistores. Esto también aumenta la corriente y la temperatura del circuito integrado, produciendo ruido y retardos de tiempo en la señal digital.

El transistor de múltiple emisor  $Q_1$  conduce cuando una, o las dos entradas, **A** y **B** tienen un nivel de tensión menor que la suma de:  $(V_{be Q_3} + V_{be Q_2}) \leq 1.2V$ ; de este modo queda polarizada inversamente la unión base-colector, por lo cual, el transistor  $Q_2$  no conduce y por ende  $Q_3$ . Por otra parte, el transistor  $Q_4$  queda polarizado directamente en la unión base-emisor y la salida **O** queda con un nivel de tensión aproximadamente igual que  $+V_{CC}$ .

Cuando ambas entradas superan la tensión:  $(V_{be}Q_3 + V_{be}Q_2 + V_{be}Q_1) \geq 1.8V$  el transistor  $Q_1$  queda polarizado inversamente en la unión base-emisor, pero, la unión base-colector se polariza directamente; esto hace que  $Q_2$  y  $Q_3$  se activen y coloquen una tensión de nivel bajo en la salida “O”. De esta misma forma, trabaja la serie **LS**; sin embargo, las entradas poseen diodos Schottky de baja tensión de polarización ( $< 0.3V$ ) para evitar la saturación y aumentar el margen de ruido de las compuertas.

Los transistores de éste tipo no permiten que la unión base-colector se sature, logrando que los portadores mayoritarios de las uniones N-P-N se desplacen, o se coloquen en reposo, con mayor rapidez cuando ocurran las conmutaciones on-off del transistor Schottky. En la figura 4.5(b) se puede observar, la ventaja de utilizar éstos diodos y transistores; los valores de las resistencias son superiores a los de la serie estándar y por lo tanto es menor: el consumo de corriente, la disipación de potencia, más inmunidad al ruido y menor retardo de tiempo.

También existen otras series que entregan un producto consumo-velocidad más eficiente como lo son: la serie “High Speed” (H); “Avanzada Schottky” (AS, ALS); “FAST” (F). En las figuras 4.7(a, b, c, d) se muestran algunos tipos de compuertas y sus respectivas series.

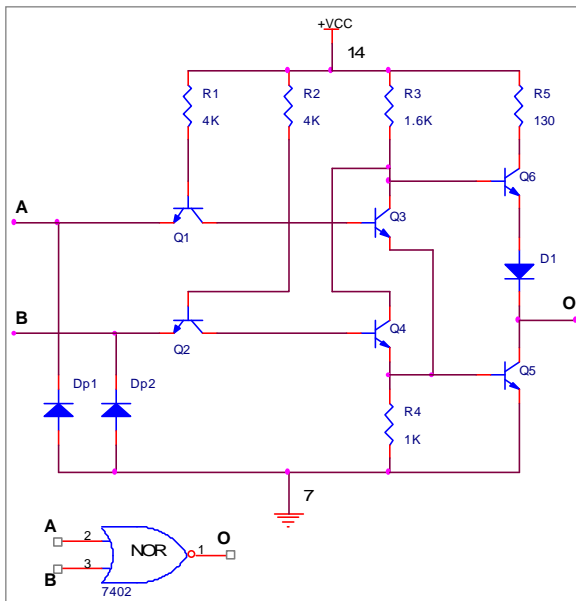


Figura 4.6(a). NOR estándar.

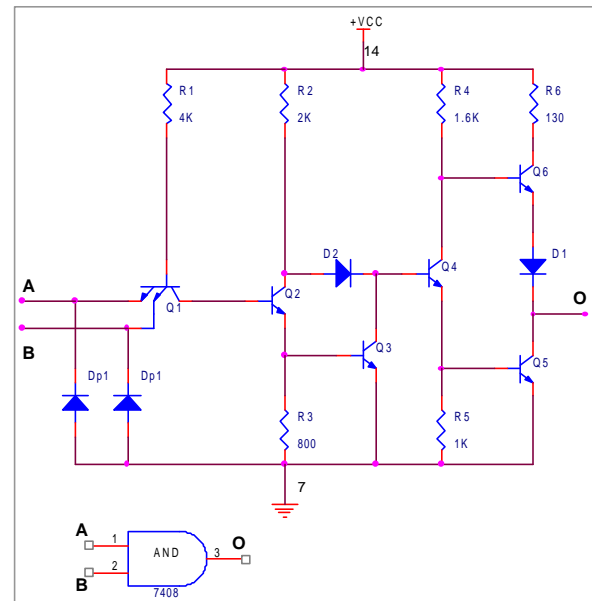


Figura 4.6(b). AND estándar.

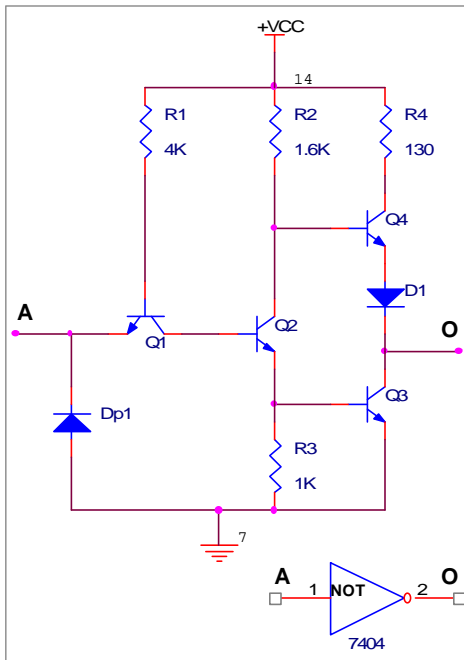


Figura 4.7(a). NOT estándar.

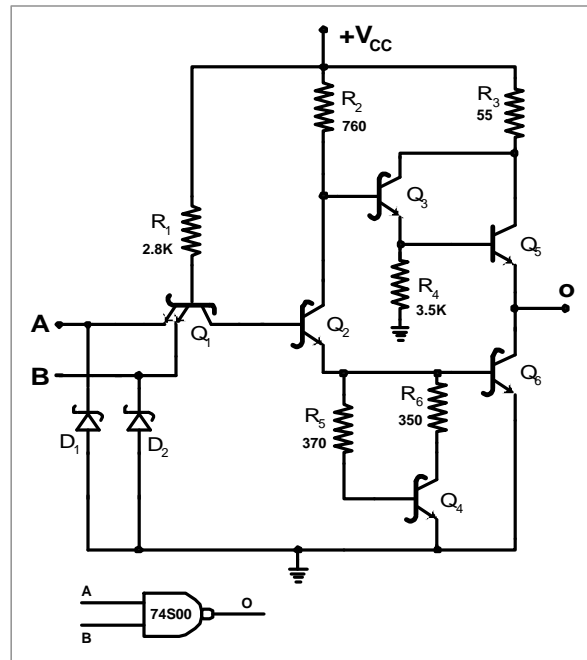


Figura 4.7(b). NAND Schottky "S".

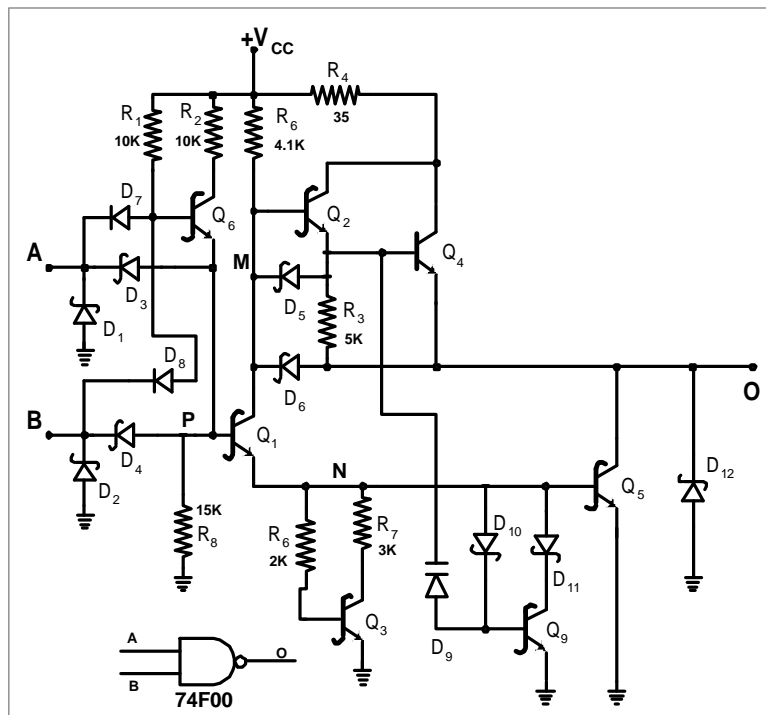


Figura 4.7(c). NAND FAST Schottky "F".

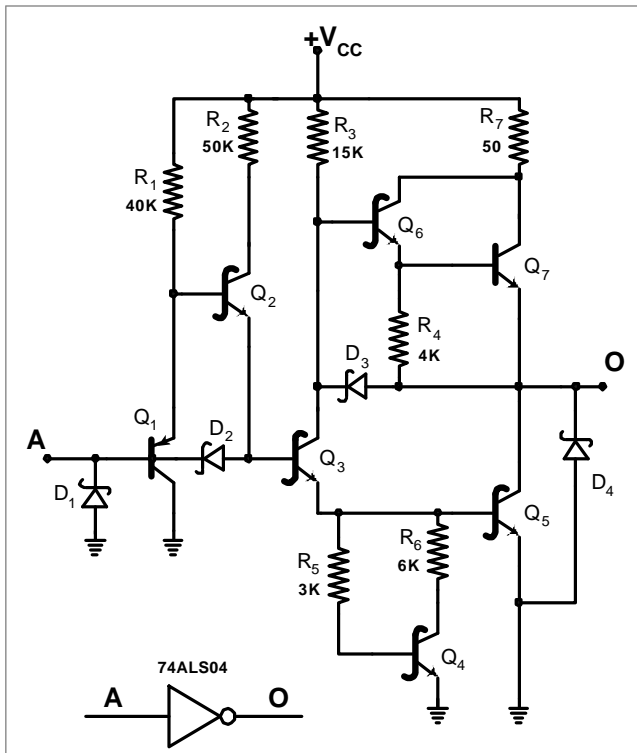


Figura 4.7(d). NOT Avanzada Schottky de baja potencia “ALS”.

#### 4.2.2 Conectividad, Margen de ruido, consumo de corriente, retardo de tiempo de las series TTL.

La familia TTL posee compatibilidad de corriente, tensión y retardo de tiempo entre las series que la componen. No obstante, es recomendable utilizar circuitos integrados pertenecientes a una misma serie para que sus características técnicas sean exactamente iguales y por ende, se disminuyan los errores de propagación de señales en los acoplamientos de los dispositivos. Por ejemplo, al acoplar en paralelo dos compuertas de distinta serie, la compuerta más rápida colocara primero la señal en la salida, ocasionando que el circuito alimentado por ésta responda a mayor frecuencia. En la tabla 4.3 se muestran las características más comunes de las compuertas pertenecientes a la familia TTL.

Caract. / Serie	Fast (74F)	(74LS)	(74AS)	(74L)	(74H)	(74ALS)	74
Tiempo de propagación ( $t_p$ )	4 ns	9 ns	1.6 ns	33 ns	6 ns	5 ns	10 ns
Consumo de potencia por compuerta ( $P$ )	15 mW	4 mW	20 mW	1 mW	22 mW	1.3 mW	10 mW
$V_{iL}(\text{máx})$	0.8 V	0.8 V	0.8 V	0.7 V	0.8 V	0.8 V	0.8 V
$V_{oL}(\text{máx})$	0.5 V	0.5 V	0.5 V	0.4 V	0.4 V	0.5 V	0.4 V
$V_{iH}(\text{mín})$	2.0 V	2.0 V	2.0 V	2.0 V	2.0 V	2.0 V	2.0 V
$V_{oH}(\text{mín})$	2.7 V	2.7 V	2.7 V	2.4 V	2.4 V	2.7 V	2.4 V
$I_{iL}(\text{máx})$	-600 $\mu\text{A}$	-400 $\mu\text{A}$	-2 mA	-180 $\mu\text{A}$	-2 mA	-200 $\mu\text{A}$	-1.6 mA
$I_{oL}(\text{máx})$	20 mA	8 mA	20 mA	3.6 mA	20 mA	8 mA	16 mA
$I_{iH}(\text{máx})$	20 $\mu\text{A}$	20 $\mu\text{A}$	200 $\mu\text{A}$	10 $\mu\text{A}$	50 $\mu\text{A}$	20 $\mu\text{A}$	40 $\mu\text{A}$
$I_{oH}(\text{máx})$	-1000 $\mu\text{A}$	-400 $\mu\text{A}$	-2 mA	-200 $\mu\text{A}$	-500 $\mu\text{A}$	-400 $\mu\text{A}$	-400 $\mu\text{A}$
Fan-out	33	20	10	20	10	40	10
$I_{oH}(\text{máx})$ colector abierto	-----	100 $\mu\text{A}$	-----	50 $\mu\text{A}$	250 $\mu\text{A}$	-----	250 $\mu\text{A}$
Corriente de salida en corto circuito ( $I_{os}$ )	-150 mA	-100 mA	-150 mA	-15 mA	-100 mA	-100 mA	-55 mA

**Tabla 4.3.** Algunas características técnicas promediadas de la familia TTL.

**Conectividad (Fan-out):** La tabla 4.3 indica el número de entradas de compuertas que se pueden conectar a una línea de salida, las que tienen mayor conectividad son las series:  $\text{FAST} \leq 33$ ;  $\text{LS} \leq 20$ ;  $\text{L} \leq 20$  y  $\text{ALS} \leq 40$ . Sin embargo, esta cantidad debe ser reducida para asegurar que la corriente de salida no supere el 80% de  $I_{oL}$  e  $I_{oH}$  (máx) y de esta manera garantizar el buen funcionamiento del circuito integrado.

**Margen de ruido:** En la sección 4.1.3, figura 4.3, se definen los parámetros de márgenes de ruido  $V_{NSL}$  y  $V_{NSH}$ ; este último, determina la diferencia entre las tensiones mínimas del nivel lógico alto  $V_{oH}(\text{mín})$  y por tanto, muy fundamental para poder determinar la inmunidad al ruido. El  $V_{NSH}$  de las series FAST, LS, AS, y ALS es igual a 0.7 V lo que implica una mayor inmunidad al ruido que las series L, H y estándar donde el margen de ruido  $V_{NSH}$  es de 0.4 V.

**Consumo de corriente:** Las series que manejan mayor corriente son las **FAST**, **AS** y **H**. Están diseñadas para este propósito, la corriente que soportan en nivel bajo  $I_{OL}$  es menor o igual que 20 mA; la diferencia con respecto a las series de tecnología **L**, **LS** y **ALS** es, efectivamente, la baja corriente  $I_{OL}$  (3.6mA, 8mA, 8mA) que circula a través de ellas. En este aspecto los chips de mayor consumo de corriente son más rápidos, pero con el inconveniente de generar mayor calor en el circuito integrado y ruido de picos de corriente en la fuente de alimentación. La ventaja de la serie **FAST** es que puede soportar cargas mayores a las otras series TTL y de este modo, mejorar el *fan-out*.

**Retardo de tiempo ( $t_p$ ):** La característica de retardo de tiempo esta intrínsecamente ligado a los materiales semiconductores con que fabrican los circuitos integrados. Una capa delgada de material **N** o **P** hace que los portadores minoritarios necesiten menor tiempo para conmutar de un estado de encendido hacia la condición de apagado. Los tiempos de retardo que ocasionan *los períodos de almacenamiento y transición* de la unión **NP** o **PN** determinan la respuesta transitoria de las compuertas TTL. Esto se conoce como tiempo de propagación ( $t_p$ ) o retardo de tiempo y es una característica muy importante que el diseñador debe tomar en cuenta a la hora de realizar el diseño digital.

En la representación, aproximada, de la onda cuadrada con niveles TTL de la figura 4.8 se puede observar, la respuesta **S** de un inversor 74LS04. Si en la entrada **E** se inyecta un pulso de esta onda; la señal de salida se invierte y se propaga en el tiempo. El instante  $t_1$  y  $t_3$ , son tomados respectivamente del 10% y 90% de la rampa de subida; esta diferencia de tiempo  $t_3 - t_1 = t_r$  es conocida como tiempo de subida ( $t_r$ : time rising), flanco de subida o transición positiva (**TSP**). De igual forma, la diferencia  $t_7 - t_5 = t_f$  se conoce como tiempo de bajada ( $t_f$ : time falling), flanco de bajada o transición negativa (**TSN**).

El tiempo de propagación de la señal de entrada, a la mitad de la rampa (50%), con respecto a la salida; cuando ésta cambia del nivel alto al nivel bajo, se conoce como  $t_{pHL}$ . La figura 4.8 indica el  $t_{pHL}$  como la diferencia de tiempo  $t_4 - t_2$ . Del mismo modo  $t_8 - t_6$  es  $t_{pLH}$  y ocurre cuando la señal de salida pasa de un nivel bajo a un nivel alto. El tiempo de propagación se obtiene sacando el promedio de estos dos valores:

$$tp = \frac{tp_{HL} + tp_{LH}}{2} \quad \text{Ec. 4.8}$$

La frecuencia máxima de trabajo o frecuencia de corte de la compuerta es el inverso de  $tp$ :

$$f(\text{máx}) = \frac{1}{tp} \quad \text{Ec. 4.9}$$

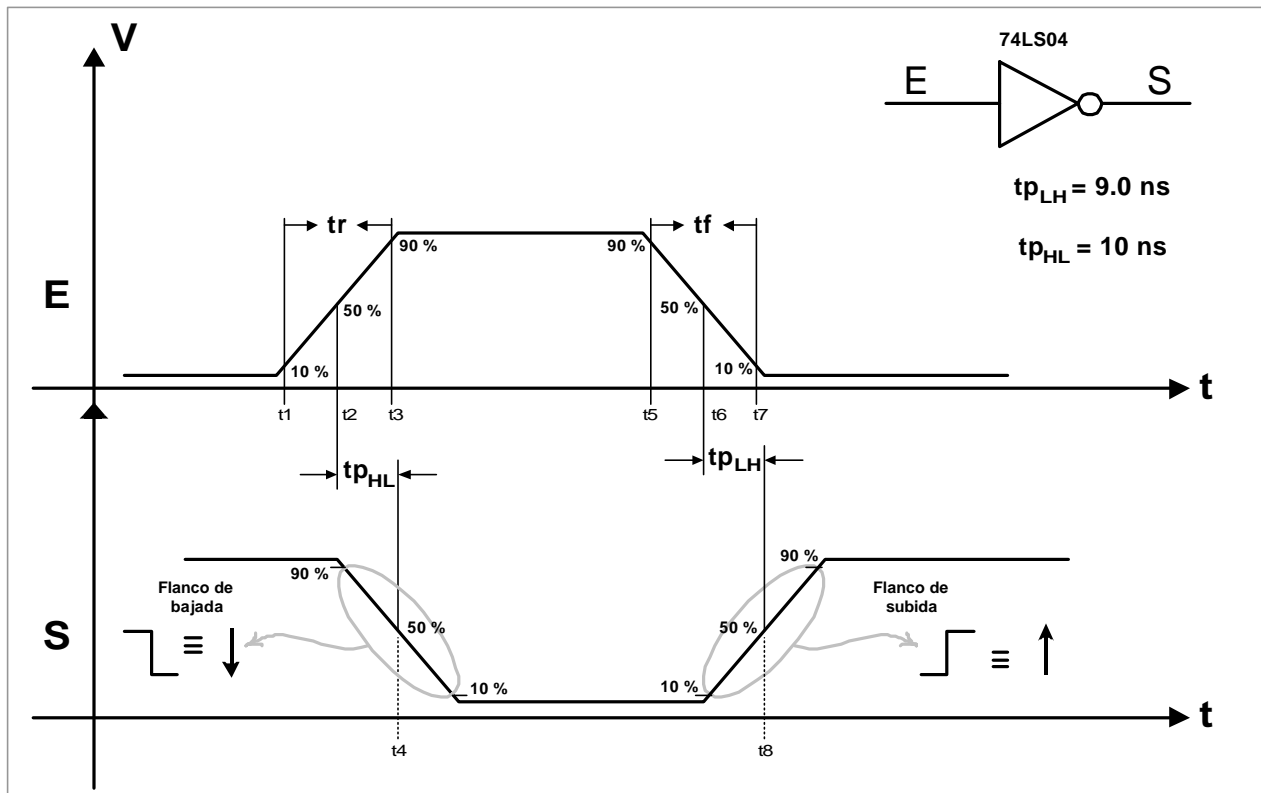


Figura 4.8. Propagación de tiempo de la compuerta inversora 74LS04.

Los tiempos de propagación de las series: AS, F, H y ALS están por debajo de los **10 ns** lo que permite colocarlas como las más rápidas de la familia TTL. La frecuencia máxima o de corte de la serie AS, según Ec.4.9, es igual a:  $f_{\text{máx}} = 1/1.6\text{ns} = 650\text{MHz}$ ; le siguen, en rendimiento de velocidad, las series: **F**(250 MHz), **ALS**(200 MHz), **H**(167 MHz), **LS**(111 MHz), **Estándar**(100 MHz). No obstante, la serie de bajo consumo **L** posee el mayor tiempo de propagación y por lo tanto la más lenta de la familia TTL; con una frecuencia de corte por debajo de  $1/33\text{ ns}$ .



En la figura 4.8 se observa la representación que utilizan algunos manuales técnicos de compuertas para indicar una transición positiva ( $t_r$ , flanco de subida) con una flecha ascendente y transición negativa ( $t_f$ , flanco de bajada) con una flecha descendente.

Una característica importante de los circuitos integrados de compuertas digitales es el factor formado por producto del tiempo de propagación y el consumo promedio de potencia. Este factor debe ser lo más pequeño posible; los fabricantes de circuitos integrados, a través de las tecnologías, buscan constantemente la forma de disminuirlo.

$$Factor_{s,p} = tp \times P \quad \text{Ec. 4.10.}$$

De la tabla 4.3 se obtiene el producto para estas series:

- High Speed **H** (132 ns.mW).
- Estándar (100 ns.mW).
- Fast **F** (60 ns.mW).
- Low power Schottky **LS** (36 ns.mW).
- Low power: bajo consumo **L** (33 ns.mW).
- Avanzada Schottky **AS** (32 ns.mW).
- Avanzada de bajo consumo Schottky **ALS** (6.5 ns.mW).

La serie que tiene mejor factor es la **ALS** (6.5) y el factor más pobre es el de la serie **H** (132). Al mejorar la velocidad de respuesta de un circuito integrado se debe sacrificar, por otra parte, el consumo de potencia y viceversa. Las nuevas tecnologías de fabricación buscan la forma de aumentar la velocidad de los dispositivos y al mismo tiempo disminuir el consumo de potencia con el fin de mejorar el **Factor**<sub>s,p</sub>. Una de las alternativas que se han aplicado es la de disminuir la tensión de alimentación de los circuitos, con la finalidad de poder utilizar capas más delgadas de silicio y reducir el tiempo de almacenamiento de los portadores minoritarios en las uniones de los semiconductores. De esta forma, se pueden ver en el mercado circuitos integrados digitales y analógicos con tensiones de alimentación menores a 5 voltios.

### 4.2.3 Compuertas TTL de colector abierto.

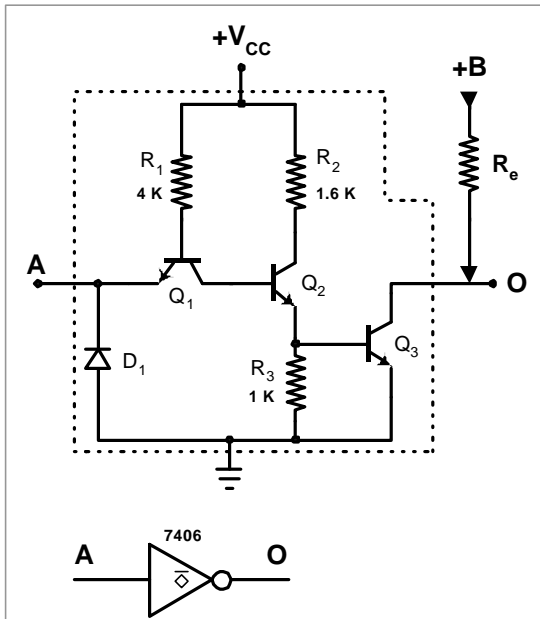
Las compuertas de colector abierto no poseen internamente el transistor  $Q_4$ , ver figura 4.5(a), que conduce cuando la salida del dispositivo es alta. La salida de la compuerta queda trabajando solamente con el transistor  $Q_3$  (ver figura 4.9), éste conduce a través de la resistencia externa  $R_e$ , que debe ser calculada, para que la salida de la compuerta pueda conmutar los niveles lógicos. Las ventajas de las compuertas de colector abierto son las siguientes:

- Puede soportar cargas con voltaje superior al +VCC de 5 voltios; la tensión de la resistencia externa llega, en algunos chips, hasta 30 voltios.
- Permite manejar más corriente que una compuerta TTL Estándar Totem Pole, 40 mA en algunas compuertas.
- Se pueden conectar varios diodos Leds directamente a la salida de la compuerta, bombillos de baja corriente y pequeños relés.

Sin embargo, una desventaja de las compuertas de colector abierto es que la conexión de la resistencia externa puede ocasionar retardos de propagación en la respuesta de alta frecuencia del dispositivo. La figura 4.9 muestra la parte interna de una compuerta inversora de colector abierto 7406; algunas de las características más importantes del circuito integrado se describen en la tabla 4.4.

Símbolo	Unidades
$V_{CC}$	5 V
$V_{IH}(\text{mín})$	2.0 V
$V_{IL}(\text{máx})$	0.8 V
$V_{OH}$	(mín = 2.4 V); (máx = 30 V)
$V_{OL}(\text{máx})$	0.7 V
$I_{IH}(\text{máx})$	40 $\mu\text{A}$
$I_{IL}(\text{máx})$	-1.6 mA
$I_{OH}(\text{máx})$	250 $\mu\text{A}$
$I_{OL}(\text{máx})$	40 mA
$t_p$	12.5 ns
$P_D$	26 mW por compuerta.

**Tabla 4.4. Características del chip 7406.**



**Figura 4.9.** Esquema interno de la compuerta 7406.

El colector del transistor bipolar  $Q_3$  debe ser polarizado por medio de la resistencia externa  $R_e$ . La tensión máxima que soporta  $Q_3$  es de 30 Voltios con una corriente máxima  $I_{OL}$  de 40 mA. Estos parámetros también se aplican en los casos donde  $R_e$  es una carga resistiva – inductiva. El valor de  $R_e$  está comprendido entre un rango que va desde un valor de resistencia externa mínima;  $R_e(\text{mín})$ , calculado con  $V_{OL}$  e  $I_{OL}$ , hasta el valor de resistencia externa máxima;  $R_e(\text{máx})$ , que se obtiene con  $V_{OH}$  e  $I_{OH}$ .

$$V_{Re} = +B - V_{OL}(\text{máx})$$

$$I_{Re} = I_{OL}(\text{máx})$$

$$R_e(\text{mín}) = \frac{+B - V_{OL}(\text{máx})}{I_{OL}(\text{máx})} \quad \text{Ec. 4.11}$$

Donde  $+B$  es la tensión de alimentación, ésta puede ser diferente a los 5 Volt necesarios en los circuitos integrados de la familia TTL estándar.

$$V_{Re} = +B - V_{OH}(\text{mín})$$

$$I_{Re} = I_{OH}(\text{máx})$$

$$R_e(\text{máx}) = \frac{+B - V_{OH}(\text{mín})}{I_{OH}(\text{máx})} \quad \text{Ec. 4.12}$$

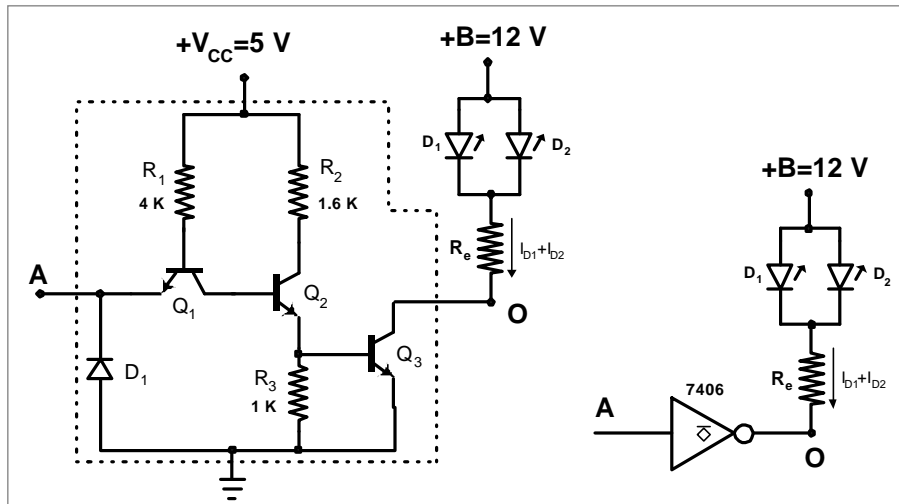
Si la tensión  $+B$  es de 12 Voltios, la resistencia externa debe tener un rango entre:

$$R_e(\text{mín}) = \frac{12V - 0.7V}{40mA} = 282.5\Omega$$

$$R_e(\text{máx}) = \frac{12V - 2.4V}{40mA} = 240K\Omega$$

$$282.5\Omega \leq R_e \leq 240K\Omega$$

Este análisis se hace sin considerar cargas acopladas a la salida de la compuerta, y en condiciones de corriente continua. La figura 4.10 presenta otro caso, donde se deben encender dos diodos leds conectados en paralelo y en la figura 4.11, se conectan cuatro diodos en serie.



**Figura 4.10.** Leds de carga paralela a una compuerta de colector abierto 7406.

La tensión del diodo led es 1.8 Voltios ( $V_D=1.8V$ ) y la corriente de diodo es 15 mA ( $I_D=15mA$ ). Para  $V_O = V_{OL}(\text{máx})$  se tiene un valor de resistencia externa mínima:

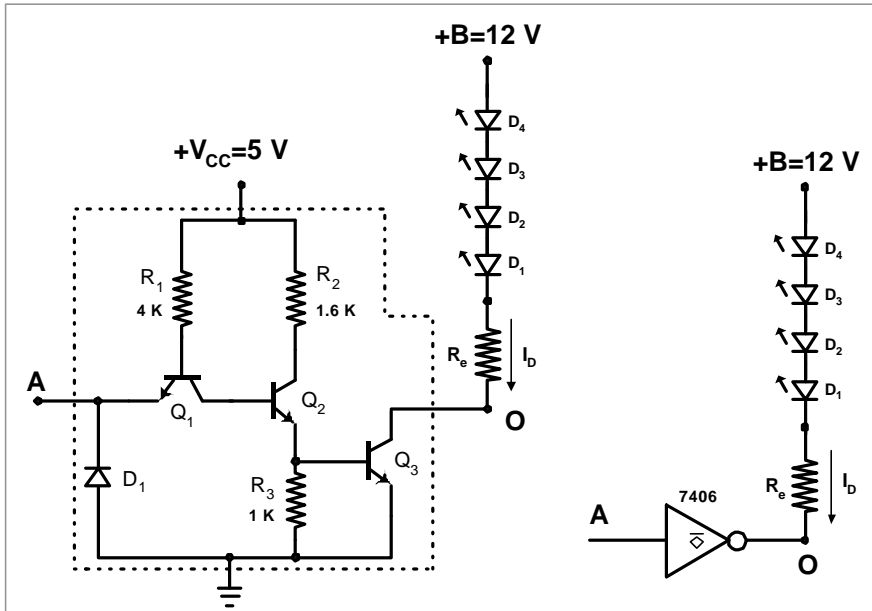
$$I_{Re} = I_{D1} + I_{D2} = 15mA + 15mA = 30mA$$

$$V_{Re} = +B - [V_D + V_{OL}(\text{máx})] = 12V - [1.8V + 0.7V] = 9.5V$$

$$R_e = \frac{V_{Re}}{I_{Re}} = \frac{9.5V}{30mA} = 317\Omega \cong 320\Omega$$

En la condición de nivel lógico alto de salida, se debe asumir un  $V_{OH}$  igual a la tensión de la fuente +B. Con ésto se garantiza que los leds no prenden debido a que la corriente es despreciable y, por el transistor interno  $Q_3$  solo circulará la corriente de fuga

que establece un parámetro de cuarenta microAmpers;  $I_{OH} = 40 \mu A$ . Por lo tanto, la resistencia externa que enciende los leds conectados en paralelo es de 320 ohmios.



**Figura 4.11.** Leds de carga serie a una compuerta de colector abierto 7406.

En la figura 4.11 la resistencia externa de colector abierto se obtiene con el valor de  $V_O=V_{OL}(\text{máx})$ ; a través de  $R_e$  circula la corriente  $I_D$  y la tensión en los extremos de ésta, es la diferencia entre el  $+B$  y la suma de  $[V_{D1}+V_{D2}+V_{D3}+V_{D4}+V_{OL}(\text{máx})]$ .

$$I_{Re} = I_D = 15mA$$

$$V_{Re} = +B - [V_{D1} + V_{D2} + V_{D3} + V_{D4} + V_{OL}(\text{máx})] = 12V - [1.8V + 1.8V + 1.8V + 1.8V + 0.7V]$$

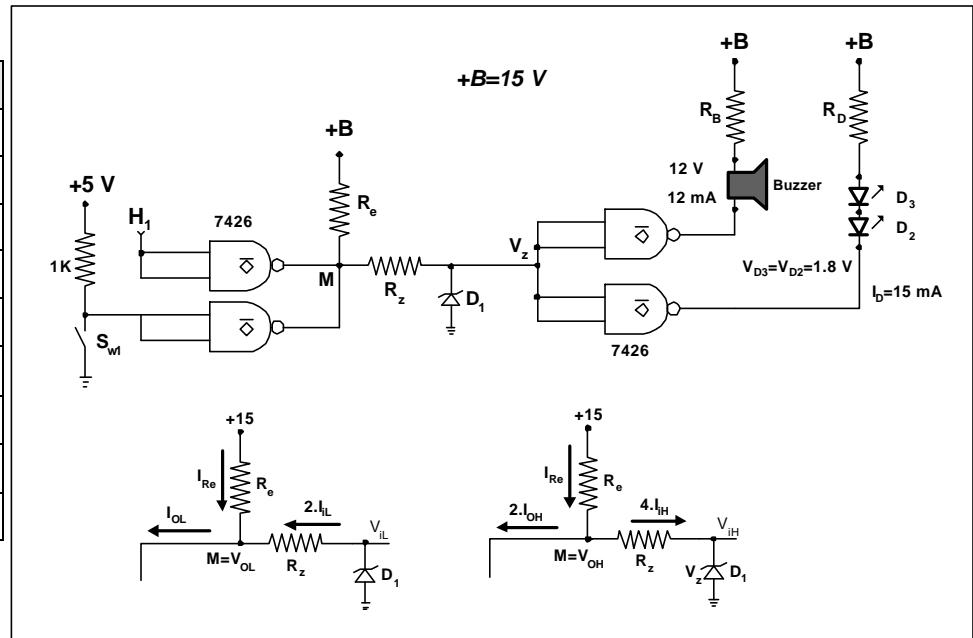
$$V_{Re} = 12V - 7.9V = 4.1V$$

$$R_e = \frac{V_{Re}}{I_{Re}} = \frac{4.1V}{15mA} = 273.3\Omega$$

$$R_e = 274\Omega$$

El circuito integrado NAND es el 7426 de colector abierto con las siguientes características:

Símbolo	Unidades
$V_{CC}$	5 V
$V_{iH}(\text{mín})$	2.0 V
$V_{iL}(\text{máx})$	0.8 V
$V_{OH}(\text{máx})$	15 V
$V_{OL}(\text{máx})$	0.7 V
$I_{iH}(\text{máx})$	40 $\mu\text{A}$
$I_{iL}(\text{máx})$	-1.6 mA
$I_{OH}(\text{máx})$	250 $\mu\text{A}$
$I_{OL}(\text{máx})$	40 mA



**Figura 4.12. Circuito del ejercicio 4.1; Compuertas de colector abierto.**

**Solución:**

Considerando la salida en el punto M con nivel bajo  $V_{OL}$ (máx):

$$V_{Re} = +B - V_{OL}(\text{máx}) = 15V - 0.4V = 14.6V$$

$$I_{Re} = I_{OL}(\text{máx}) - 2 \cdot I_{iL}(\text{máx}) = 16\text{mA} - 3.2\text{mA} = 12.8\text{mA}$$

$$R_e(\text{mín}) = \frac{V_{\text{Re}}}{I_{\text{Re}}} = \frac{14.6 \text{ V}}{12.8 \text{ mA}} = 1.14 \text{ K}\Omega$$

$$V_{R_z} = V_{OL}(\text{máx}) - V_{iL}(\text{máx}) = 0.4V - 0.8V = -0.4V$$

$$I_{Rz} = 2 \cdot I_{iL}(\text{máx}) = 3.2 \text{ mA}$$

$$R_z = \frac{V_{R_z}}{I_{R_z}} = \frac{0.4V}{3.2mA} = 125\Omega$$

Considerando la salida en el punto M con nivel alto  $V_{OH}(\text{máx})$ , la tensión zener debe ser menor o igual a 5 Voltios para proteger las entradas de las compuertas ( $V_z=5\text{ V}$ ) y la corriente inversa del mismo debe ser despreciada:

$$I_{Re} = 2 \cdot I_{OH}(\text{máx}) + 4 \cdot I_{iH}(\text{máx}) = 2 \cdot 1000 \text{ mA} + 4 \cdot 40 \text{ mA} = 2160 \text{ mA}$$

$$V_{Re} = +B - [V_{Rz} + V_z] = 15V - [V_{Rz} + 5V]$$

$$V_{Re} = 10V - V_z = 10V - 4 \cdot I_{iH}(\text{máx}) \cdot R_z$$

$$I_{Re} \cdot R_e = 10V - 160 \text{ mA} \cdot R_z$$

$$2160 \text{ mA} \cdot R_e(\text{mín}) = 10V - 160 \text{ mA} \cdot R_z$$

$$R_z = \frac{10V - 2160 \text{ mA} \cdot 1140 \Omega}{160 \text{ mA}} = \frac{10V - 2.5V}{160 \text{ mA}} = 46.9 \text{ K}\Omega$$

$$R_z(\text{máx}) = 47 \text{ K}\Omega$$

Para calcular la resistencia externa  $R_e$  máxima, se debe garantizar que la tensión en el punto M no sea inferior al  $V_{OH}(\text{mín})=2.4\text{ V}$ :

$$V_{Re} = +B - V_{OH}(\text{mín}) = 15V - 2.4V = 12.6V$$

$$R_e(\text{máx}) = \frac{V_{Re}}{I_{Re}} = \frac{12.6V}{2160 \text{ mA}} = 5.8 \text{ K}\Omega$$

Los valores resistivos de  $R_e$  y  $R_z$  comprenden el siguiente rango:

$$1140 \Omega \leq R_e \leq 5.8 \text{ K}\Omega$$

$$125 \Omega \leq R_z \leq 47 \text{ K}\Omega$$

En las resistencias  $R_e$  y  $R_z$  se pueden considerar valores cercanos al mínimo que garantizan los niveles de corriente del circuito integrado, y en particular,  $R_z$  debe ser mínima para que mantenga el  $V_{iL}(\text{máx})$  en nivel bajo conjuntamente con la corriente  $I_{iL}(\text{máx})$ . Los valores recomendados son:

$$R_e = 1.2 \text{ K}\Omega \text{ y } R_z = 150 \Omega$$

Los valores de  $R_D$  y  $R_B$  se calculan solamente para la condición de nivel bajo,

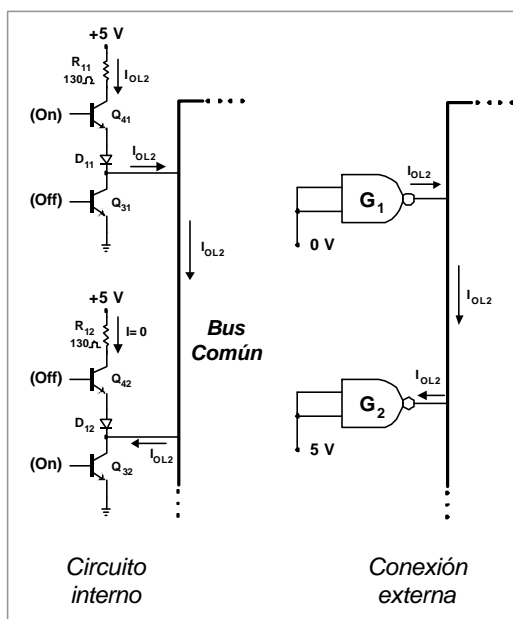
$$R_B = \frac{+B - [V_{Buz} + V_{OL}(\text{máx})]}{I_{Buz}} = \frac{15V - [12V + 0.4V]}{12 \text{ mA}} = \frac{2.6V}{12 \text{ mA}} = 217 \Omega \cong 220 \Omega$$

$$R_D = \frac{+B - [V_{D2} + V_{D3} + V_{OL}(\text{máx})]}{I_D} = \frac{15V - [1.8V + 1.8V + 0.4V]}{15 \text{ mA}} = \frac{11V}{15 \text{ mA}} = 733 \Omega \cong 750 \Omega$$

#### 4.2.4 Buffer y dispositivos de tres estados.

Los circuitos integrados, en algunos casos, deben compartir un mismo punto o línea de conducción común (Bus común), y sus salidas pueden tener distintos niveles lógicos en ese punto común de conexión. De antemano, esta conexión no se puede hacer debido al cortocircuito que se produciría cuando una salida se encuentre en alto y la otra en bajo. La figura 4.13 muestra los transistores internos  $Q_3$  y  $Q_4$  de dos compuertas TTL estándar  $G_1$  y  $G_2$  de salida **Totem Pole** conectadas a una misma línea o Bus común. Si las dos salidas son llevadas a un mismo nivel lógico alto, o bajo los transistores internos no presentarán ningún inconveniente en el funcionamiento. Sin embargo, cuando las salidas de las compuertas tienen niveles lógicos diferentes; por ejemplo,  $G_1$  en alto y  $G_2$  en bajo, se presenta un cortocircuito para la compuerta  $G_1$  y se produce una sobrecorriente en  $R_{11}$ ,  $D_{11}$  y  $Q_{41}$  que es igual a la  $I_{OL}(\text{máx})$  de  $G_2$ , la línea común de las dos compuertas es forzada a cero, superando el parámetro  $I_{OH}(\text{máx})$  de  $G_1$  y por lo tanto, la compuerta  $G_1$  corre el riesgo de dañarse.

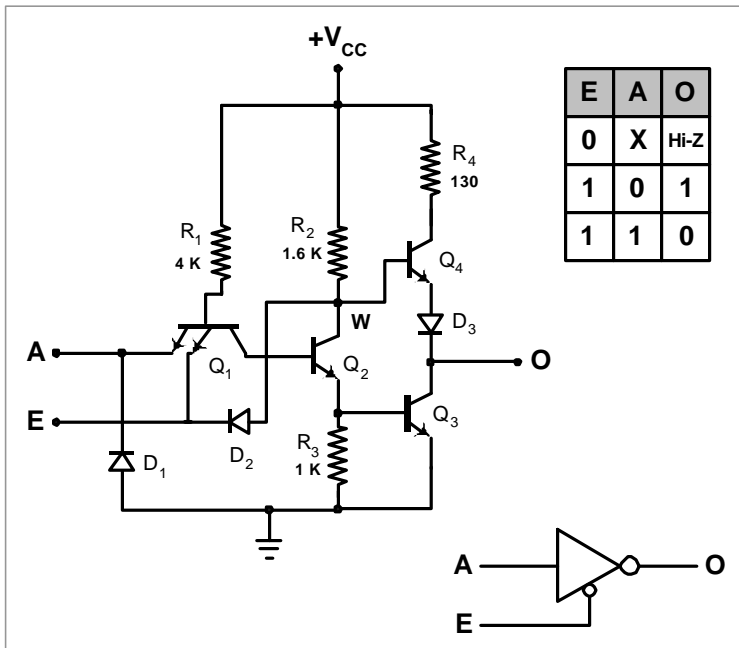
La solución a éste problema la tienen las compuertas y buffer de tres estados que poseen un tercer estado de alta impedancia (Hi-z) que desconecta internamente las salidas de los dispositivos que no están utilizando el Bus común.



**Figura 4.13.** Cortocircuito que se produce al unir dos salidas Totem Pole.



De esta forma, los dispositivos desconectados deben estar en estado de alta impedancia y el que necesita colocar cero o uno en el Bus, debe permanecer conectado por un tiempo determinado. La figura 4.14 muestra una compuerta inversora de tres estados; cuando la señal de la línea de entrada **E** (Enable) es baja, la entrada **A** es indiferente y  $Q_1$  queda polarizado directamente, debido a esto, el transistor  $Q_2$  y  $Q_3$  se ponen en corte. Con **E** en bajo el diodo  $D_2$  se polariza directamente y la tensión en el punto **W** es igual a 0.7 Voltios. Por otra parte,  $Q_4$  y  $D_3$  necesitan una tensión superior a 1.4 Voltios para polarizarlos directamente, por lo tanto, quedan en la región de corte y la salida **O** pasa a estado de alta impedancia.

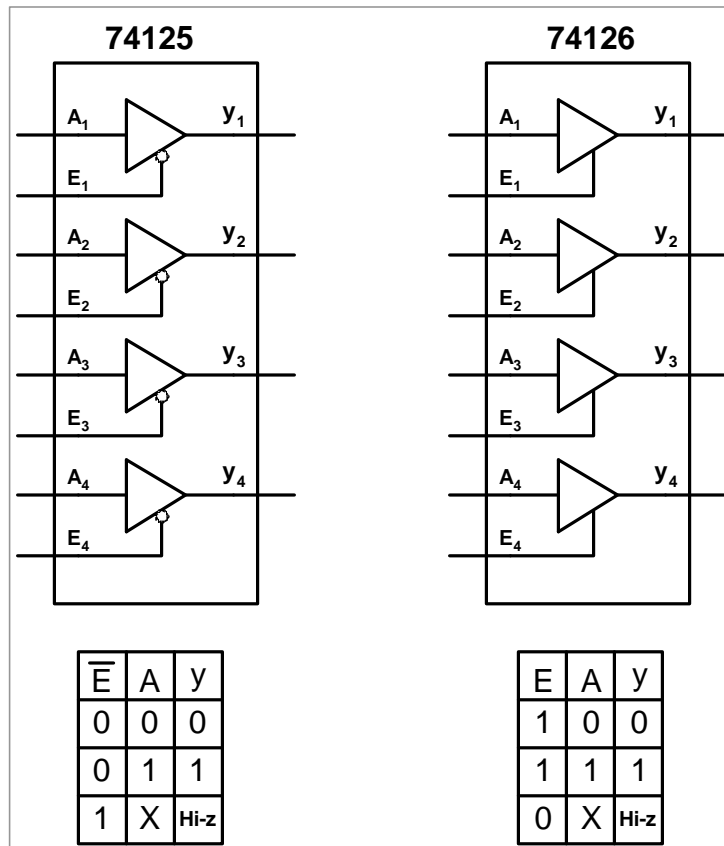


**Figura 4.14.** Características internas de un inversor de tres estados.

#### 4.2.4.1 Buffers de tres estados 74125 y 74126.

Los buffers son acopladores que permiten adaptar niveles de corriente, voltaje o impedancia entre circuitos y dispositivos. Estos pueden ser inversores o no inversores. La familia TTL posee los chips de tres estados no inversores 74125 y 74126 que tienen cuatro buffers internamente cada uno y línea de habilitación independiente en bajo y

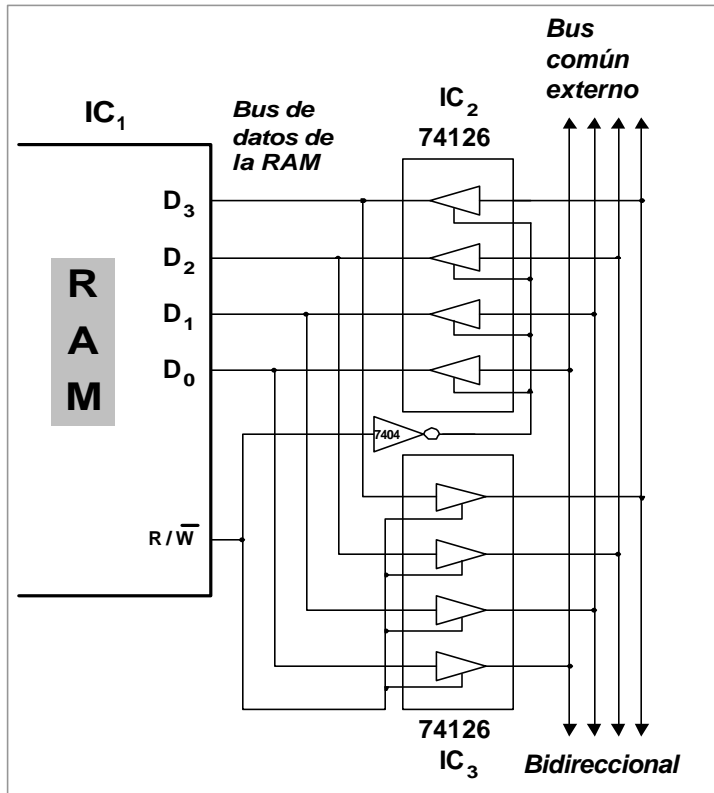
alto respectivamente. La figura 4.15 muestra la configuración de estos circuitos integrados y sus respectivas tablas de funcionamiento.



**Figura 4.15. Buffers tri-state 74125 y 74126.**

La aplicación mostrada en la figura 4.16 indica la forma de acoplar las líneas de datos del circuito integrado de memoria RAM (Memoria de Acceso Aleatorio) a un Bus externo común de cuatro líneas bidireccional; utilizando dos buffer de tres estados 74126. El chip de memoria realiza una operación de lectura cuando  $R/\overline{W}$  es uno lógico; el buffer IC<sub>3</sub> se conecta al Bus externo y la compuerta inversora 7404 hace que IC<sub>2</sub> quede en tercer estado y por lo tanto, desconectado del mismo Bus. El dato binario de IC<sub>1</sub> es colocado en ese Bus externo común. Por otra parte, la operación de escritura (Grabar) en el IC<sub>1</sub> se realiza cuando  $R/\overline{W}$  es cero lógico. Lo que está en el Bus externo común pasa hacia el Bus de datos del chip de memoria RAM (D<sub>3</sub>, D<sub>2</sub>, D<sub>1</sub>, D<sub>0</sub>) y se guarda en él. Este proceso de guardar o grabar el dato en la memoria RAM se conoce como

escritura. Al mismo tiempo el buffer  $IC_2$  queda deshabilitado, y en tercer estado, por la acción de la compuerta inversora 7404.

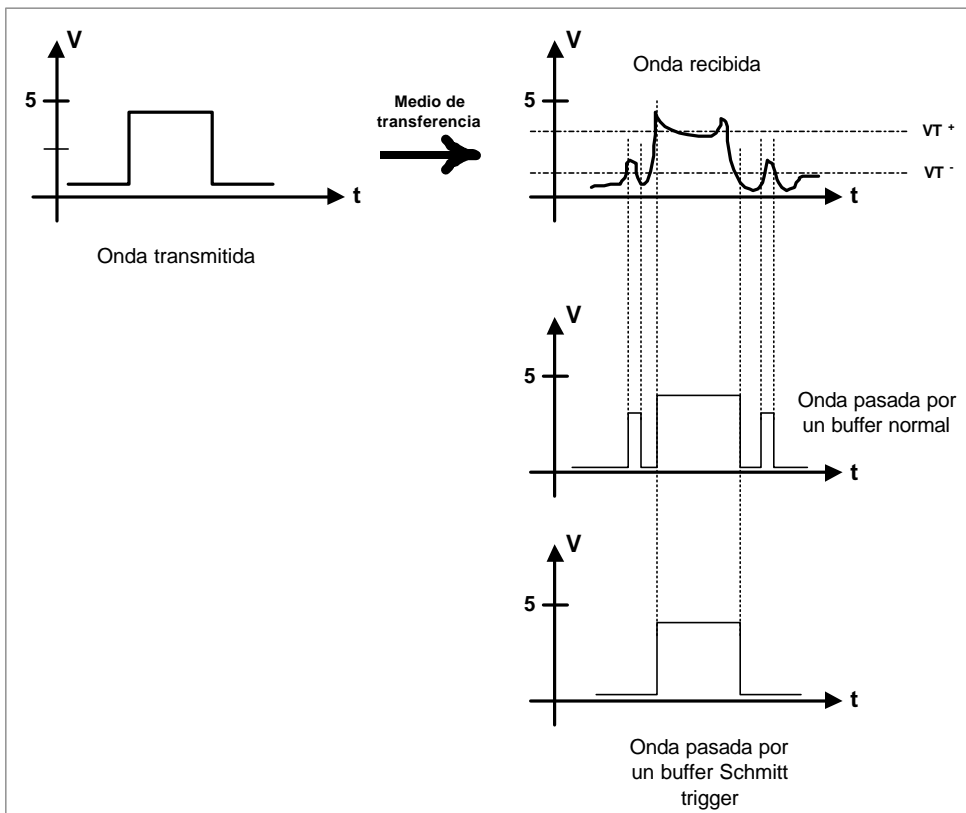


**Figura 4.16.** Conexión de datos en memoria RAM con buffer tres estados 74126.

Los circuitos integrados de nueva generación que comparten información común "Buses" traen incorporadas líneas de tres estados que se desconectan de éste cuando es deshabilitado el chip. Por ejemplo, si se conectan varios circuitos integrados en una tarjeta electrónica que compartan un mismo Bus de datos; las entradas de habilitación **Cs** (Chip Select) de los circuitos integrados deben ser administradas por un bloque de control que ponga en tercer estado a los chips que hacen operaciones de lectura y escritura a manera de evitar conflictos en el Bus. La línea de entrada **Cs**, por lo general, es activa en bajo, y cuando es llevada a uno lógico, coloca al circuito integrado en alta impedancia e internamente lo desconecta del resto de los dispositivos del circuito digital.

#### 4.2.5 Circuitos digitales Smith Trigger.

Las señales digitales están sometidas a efectos transitorios en las líneas y conexiones de los circuitos impresos. Las ondas se deforman a medida que aumenta la distancia del cableado, o medio de comunicación, entre el transmisor y el receptor de la señal binaria. La figura 4.17 representa los cambios que ha tenido una onda cuadrada (0 ~ 5) V que fue enviada al receptor para que la procesara. Sin embargo, la señal que llega al receptor está deformada, pero con posibilidad de recuperarla, por lo que se debe “limpiar” y “acondicionar” de la mejor forma posible para restablecer la señal transmitida originalmente. De esto se encarga un buffer o compuerta de disparo Schmitt (Schmitt trigger) la cual posee un rango de inmunidad al ruido entre dos niveles lógicos denotados como  $VT^-$  y  $VT^+$  ( $VT$ : Tensión Umbral). La diferencia entre las dos tensiones umbrales se llama histéresis y tiene un valor de 0.8 V para la familia TTL estándar. La señal con ruido es pasada por un buffer seguidor que experimenta cambios en la salida solo en los umbrales  $VT^+$  y  $VT^-$ .



**Figura 4.17.** Recuperación de la forma de onda con buffer Schmitt trigger.

No obstante, cuando pasa por un buffer normal pueden ocurrir cambios no deseados en la forma de onda.

La figura 4.18 representa las curvas de transferencia del circuito integrado TTL 7414; éste posee, internamente, seis compuertas inversoras con entrada Schmitt trigger. Las características de las tensiones umbrales se describen a continuación:

Símbolo	Descripción	Valores (Volt)
$V_T^+$	Voltaje umbral en flanco de subida	1.7
$V_T^-$	Voltaje umbral en flanco de bajada	0.9
$V_h = V_T^+ - V_T^-$	Voltaje de histéresis	0.8

Las otras características internas del chip 7414 son equivalentes a las compuertas normales de la familia TTL estándar.

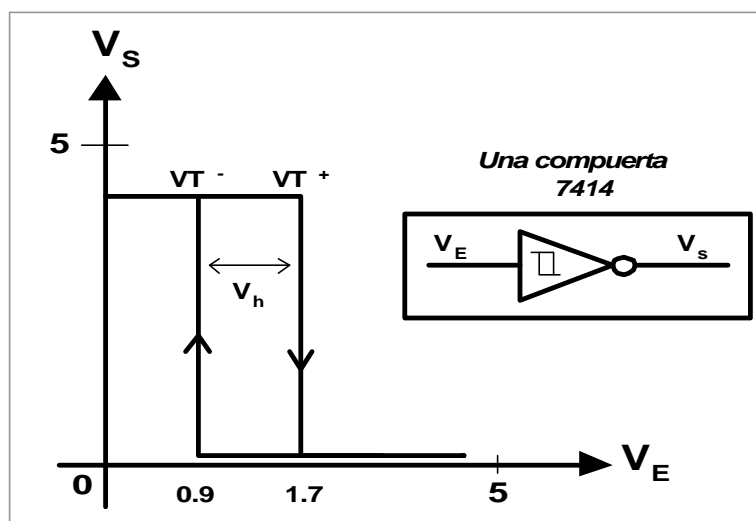
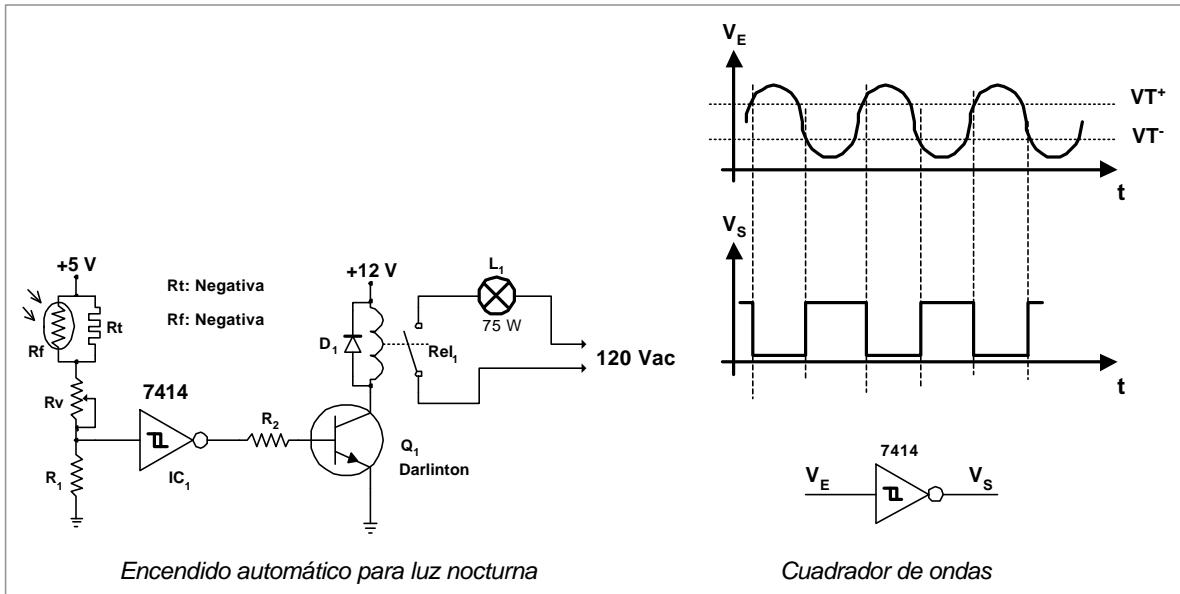


Figura 4.18. Curva de transferencia de la compuerta Schmitt trigger 7414.

#### 4.2.5.1 Aplicaciones de las compuertas Schmitt trigger.

Estos dispositivos son ideales para aplicaciones donde la señal de entrada cambia con lentitud o para limpiar señales con ruido. Se utilizan para acondicionar señales provenientes de sensores magnéticos, tacómetros, señales de fotoresistencias, resistencias térmicas, "One-Shot" para retardo de pulsadores de teclas, Osciladores de

Onda cuadrada, buffer de tres estados para transferencia de información, etc. La figura 4.19 muestra dos aplicaciones típicas utilizando el inversor 7414, la primera es un generador de onda cuadrada a partir de una senosoidal y la segunda es un circuito para iluminación nocturna con fotoresistencia y termoresistencia.



**Figura 4.19.** Aplicaciones utilizando las compuertas inversoras Schmitt trigger 7414.

### 4.3 Lógica CMOS.

Los circuitos integrados CMOS están constituidos por MOSFET de canal N y MOSFET de canal P. Presentan gran impedancia de entrada y su capacidad de integración los coloca en el renglón de la tecnología de mediana y alta escala de integración. En la figura 4.20(a) se observa el corte transversal de un MOSFET canal N de enriquecimiento; la circulación de corriente  $i_{DS}$  se establece cuando la tensión  $V_{GSN}$  supera la tensión umbral  $V_{ThN}$ . Por debajo de esta tensión el MOSFET queda en corte y, la completa conducción se establece cuando:

$$V_{ThN} \leq V_{GSN} \leq V_{DD} \quad \text{Ec. 4.13}$$

Las figuras 4.20(a) y (b) muestran dos símbolos utilizados por los transistores MOSFET de enriquecimiento y de agotamiento.

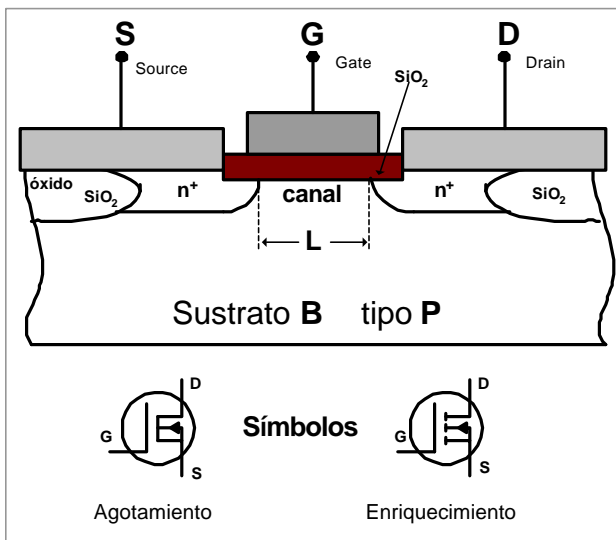


Figura 4.20(a). MOSFET canal N.

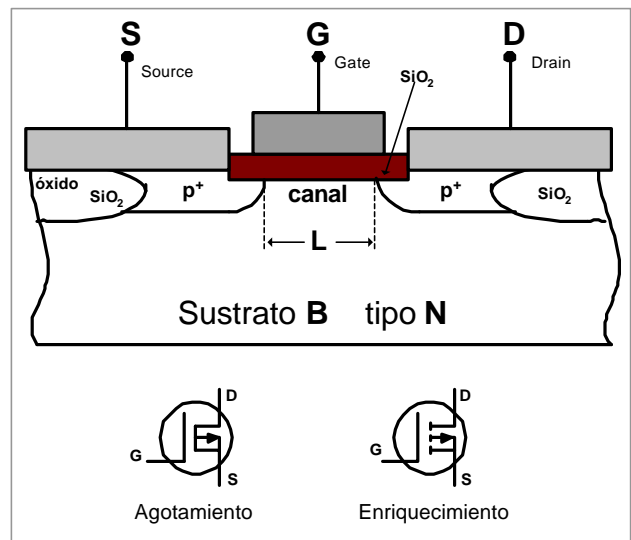


Figura 4.20(b). MOSFET canal P.

El significado de CMOS (Complementary Metal Oxide Semiconductor) implica que deben ser utilizados, dos tipos de canal "NMOS" y "PMOS", para fabricar los circuitos integrados lógicos. Los electrodos (**S**: source: fuente); (**G**: gate: puerta); (**D**: drain: drenaje), sirven para polarizar el dispositivo. En la figura 4.21 se muestra el circuito interno de este tipo de arreglo complementario, donde  $Q_1$  y  $Q_2$  son los MOSFET canal P y canal N respectivamente. Las puertas (gates) de los dispositivos MOSFET se

conectan entre sí para formar la entrada (**Vi**) y, del mismo modo, los dos drenajes (Drain) para formar la salida (**Vo**).

Estos transistores están formados por tecnologías de enriquecimiento, las tensiones umbrales de  $Q_1$  y  $Q_2$  son  $V_{ThP}$  y  $V_{ThN}$  y los parámetros de conducción  $K_p$  y  $K_n$ . También las gráficas de la figura 4.21 (b) y (c) indican el funcionamiento de los MOSFET.

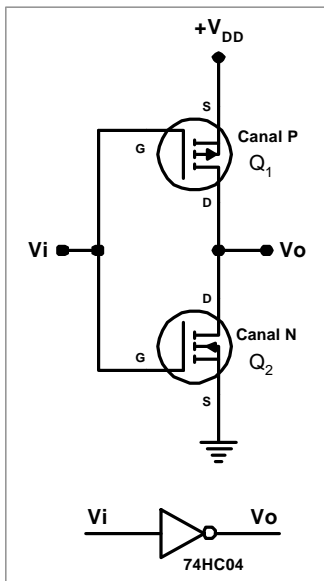


Figura 4.20(a). Inversor CMOS.

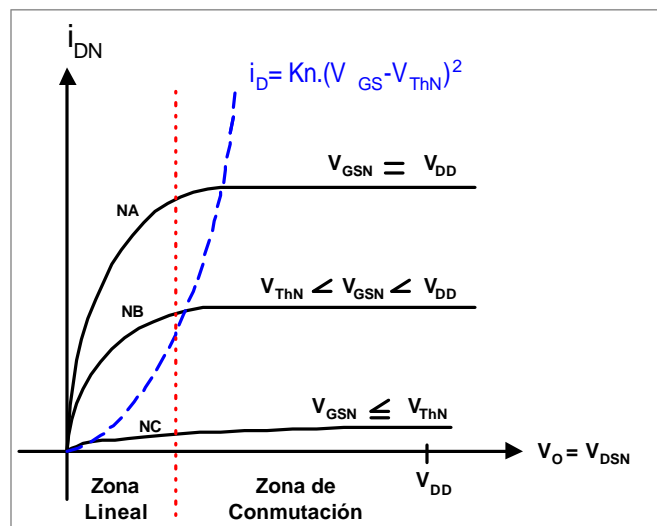


Figura 4.20(b). Gráfica del transistor NMOS.

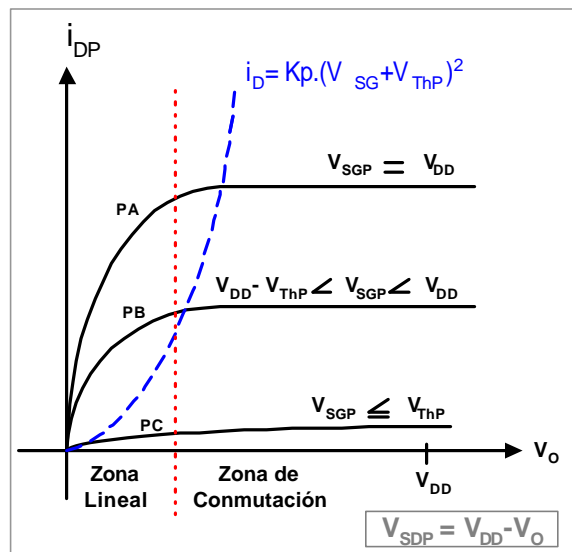


Figura 4.20(c). Gráfica del transistor PMOS.



La tensión de entrada **Vi** de la compuerta NOT es la misma para Q<sub>1</sub> y Q<sub>2</sub>. Esta es equivalente a las tensiones:

$$V_i = V_{GSN} \quad \text{Para el transistor de canal N, } Q_2.$$

$$V_i = V_{DD} - V_{ThP} \quad \text{Para el transistor de canal P, } Q_1.$$

De esta forma la tensión de entrada queda en el intervalo

$$V_{DD} - V_{ThP} \leq V_i \leq V_{DD} \quad \text{Ec. 4.14}$$

Al igualar las corrientes de drenaje (**i<sub>D</sub>=i<sub>Dn</sub>=i<sub>Dp</sub>**) en la unión de salida con respecto a la unión de entrada (**Vi**) del inversor para los dos transistores, se obtiene:

$$\begin{aligned} K_n.(V_{GSN} - V_{ThN})^2 &= K_p.(V_{SGP} + V_{ThP})^2 \\ K_n.(V_i - V_{ThN})^2 &= K_p.(V_{DD} - V_i + V_{ThP})^2 \end{aligned} \quad \text{Ec. 4.15}$$

$$V_i = \frac{V_{DD} + V_{ThP} + V_{ThN} \cdot \sqrt{\frac{K_n}{K_p}}}{1 + \sqrt{\frac{K_n}{K_p}}} \quad \text{Ec. 4.16}$$

Para **Vi = 0** el NMOS se pone en corte y actúa como un circuito abierto para Q<sub>2</sub>, ver figura 4.21(a); en ese momento **i<sub>D</sub>=i<sub>Dn</sub>=i<sub>Dp</sub>=0**. Al mismo tiempo el **V<sub>SGP</sub>** del MOSFET de canal P (Q<sub>1</sub>) queda polarizado de acuerdo con la curva **PA** de la figura 4.21(c). En este caso **V<sub>SDP</sub>=0=V<sub>DD</sub>-V<sub>O</sub>**, por lo tanto **V<sub>O</sub>=V<sub>DD</sub>**; esta condición existe siempre que el transistor NMOS (Q<sub>2</sub>) esté en corte, o **Vi** sea menor o igual que la tensión umbral **V<sub>ThN</sub>**.

Para **Vi=V<sub>DD</sub>**, el transistor MOSFET de canal P queda en corte, **i<sub>Dp</sub>=0**, e **i<sub>Dn</sub>=0**. El **V<sub>GSN</sub>** de Q<sub>1</sub> es **V<sub>DD</sub>** y el mismo está en conducción según la curva **NA** de la gráfica de la figura 4.21(b). El voltaje de salida **V<sub>O</sub>=0** siempre que Q<sub>2</sub> esté en la región de corte, o **V<sub>SGP</sub> = V<sub>DD</sub> - V<sub>i</sub> ≤ V<sub>ThP</sub>**. El intervalo de tensión de entrada en el inversor CMOS viene dado por: **V<sub>DD</sub> - V<sub>ThP</sub> ≤ V<sub>i</sub> ≤ V<sub>DD</sub>**.

En la curva de la figura 4.22, se observa la zona de transición entre el nivel bajo (L) y el nivel alto (H). El **V<sub>ON</sub>** es la tensión de salida cuando el transistor NMOSFET (Q<sub>2</sub>) está conduciendo y el **V<sub>OP</sub>** es la tensión de salida cuando el transistor PMOSFET (Q<sub>1</sub>) conduce. La zona de transición se conoce como zona indeterminada.

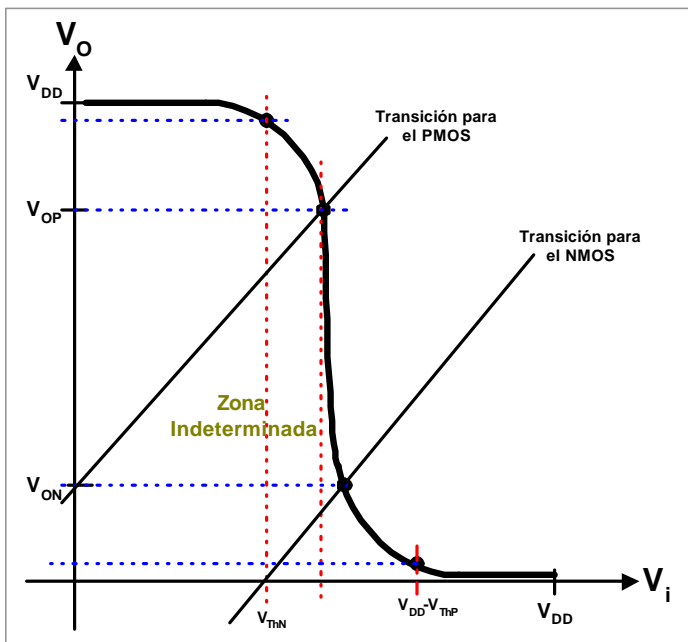
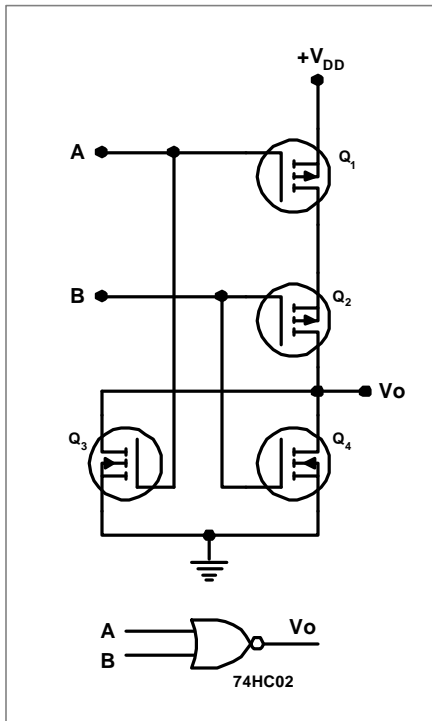


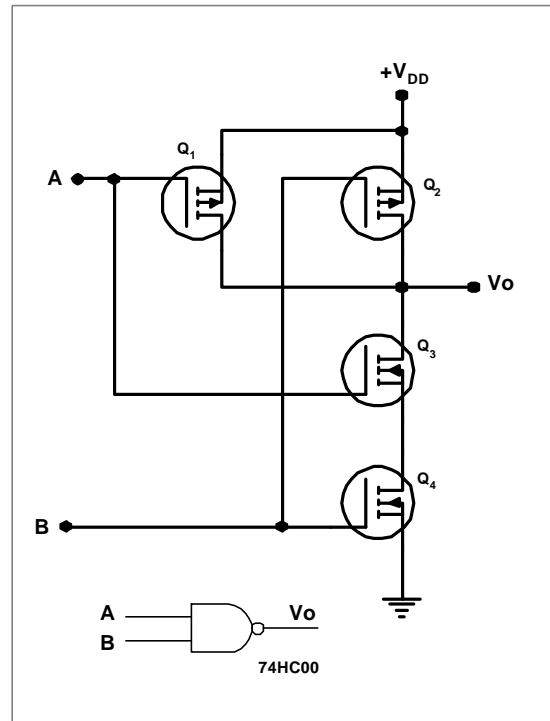
Figura 4.22. Gráfica de transferencia de voltaje del inversor CMOS.

#### 4.3.1 Compuerta Lógica NOR.

La figura 4.23 muestra una compuerta NOR de dos entradas de la familia CMOS. El número de esta compuerta puede ser: 74HC02, 74C02 o 74HCT02. Cuando las entradas A y B tienen un nivel lógico bajo entonces los NMOS Q<sub>3</sub> y Q<sub>4</sub> se ponen en corte. Al mismo tiempo, los transistores PMOS Q<sub>1</sub> y Q<sub>2</sub> tienen tensión cero en sus puntos D (Drain) y S (Source); drenaje y fuente respectivamente. Por lo que, la tensión V<sub>O</sub> pasa a tener un nivel lógico alto equivalente a la tensión V<sub>DD</sub>. Por otra parte, si alguna de las entradas (o las dos) se colocan en uno lógico Q<sub>1</sub> y/o Q<sub>2</sub> se ponen en corte. Al mismo tiempo, Q<sub>3</sub> y/o Q<sub>4</sub> con su V<sub>DS</sub> igual a cero hacen que la tensión V<sub>O</sub> pase a nivel bajo (V<sub>O</sub>=0).



**Figura 4.23. Compuerta NOR 74HC02.**



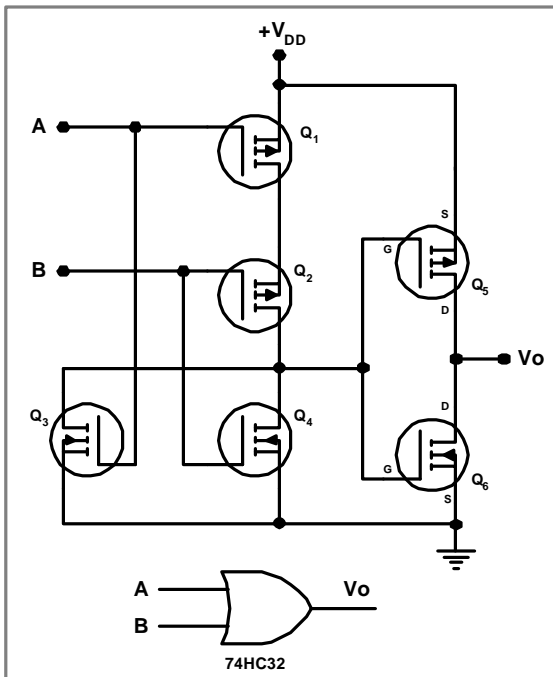
**Figura 4.24. Compuerta NAND 74HC00.**

### 4.3.2 Compuerta Lógica NAND.

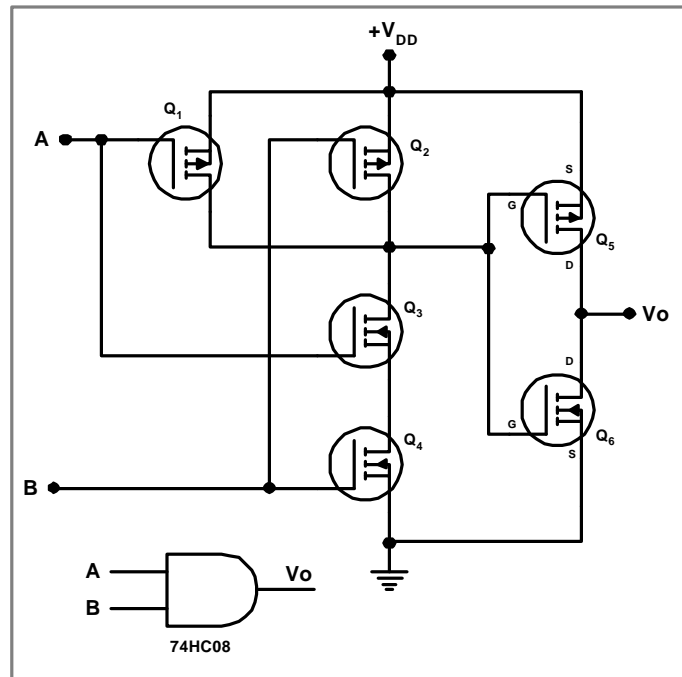
La figura 4.24 muestra una compuerta digital NAND de dos entradas de la familia CMOS. El número de esta compuerta puede ser: 74HC00, 74C00 o 74HCT00. Cualquiera de las dos entradas A o B que se coloque a un nivel lógico bajo hace que  $Q_1$  y/o  $Q_2$  tengan una tensión  $V_{DS}$  igual a cero; del mismo modo,  $Q_3$  o  $Q_4$  se colocarán en corte y en consecuencia, la tensión  $V_o$  será igual a  $V_{DD}$ . Por otra parte, cuando A y B tienen un nivel lógico alto  $Q_1$  y  $Q_2$  se ponen en corte y al mismo tiempo, las  $V_{DS}$  de  $Q_3$  y  $Q_4$  pasan a valer cero por lo que  $V_o$  también se coloca en un nivel lógico bajo.

### 4.3.3 Compuertas Lógicas OR y AND.

Para obtener estas compuertas digitales de la familia CMOS deben integrarse en la base del material semiconductor compuertas tipo NAND y NOR conjuntamente con inversores CMOS, conectados internamente a la salida de dichas compuertas. Las figuras 4.25 y 4.26 muestran las configuraciones internas de las compuertas OR y AND respectivamente.



**Figura 4.25. Compuerta OR 74HC32**



**Figura 4.26. Compuerta AND 74HC08.**

Las figuras 4.25 y 4.26 indican como están constituidas internamente las compuertas básicas OR y AND de la familia CMOS. La combinación de ellas dos, conjuntamente con los inversores NOT dan como resultado las compuertas de tipo exclusivo: OR-Exclusiva y NOR-Exclusiva.

Las características internas de ésta familia son un poco diferentes a la familia TTL, ya que la impedancia de entrada/salida de los circuitos CMOS es bastante alta y el consumo de corriente es muy bajo. Esto trae como consecuencia tiempos de propagación muy largos en la respuesta de los mismos.

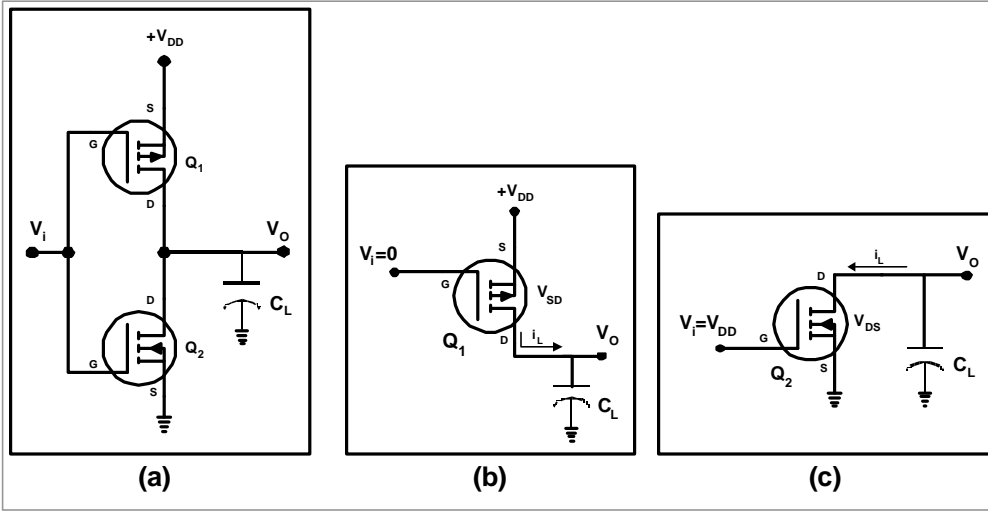
#### **4.3.4 Características de las compuertas CMOS.**

Los circuitos integrados CMOS han evolucionado en el proceso de fabricación. El avance fundamental ha sido la reducción del tamaño del área de fabricación del material semiconductor; han reducido el área de la compuerta estándar (4XXX) casi a la mitad por lo que el canal de conducción se ha reducido también. Las compuertas CMOS estándar se realizan en una capa de material base (silicio) de 120 micrones y los chips de alta velocidad CMOS (HCXXXX) son fabricados sobre una capa de 65 micrones. Esto hace aumentar la integración de la serie HC; reduce el solapamiento de capas que se hacía anteriormente en la serie estándar para aumentar la cantidad de puertas; disminuye la capacitancia intrínseca y por ende disminuyen los tiempos de respuestas de estos dispositivos. También se han integrados diodos de protección en los pines de entrada del chip con la finalidad de dar protección contra los choques electrostáticos.

Los resultados de estos cambios se muestran en la tabla 4.5 donde los dispositivos **HC** son comparados con las series **estándar CMOS**, **LSTTL** y **ALS**. Existe también una sub-serie con la nomenclatura **HCT** de la gran familia CMOS que es compatible pin a pin con los circuitos integrados de la familia TTL. Esto significa que poseen internamente elementos que igualan las impedancias de entrada y salida para que puedan ser compatibles en voltajes y corrientes con los chips TTL.

#### **4.3.4.1 Disipación de potencia de las compuertas CMOS.**

El inversor CMOS y los dispositivos lógicos en general se utilizan para excitar a otros circuitos, la impedancia de estos dispositivos se puede modelar como una capacitancia. Por lo que, durante la conmutación de los niveles lógicos, esta carga capacitiva se debe cargar y descargar. La figura 4.27 muestra los periodos de carga y descarga del condensador de carga  $C_L$  en el inversor CMOS. En las figuras 4.27(b) y 4.27(c) se observan la carga y descarga respectivamente. Aquí se asume, como condición inicial, que el condensador está descargado totalmente.



**Figura 4.27.** Carga y descarga del condensador  $C_L$ .

La sección (b) indica el momento en que se carga  $C_L$  a través del transistor PMOSFET  $Q_1$ . La disipación de potencia en el transistor está determinada por:

$$P_{Q_1} = i_L \cdot V_{SD} = i_L \cdot (V_{DD} - V_O) \quad \text{Ec. 4.17}$$

La corriente a través del condensador  $C_L$  es:

$$i_L = C_L \cdot \frac{dv_O}{dt} \quad \text{Ec. 4.18}$$

La energía que se disipa en  $Q_1$  cuando la salida conmuta de nivel bajo a alto es:

$$E_{Q_1} = \int_0^\infty P_{Q_1} \cdot dt = \int_0^\infty C_L (V_{DD} - V_O) \frac{dv_O}{dt} dt = C_L \cdot V_{DD} \int_0^{V_{DD}} dv_O - C_L \int_0^{V_{DD}} v_O dv_O$$

$$E_{Q_1} = C_L \cdot V_{DD}^2 - C_L \cdot \frac{V_{DD}^2}{2} = C_L \cdot \frac{V_{DD}^2}{2}$$

El condensador  $C_L$  almacena la energía  $E_{Q_1}$ ; luego, toda esta energía es consumida o disipada por  $Q_2$  cuando el inversor cambia de nivel alto a bajo, ver figura 4.27(c). De modo que la energía en  $Q_2$  es:

$$E_{Q_2} = C_L \cdot \frac{V_{DD}^2}{2}$$

Ahora, la energía total queda de la forma:

$$E_T = E_{Q_1} + E_{Q_2} = \frac{C_L \cdot V_{DD}^2}{2} + \frac{C_L \cdot V_{DD}^2}{2} = C_L \cdot V_{DD}^2$$

$$E_T = C_L \cdot V_{DD}^2 \quad \text{Ec. 4.19}$$

La potencia disipada se traduce en la energía consumida en unidades de tiempo; por lo que, el circuito debe conmutar a determinada frecuencia  $f$ . Por lo tanto, la potencia que disipa el inversor CMOS es:

$$P_D = E_T \cdot f = C_L \cdot V_{DD}^2 \cdot f \quad \text{Ec. 4.20}$$

Lo que indica que la disipación de potencia de un circuito integrado CMOS es proporcional a la frecuencia de conmutación; al cuadrado de la tensión de alimentación y a la capacitancia de carga. Las fabricantes de circuitos integrados realizan permanentemente investigaciones para reducir la disipación de potencia y de igual forma buscan aumentar la respuesta de frecuencia de estos dispositivos.

El consumo de potencia de los dispositivos CMOS (series Estándar y HC), ver tabla 4.5, depende de varios factores internos y externos. No obstante, aquí se van a tomar en cuenta los cuatro factores más importantes como lo son:

- *Voltaje de la fuente de alimentación ( $V_{CC}$  o  $V_{DD}$ )*. Como se observa en la tabla 4.5 las características de los circuitos CMOS Estándar y HC varían de rango en función del valor de tensión de la fuente. En la serie Estándar el rango va desde 3.0 hasta 18 voltios y para la serie HC el rango va desde 2.0 hasta 6.0 voltios.
- *Frecuencia de operación ( $f$ )*. Los dispositivos CMOS consumen energía solo en las transiciones de los niveles lógicos. Por esto al aumentar la frecuencia en las señales de entrada también se incrementa el consumo del dispositivo. La frecuencia debe estar dada en **MHz**.
- *Capacitancia interna ( $C_{PD}$ )*. Es la capacitancia intrínseca de la fabricación del dispositivo. Por lo general, está dada en pico faradios **pf**.
- *Capacitancia de la carga ( $C_L$ )*. Carga total capacitiva presente en el pin de salida. Se debe sumar todas las capacidades que se encuentren en la línea y se maneja en **pf**.

<b>Características generales y parámetros de las compuertas.</b>						
<b>Características</b>	<b>Símbolo</b>	<b>TTL</b>		<b>CMOS</b>		<b>Unidades</b>
		<b>LS</b>	<b>ALS</b>	<b>4xxxx (STD)</b>	<b>HC</b>	
Rango de Voltaje de alimentación	$V_{CC}, V_{DD}$	5 +/-5%	5 +/-5%	3.0 hasta 18	2.0 hasta 6.0	V
Rango de temperatura	$T_A$	0 ~ +70	0 ~ +70	-40 ~ +85	-55 ~ +125	°C
Parámetros en el voltaje de entrada	$V_{IH}(\min)$	2.0	2.0	3.5	3.5	V
	$V_{IL}(\max)$	0.8	0.8	1.5	1.0	V
Parámetros en el voltaje de Salida	$V_{OH}(\min)$	2.7	2.7	$V_{DD} - 0.05$	$V_{CC} - 0.1$	V
	$V_{OL}(\max)$	0.5	0.5	0.05	0.1	V
Corriente de Entrada	$I_{IH}(\max)$	20	20	0.3	1.0	μA
	$I_{IL}(\max)$	-400	-200	-0.3	-1.0	μA
Corriente de Salida	$I_{OH}(\max)$	-0.4	-0.4	-2.1 @ 2.5V	-4.0 @ $V_{CC} - 0.8V$	mA
	$I_{OL}(\max)$	8.0	8.0	0.44 @ 0.4V	4.0 @ 2.5V	mA
Margen de ruido en DC	$V_{NSL}$	0.3	0.3	1.45 @ 5V	0.90 @ 5V	V
	$V_{NSH}$	0.7	0.7	1.45 @ 5V	1.35 @ 5V	V
Fan out DC	-----	20	20	50 [1 LSTTL]	50 [10 LSTTL]	-----
<b>Características de potencia y velocidad</b>						
Consumo estático de corriente por compuerta	$I_G$	0.4	0.2	0.0001	0.0005	mA
Potencia por compuerta estática	$P_G$	2.0	1.0	0.0006	0.001	mW
Tiempo de propagación	$t_p$	9.0	7.0	125	8.0	ns
Producto velocidad potencia	-----	18	7.0	0.075	0.01	pJ
Frecuencia máxima (FF; Reg)	$F_{\max}$	33	35	4.0	40	MHz
Frecuencia máxima (contadores)	$F_{\max}$	40	45	5.0	40	MHz

**Tabla 4.5. Características técnicas de las familias LSTTL, ALS, Estándar CMOS y HC.**

Los requerimientos de consumo de energía del dispositivo en régimen dinámico se calcula con la Ec.4.20 en la que se ha agregado la capacitancia intrínseca de la fabricación del circuito ( $C_{PD}$ ):

$$P_D = (C_L + C_{PD}) \cdot V_{CC}^2 \cdot f \quad \text{Ec. 4.21}$$

Sin embargo, la disipación total debe tomar en cuenta la componente estática **DC** ( $V_{CC} \cdot I_{CC}$ ) más la parte dinámica  $[(C_L + C_{PD}) \cdot V_{CC}^2 \cdot f]$  de tal manera que la ecuación completa sin carga acoplada queda de la siguiente forma:

$$P_D = C_{PD} \cdot V_{CC}^2 \cdot f + V_{CC} \cdot I_{CC} \quad \text{Ec. 4.22}$$



**Ejercicio 4.1.** Calcular la disipación total de potencia del chip 74HC00 cuando cada una de sus compuertas ( $G_1$ ,  $G_2$ ,  $G_3$ ,  $G_4$ ) son sometidas a las siguientes condiciones:

$G_1$ . Trabaja a una frecuencia de 1 KHz.

$G_2$ . Trabaja a una frecuencia de 1 MHz.

$G_3$ . Trabaja con tensión fija DC.

$G_4$ . Trabaja con tensión fija DC.

El fabricante indica que los valores de consumo de corriente estática del encapsulado completo a temperatura ambiente son 2  $\mu A$  y una capacitancia intrínseca de 22 pf por compuerta. La alimentación externa del chip es 5 Voltios con una carga capacitiva para cada compuerta de 50 pf.

**Solución:** La solución se obtiene aplicando las ecuaciones 4.21 y 4.22.

$I_{CC} = 2 \text{mA}$  En condiciones estáticas a temperatura ambiente.

$C_{PD} = 22 \text{ pf}$  ;  $C_L = 50 \text{ pf}$  y  $V_{CC} = 5 \text{ Voltios}$

$$P_D = (C_{PD} + C_L) \cdot V_{CC}^2 f + V_{CC} I_{CC}$$

$$P_{D_1} = (22 \text{ pf} + 50 \text{ pf}) \cdot (5V)^2 (1 \text{ KHz}) = 1.8 \text{ mW}$$

$$P_{D_2} = (22 \text{ pf} + 50 \text{ pf}) \cdot (5V)^2 (1 \text{ MHz}) = 1800 \text{ mW}$$

$$P_{D_3} = (22 \text{ pf} + 50 \text{ pf}) \cdot (5V)^2 (0 \text{ Hz}) = 0 \text{ mW}$$

$$P_{D_4} = (22 \text{ pf} + 50 \text{ pf}) \cdot (5V)^2 (0 \text{ Hz}) = 0 \text{ mW}$$

$$P_D(\text{total}) = V_{CC} I_{CC} + P_{D_1} + P_{D_2} + P_{D_3} + P_{D_4}$$

$$P_D(\text{total}) = (5V \cdot 2 \text{ mA}) + 1.8 \text{ mW} + 1800 \text{ mW} + 0 + 0$$

$$P_D(\text{total}) = (10 \text{ mW}) + 1.8 \text{ mW} + 1800 \text{ mW}$$

$$P_D(\text{total}) = 1812 \text{ mW}$$

#### 4.3.4.2 Margen de ruido de las compuertas CMOS.

En los circuitos integrados CMOS el margen de ruido aumenta a medida que se incrementa la tensión de alimentación ( $V_{CC}$  o  $V_{DD}$ ); esto es una ventaja para el diseño con dispositivos de esta familia de chips. Sin embargo, el aumento de tensión incrementa la disipación de potencia y como consecuencia, reduce la respuesta de frecuencia del chip. El diseñador debe sopesar los requerimientos de disipación, voltaje, frecuencia y consumo de corriente del circuito digital a la hora de realizar el prototipo.

En este particular los simuladores básicos digitales no ofrecen mucha ayuda debido a que están hechos con modelos matemáticos lógicos que no toman en cuenta estos márgenes de ruido de señales y variaciones eléctricas. No obstante, los simuladores profesionales mixtos (Analógicos – Digitales) como el SPICE si pueden ser configurados para tomar en cuenta las variaciones, ruidos y tolerancias eléctricas a las que deba ser sometido el diseño antes de realizar el prototipo.

La tabla 4.6 muestra los márgenes de ruido que posee la compuerta 74HC08. Aquí se observa que el  $V_{NSH}=V_{OH(mín)}-V_{IH(mín)}$  y  $V_{NSL}=V_{IL(máx)}-V_{OL(máx)}$ , con una alimentación de 2 Voltios es 0.4 Voltios y, con una tensión de alimentación de 6 Voltios el  $V_{NSH}$  y  $V_{NSL}$  es igual a 1.7 Voltios.

#### 4.3.4.3 Impedancia de salida CMOS.

La impedancia de salida depende del estado que posea el circuito integrado CMOS. Está definida como  $R_O$  y se presentan dos casos:  $R_{OH}$  cuando el nivel lógico de la salida es alto y  $R_{OL}$  cuando el nivel lógico de la salida es bajo.

$$V_{OH}(\text{mín}) \leq V_{CC} - I_{OH}(\text{máx}) \cdot R_{OH}$$

$$R_{OH} \leq \frac{V_{CC} - V_{OH}(\text{mín})}{I_{OH}(\text{máx})} \quad \text{Ec. 4.23}$$

$$V_{OL}(\text{máx}) \geq I_{OL}(\text{máx}) \cdot R_{OL}$$

$$R_{OL} \leq \frac{V_{OL}(\text{máx})}{I_{OL}(\text{máx})} \quad \text{Ec. 4.24}$$

#### 4.3.4.4 Tiempo de propagación de los dispositivos CMOS.

El problema de la tecnología CMOS son los tiempos de retardo en las respuestas de las señales digitales. La tabla 4.5 muestra el retardo de la serie Estándar CMOS ( $t_p=125$  ns) y la serie HC ( $t_p=8.0$  ns) ésta última iguala y hasta mejora los tiempos de propagación de la serie LSTTL. En la tabla 4.7 se describen los tiempos de propagación  $t_{pHL}$  y  $t_{pLH}$  de algunas compuertas de la serie HC.

Parámetro	Símbolo	Condiciones	$V_{CC}$ o $V_{DD}$	Temperatura °C		Unidades
			Volt	≤ 85	≤ 125	
Voltaje mínimo de entrada en alto	$V_{IH}(\min)$	$V_{out} = 0.1V \text{ ó } V_{CC}-0.1V$ $ I_{out}  \leq 20 \mu A$	2.0	1.50	1.50	V
			3.0	2.10	2.10	V
			4.5	3.15	3.15	V
			6.0	4.20	4.20	V
Voltaje máximo de entrada en bajo	$V_{IL}(\max)$	$V_{out} = 0.1V \text{ ó } V_{CC}-0.1V$ $ I_{out}  \leq 20 \mu A$	2.0	0.50	0.50	V
			3.0	0.90	0.90	V
			4.5	1.35	1.35	V
			6.0	1.80	1.80	V
Voltaje mínimo de salida en alto	$V_{OH}(\min)$	$V_{in} = V_{IH} \text{ ó } V_{IL}$ $ I_{out}  \leq 20 \mu A$	2.0	1.90	1.90	V
			4.5	4.40	4.40	V
			6.0	5.90	5.90	V
		$ I_{out}  \leq 2.4 \text{ mA}$	3.0	2.34	2.20	V
		$ I_{out}  \leq 4.0 \text{ mA}$	4.5	3.84	3.70	V
		$ I_{out}  \leq 5.2 \text{ mA}$	6.0	5.34	5.20	V
Voltaje máximo de salida en bajo	$V_{OL}(\max)$	$V_{in} = V_{IH} \text{ ó } V_{IL}$ $ I_{out}  \leq 20 \mu A$	2.0	0.1	0.1	V
			4.5	0.1	0.1	V
			6.0	0.1	0.1	V
		$ I_{out}  \leq 2.4 \text{ mA}$	3.0	0.33	0.40	V
		$ I_{out}  \leq 4.0 \text{ mA}$	4.5	0.33	0.40	V
		$ I_{out}  \leq 5.2 \text{ mA}$	6.0	0.33	0.40	V
Máxima corriente de entrada	$I_{in}$	$V_{in} = V_{CC} \text{ ó } GND$	6.0	± 1.0	± 1.0	μA
Máxima corriente de suministro	$I_{CC}$	$V_{in} = V_{CC} \text{ ó } GND$ <b>Estático: <math>I_{out} = 0 \text{ mA}</math></b>	6.0	10	40	μA

**Tabla 4.6.** Características de tensiones del chip 74HC08 de la Motorola High-Speed CMOS, DL129-Rev 6.

Símbolo	Tipo de compuerta	V <sub>DD</sub> ó V <sub>CC</sub> Volt	Temperatura de trabajo			Unidades
			-55 a 25 °C	≤ 85 °C	≤ 125 °C	
t <sub>pLH</sub> y t <sub>pHL</sub>	<b>74HC00</b>	2.0	75	95	110	ns
		3.0	30	40	55	ns
		4.5	15	19	22	ns
		6.0	13	16	19	ns
C <sub>in</sub>	Capacitancia máxima por cada pin de entrada		10	10	10	pf
C <sub>PD</sub>	Capacitancia para la disipación de potencia (intrínseca)		-----	22	-----	pf
t <sub>pLH</sub> y t <sub>pHL</sub>	<b>74HC86</b>	2.0	100	125	150	ns
		3.0	80	90	110	ns
		4.5	20	25	31	ns
		6.0	17	21	26	ns
C <sub>in</sub>	Capacitancia máxima por cada pin de entrada		10	10	10	pf
C <sub>PD</sub>	Capacitancia para la disipación de potencia (intrínseca)		-----	33	-----	pf
t <sub>pLH</sub> y t <sub>pHL</sub>	<b>74HC32</b>	2.0	75	95	110	ns
		3.0	30	40	55	ns
		4.5	15	19	22	ns
		6.0	13	16	19	ns
C <sub>in</sub>	Capacitancia máxima por cada pin de entrada		10	10	10	pf
C <sub>PD</sub>	Capacitancia para la disipación de potencia (intrínseca)		-----	20	-----	pf

**Tabla 4.7. Tiempos de propagación y capacitancia de los chips 74HC00, 74HC86 y 74HC32.**

#### 4.3.4.5 Conectividad de las compuertas CMOS (fan out).

El factor de carga estático de los chips CMOS es bastante alto, debido a que la corriente promedio de entrada y salida de una compuerta de la serie HC es 1μA y 5 mA respectivamente. Esto significa que se deberían acoplar 5000 compuertas a una salida CMOS. Sin embargo, la capacitancia de estos dispositivos disminuye significativamente su rendimiento y en consecuencia también reduce el fan out. Se debe considerar un factor que involucre el efecto de la capacitancia acoplada conjuntamente con los tiempos de transición y la frecuencia de trabajo de las señales aplicadas. Este se conoce como factor dinámico de carga de los chips CMOS o fan-out y se utiliza para saber cuantas entradas de compuertas o pines del chip se pueden conectar a la salida de otra de una misma familia u otra del tipo equivalente.

**Ejercicio 4.2.** Hallar el fan out dinámico del circuito integrado 74HC00 cuando una salida de compuerta se acopla con N entradas HC; figura 4.28. A continuación, se mencionan las características y condiciones necesarias para resolver este problema:

Símbolo	Unidades
$V_{CC}$	6 Voltios
$f_{in}$	5 MHz
$V_{OL}(\text{máx})$	0.33 Voltios
$V_{OH}(\text{mín})$	5.34 Voltios
$V_{iH}(\text{mín})$	4.20 Voltios
$I_{OH}(\text{máx})$	-5.2 mA
$I_{OL}(\text{máx})$	5.2 mA
$I_{in}(\text{máx})$	$\pm 1 \mu A$
$t_r = t_f$	6 ns
$t_p$	8 ns

Valores y parámetros del ejercicio.

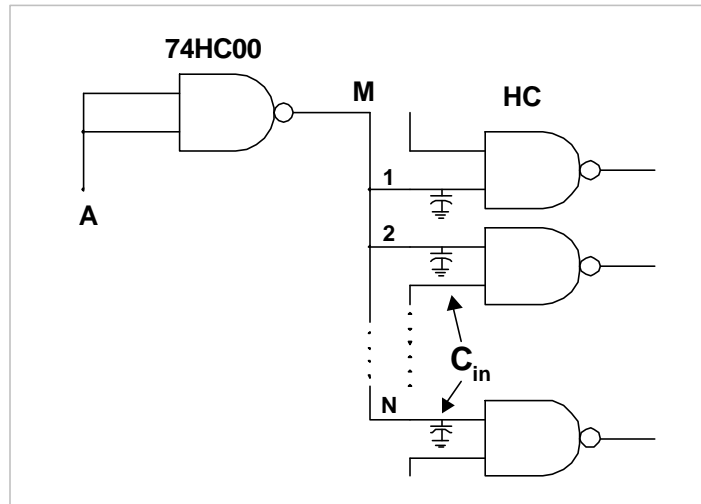


Figura 4.28. Esquema del ejercicio 4.2.

La carga de la capacitancia total CT ( $CT = N \cdot C_{in}$ ) se realiza cuando la señal de entrada **A** pasa de alto a bajo. La constante de tiempo en la carga de CT viene dada por:

$$t = R_{OH} \cdot N \cdot C_{in} \quad \text{EC. 4.25}$$

donde N es la cantidad de entradas CMOS que se pueden conectar a la salida de la compuerta 74HC00. Las impedancias de salida de la compuerta se obtienen de la siguiente forma:

$$R_{OL} \leq \frac{V_{OL}(\text{máx})}{I_{OL}(\text{máx})} = \frac{0.33V}{5.2mA} = 63.5 \Omega$$

$$R_{OH} \leq \frac{V_{CC} - V_{OH}(\text{mín})}{I_{OH}(\text{máx})} = \frac{6V - 4.20V}{5.2mA} = 346 \Omega$$

Se debe tomar un T mayor que el  $t_p + t_r = 14 \text{ ns}$  y esto se puede acotar con la frecuencia de entrada  $f_{in} = 5 \text{ MHz}$ ; significa que el rango debe estar comprendido entre:

$$14ns < t < \frac{1}{5MHz} = 200ns \quad \text{Sin embargo, se toma un margen de seguridad menor o igual}$$

al 50% de este valor.

De este modo el acoplamiento queda limitado a  $\tau=100$  ns. El valor aproximado de N es:

$$t \geq R_{OH} \cdot N \cdot C_{in}$$

$$N \leq \frac{t}{R_{OH} \cdot C_{in}} = \frac{100ns}{346\Omega \cdot 10\text{ pf}} = \frac{100 \cdot 10^{-9} \cdot 10^{-12} s}{346 \frac{V}{A} \cdot 10 \frac{A \cdot s}{V}} = \frac{100000}{3460} = 28.9$$

$N \leq 28$  Entradas de compuertas CMOS HC.

Con la impedancia de salida en nivel bajo ( $R_{OL}$ ) se obtiene un factor de 157 entradas HC. Por lo cual, se toma el mínimo de los dos que es 28. Si es necesario un cálculo más exacto se procede con la fórmula de carga para condensadores tomando en cuenta la  $V_{iH}(\text{mín})$  en las entradas de las compuertas HC.

$V_C = V_0(1 - e^{-t/RC})$  Fórmula para la carga de un condensador.

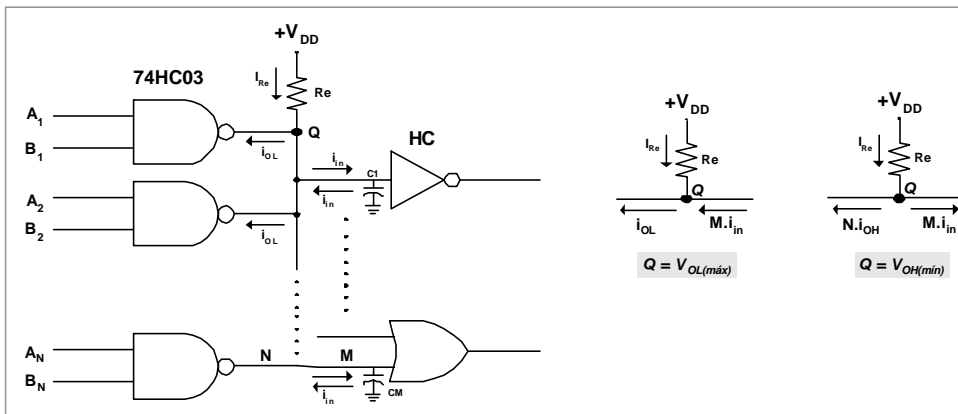
$$V_{iH}(\text{mín}) = V_{CC}(1 - e^{-t_r/R_{OH} \cdot N \cdot C_{in}})$$

$$N = \frac{t_r}{-R_{OH} \cdot C_{in} \cdot \ln(1 - \frac{V_{iH}(\text{mín})}{V_{CC}})} = \frac{100ns}{-346\Omega \cdot 10\text{ pf} \cdot \ln(1 - \frac{4.20V}{6V})} = 24.1$$

El factor de carga fan out es de 24 entradas para una salida de compuerta 74HC00.

#### 4.3.4.6 Compuertas con drenador abierto.

Son compuertas donde se ha eliminado el transistor PMOS de la salida complementaria interna; por lo que la polarización del drenador del NMOS debe ser realizada con una resistencia externa ( $R_e$ ). La figura 4.29 muestra el acoplamiento de la resistencia externa en las **N** compuertas 74HC03 unidas todas en las líneas de salida (AND alambradas) y conectadas a ellas, con otras **M** entradas de compuertas CMOS HC. Los dos estados lógicos que se tienen en **Q** determinan las condiciones de tensión y corriente que permiten hallar el valor de la resistencia externa. Sin embargo, debido a que las entradas HC tienen una capacitancia significativa ( $C_{in}=10$  pf) el diseñador debe considerar el retardo de tiempo causado por la componente  $RC$ ; ( $t=R_e \cdot N \cdot C_{in}$ ).

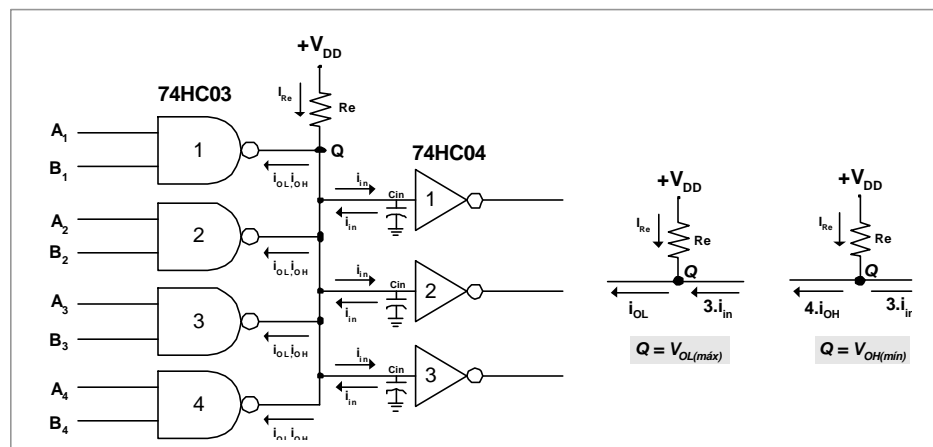


**Figura 4.29.** Compuertas con drenador abierto.

$$\frac{V_{DD} - V_{OL}(\text{máx})}{I_{OL}(\text{máx}) - M \cdot I_{in}} \leq R_e \leq \frac{V_{DD} - V_{iH}(\text{mín})}{N \cdot I_{OH}(\text{máx}) + M \cdot I_{in}} \quad \text{Ec. 4.26}$$

**Ejercicio 4.3.** Calcular la resistencia externa que se debe conectar en cuatro compuertas 74HC03 de drenador abierto cableadas en forma de AND alambradas. Estas, a su vez, están conectadas a tres entradas de circuitos integrados HC. Las características y condiciones para corriente continua son las siguientes:

Símbolo	Unidades
$V_{DD}$	4.5 V
$V_{OL}(\text{máx})$	0.33 V
$V_{iL}(\text{máx})$	1.35 V
$V_{iH}(\text{mín})$	3.15 V
$I_{iH}(\text{máx})$	20 $\mu\text{A}$
$I_{OL}(\text{máx})$	4 mA
$I_{in}$	$\pm 1 \mu\text{A}$
$C_{in}$	10 pF
$C_{PD}$	8.0 pF



**Figura 4.30.** Conexión de compuertas del ejercicio 4.3.

**Solución:** Las condiciones se toman para corriente continua (DC). En la figura 4.29 se describe el sentido de las corrientes en nivel bajo y nivel alto. Aplicando la Ec. 4.26 se obtiene la solución del ejercicio:

$$R_e(\text{mín}) = \frac{V_{DD} - V_{OL}(\text{máx})}{I_{OL}(\text{máx}) - M \cdot I_{in}} = \frac{4.5V - 0.33V}{4mA - 3 \cdot 1mA} = 1043\Omega$$

$$R_e(\text{máx}) = \frac{V_{DD} - V_{iH}(\text{mín})}{N \cdot I_{OH}(\text{máx}) + M \cdot I_{in}} = \frac{4.5V - 3.15V}{4 \cdot 20mA + 3 \cdot 1mA} = 50K\Omega$$

Se debe colocar una resistencia comprendida entre  $1043\Omega$  y  $50K\Omega$ . No obstante, la resistencia debe ser seleccionada de forma que funcione con un retardo adecuado para la aplicación del circuito. Un valor cercano a la resistencia mínima es necesario cuando la frecuencia de funcionamiento es relativamente grande. Por otra parte, un valor de resistencia máxima reducirá el consumo de corriente de la fuente, pero tendrá el inconveniente de producir retardos y respuestas lentas en las señales.

#### 4.3.4.7 Conmutador o compuertas de transmisión CMOS.

En los circuitos electrónicos es necesario conmutar señales analógicas controlándolas digitalmente. Para lograr esto es necesario utilizar las compuertas de transmisión CMOS, las cuales están constituidas por un arreglo de un transistor NMOS acoplado en paralelo con otro del tipo PMOS. La figura 4.31 muestra la configuración de los dispositivos que forman el switch bilateral. La combinación en paralelo de los dos, conjuntamente con las señales  $C$  y  $\bar{C}$  permiten que la señal de entrada  $V_i$  sea transmitida a la salida sin sufrir alteración. Ambos transistores deben ser simétricos y bilaterales; por lo tanto, los substratos NMOS y PMOS se conectan al potencial más negativo y al más positivo, normalmente se conectan a GND y  $V_{DD}$  respectivamente.

En la figura 4.32(a); si  $C=V_{DD}$  y  $\bar{C}=0$ ,  $V_i=V_{DD}$  y  $V_O$  es inicialmente cero, entonces para el dispositivo NMOS el terminal **A** actúa como drenaje y el terminal **B** actúa como fuente, mientras tanto, para el dispositivo PMOS, el terminal **E** actúa como drenaje y el terminal **F** como fuente. La corriente entra al terminal drenaje del dispositivo NMOS y al terminal fuente del dispositivo PMOS, como se muestra en la figura 4.32(a), para cargar al condensador  $C_L$ . El voltaje compuerta fuente del NMOS es:

$V_{GSN} = C - V_O = V_{DD} - V_O$ ; y en el dispositivo PMOS es:



$$V_{SGN} = V_i - \overline{C} = V_{DD} - 0 = V_{DD}$$

El transistor NMOS queda en corte cuando  $V_{SGN}=0$ , osea que  $V_O=V_{DD}$ . No obstante, como  $V_{SGP}=V_{DD}$ , el dispositivo PMOS sigue conduciendo la corriente por lo que  $i_{DP}$  llegará a cero solo cuando el voltaje fuente drenador del PMOS ( $V_{SDP}$ ) sea cero. De ésta forma,  $C_L$  continuará cargándose hasta que iguale el nivel de  $V_i$ ; esto es,  $V_O=V_i=V_{DD}$ . Ahora si las condiciones iniciales son:

$$C=V_{DD}, \overline{C}=0, V_i=0 \text{ y } V_O=V_{DD}.$$

Para el dispositivo NMOS, el terminal **A** actúa como fuente y el **B** como drenaje, mientras que en el transistor PMOS, el terminal **E** actúa como fuente y **F** como drenaje. La corriente entra por los terminales **E** y **F**, y el condensador  $C_L$  comienza a descargarse; como se muestra en la figura 4.31(b). El voltaje compuerta fuente del dispositivo NMOS es:

$$V_{GSN} = C - V_i = V_{DD} - 0 = V_{DD}$$

Por otra parte, el voltaje fuente compuerta del PMOS es:

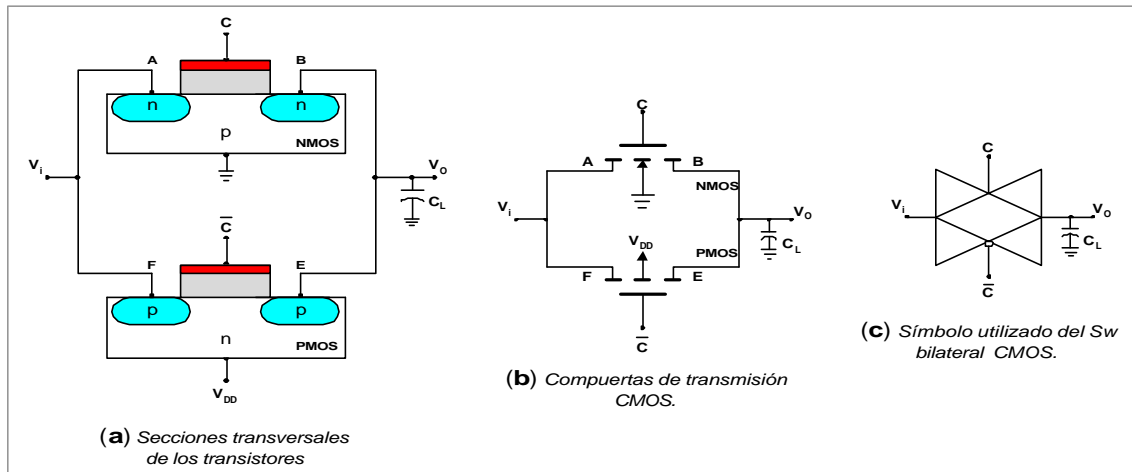
$$V_{SGP} = V_O - \overline{C} = V_O - 0 = V_O$$

El transistor PMOS se pone en corte cuando  $V_{SGP}=V_O$ ; la corriente  $i_{DP}$  llega a cero. Sin embargo, como  $V_{GSN}=V_{DD}$ , el transistor NMOS sigue conduciendo y  $C_L$  se descarga completamente hasta llegar a cero. El conmutador electrónico se abre cuando los valores de compuertas son  $C=0$  y  $\overline{C}=V_{DD}$ ; debido a que el transistor PMOS y el NMOS quedan en corte.

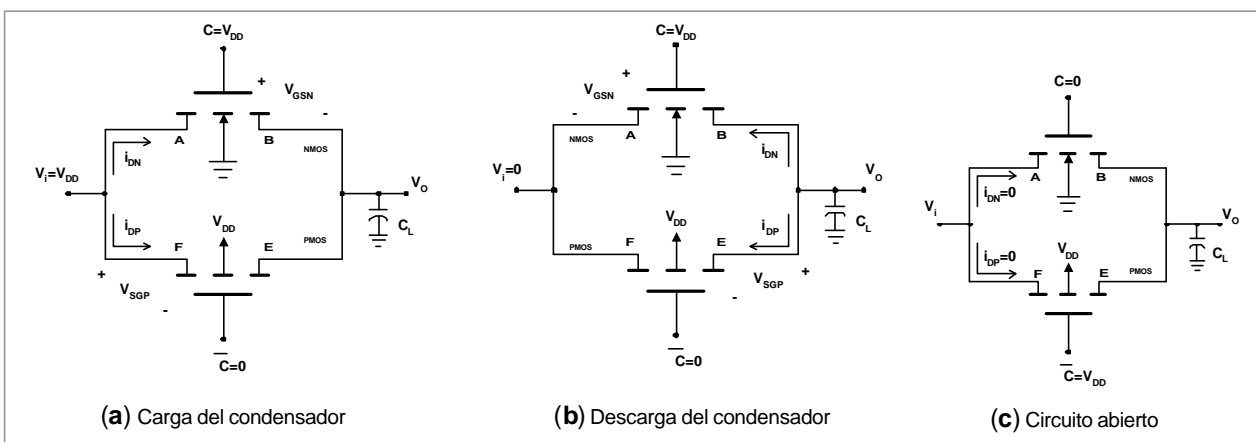
#### 4.3.4.7.1 Switch analógico - digital cuádruple 74HC4066.

Es un circuito integrado CMOS que posee cuatro conmutadores electrónicos, (Sw1, Sw2, Sw3, Sw4) cada uno con línea de control independiente ( $C_1, C_2, C_3, C_4$ ) que permiten conmutar señales analógicas y/o digitales bilateralmente en sus terminales de entrada salida ( $io_1, io_2, io_3, io_4; oi_1, oi_2, oi_3, oi_4$ ). La figura 4.33 muestra el diagrama del chip 74HC4066 y un conmutador analógico digital de cuatro canales (Multiplexor ó Demultiplexor). Mediante el contador binario y el decodificador se selecciona el canal que pasa hacia el punto común. Por otra parte, el circuito también puede funcionar en forma inversa; las señales que entran al punto común son enviadas al canal que se

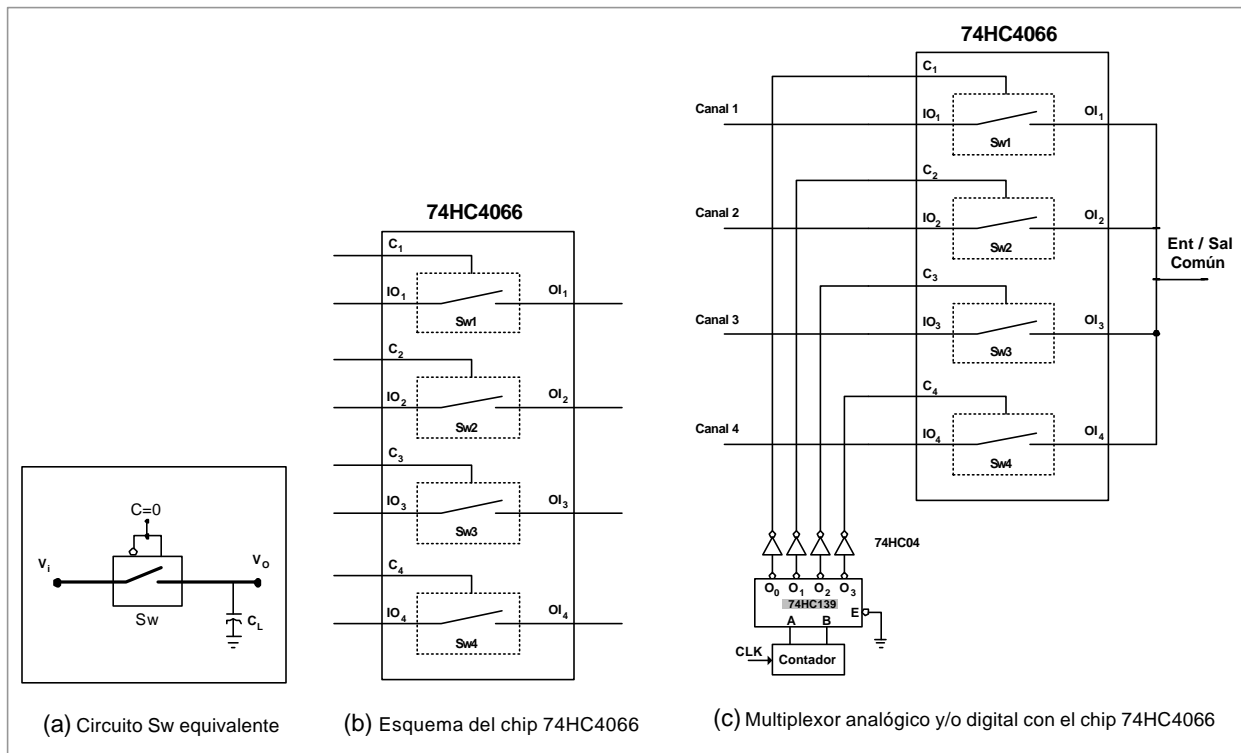
encuentre seleccionado por el decodificador 74HC139 para ese momento. Son diversas las aplicaciones que se pueden realizar con el chip 74HC4066 y los circuitos integrados combinatoriales. No obstante, en el capítulo cinco es donde se analiza el funcionamiento de éstos tipos de circuitos combinatoriales y sus aplicaciones.



**Figura 4.31. Compuerta de transmisión CMOS y símbolo utilizado.**



**Figura 4.32. Funcionamiento de la compuerta de transmisión CMOS.**



**Figura 4.33. Sw equivalente, Circuito integrado CMOS y Multiplexor analógico – digital.**

## 4.4 Lógica ECL

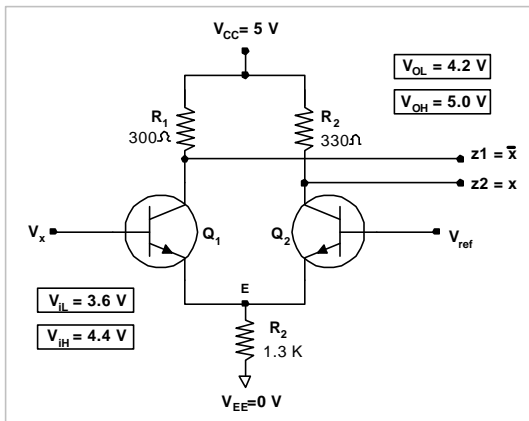
Los circuitos ECL (**E**mitter-**C**oupled **L**ogic; «lógica de emisores acoplados»), se caracterizan por ser la familia de circuitos convencionales de Silicio con la que se obtiene una mayor velocidad, ya que los tiempos de propagación son del orden de 1ns; solo se utilizan en aplicaciones que requieren muy altas velocidades ya que, considerando otras características, son muy superiores a otros tipos de familias. Su consumo de potencia es muy elevado y son difíciles de miniaturizar, consiguiéndose densidades de integración muy pobre. Los niveles y características de entrada salida no los hacen compatibles con las familias TTL ni con las CMOS.

La lógica TTL, frente a la MOS, ofrece la ventaja de la velocidad; pero ésta es frenada por el hecho de que los transistores entran en saturación, y el paso de saturación a conducción implica consumir un tiempo para eliminar el exceso de electrones de la región de base acumulados por la saturación. En parte se puede reducir este problema utilizando transistores Schottky, pero la lógica ECL ofrece otra alternativa mejor. Cuando el objetivo de diseño es conseguir las mayores velocidades posibles entonces se debe tomar en consideración la lógica ECL. En la Figura 4.34 se muestra el esquema de un amplificador diferencial, circuito en el que se fundamenta la familia ECL. En este circuito vamos a suponer que la ganancia en corriente de los transistores es  $\beta=10$  y que los niveles de entrada y salida son los siguientes:

$$V_{iH} = 4.4 \text{ V} \quad V_{iL} = 3.6 \text{ V} \quad V_{OH} = 5.0 \text{ V} \quad V_{OL} = 4.2 \text{ V}$$

En los circuitos ECL se obtiene siempre, simultáneamente, una salida (z1, en el circuito de la figura 4.34) y su complementaria z2. El transistor  $Q_2$  actúa como transistor de referencia, siendo alimentada su base a una tensión constante  $V_{ref} = 4.0\text{V}$ . Cuando  $V_x$  posee un nivel alto; es decir,  $V_x = 4.4 \text{ V}$ ,  $Q_1$  está en conducción y;

$$V_E = V_i - V_{BE1(on)} = 4.4 \text{ V} - 0.6 \text{ V} = 3.8 \text{ V. En estas condiciones } Q_2 \text{ no conduce, ya que}$$
$$V_{BE2} = V_B(Q_2) - V_E = 4.0 \text{ V} - 3.8 \text{ V} = 0.2 \text{ V} < 0.6 \text{ V.}$$



**Figura 4.34.** Amplificador diferencial utilizado como etapa de entrada en los circuitos ECL.

Se pueden calcular fácilmente las tensiones de salida. Para ello, se debe tener en cuenta que  $Q_2$  está cortando la corriente de emisor de  $Q_1$ , y que ésta aproximadamente es:

$$I_{E1} \approx \frac{V_E}{R_3} = \frac{3.8V}{1.3K\Omega} = 2.92 \text{ mA}$$

Pero, como  $I_E = I_C + I_B$ , la corriente de colector de  $Q_1$  será:

$$I_{C1} = I_{E1} - I_{B1} = I_{E1} - \frac{I_{C1}}{\beta} = \frac{I_{E1} \cdot \beta}{\beta - 1} = 2.65 \text{ mA}$$

y, en consecuencia la tensión de salida  $V_{z1}$ , será:

$$V_{z1} \approx V_{CC} - R_1 \cdot I_{C1} = 5.0V - (300\Omega \cdot 2.65 \text{ mA}) = 4.2V$$

Como  $Q_2$  está en la región de corte, no hay caída en  $R_2$ , y por consiguiente:

$$V_{z2} = V_{CC} - R_2 \cdot I_{C2} \cong V_{CC} = 5.0V$$

Cuando la entrada está en bajo nivel ( $V_i = 3.6V$ )  $Q_1$  pasará al corte,  $V_E$  irá descendiendo de valor (ya que  $I_{E1}$  disminuye a medida que  $Q_1$  va pasando al corte), y en el momento que llegue a 3.4 V  $Q_2$  conducirá, ya que en ese instante;

$V_{BE}(Q_2) = 4.0V - 3.4V = 0.6V$ ; y ahora se obtienen como salidas:

$$V_{z1} = 5.0V \quad \text{y} \quad V_{z2} = 4.2V$$

El circuito anterior se comporta, en su salida  $z1$ , como un inversor. Para realizar otras funciones lógicas podemos añadir transistores en paralelo con  $Q_1$ . Así el circuito de la Figura 4.35 realiza la operación lógica **NOR** en la salida **z1** y **OR** en la salida **z2**.

En efecto, basta con que una de las entradas (x o y) esté en el nivel alto, para que el transistor correspondiente ( $Q_x$  o  $Q_y$ ) entre en conducción obteniéndose así la función NOR y OR. El circuito de la Figura 4.35 es el esquema de la compuerta OR/NOR del chip referencia **10102**. Respecto al circuito de la Figura 4.34 tiene añadidos dos etapas adicionales:

1) Alimentación interna que proporciona  $V_{ref}$  (tensión en la base de  $Q_2$ ); se realiza con el transistor  $Q_4$ , que está siempre en conducción y al tener en su base una tensión fija, el voltaje de emisor es también constante del diseño está hecho de tal forma que:

$$V_{ref} = -1.29V$$

2) Los niveles de entrada y salida en el circuito de la Figura 4.xx son distintos, por lo que no podríamos interconectar dos compuertas de la misma familia. Si los niveles de salida se reducen hasta 0.6V no se tendría ese problema. Esta reducción se puede hacer sencillamente ubicando un diodo en cada una de las salidas (z1 y z2). Esto se logra con los transistores  $Q_5$  y  $Q_6$  de la Figura 4.35, que además hacen que la impedancia de salida sea muy baja, lo que permite interconectar en las salidas muchas compuertas de la misma familia. Las salidas deben conectarse a resistencias y permiten al diseñador elegir valores adecuados para reducir problemas inherentes a la alta velocidad de funcionamiento. Debido a la alta velocidad de funcionamiento las conexiones entre circuitos se comportan como líneas de transmisión, necesitándose cables coaxiales con resistencias terminales si las distancias son mayores que algunos centímetros. El tiempo de propagación de la compuerta ECL (10102) es de 2 ns, y el consumo de potencia de 25 mW.

A continuación se presenta la tabla 4.7 donde se describen las características promediadas de propagación de tiempo y consumo de potencia de las distintas tecnologías y familias de circuitos integrados digitales.

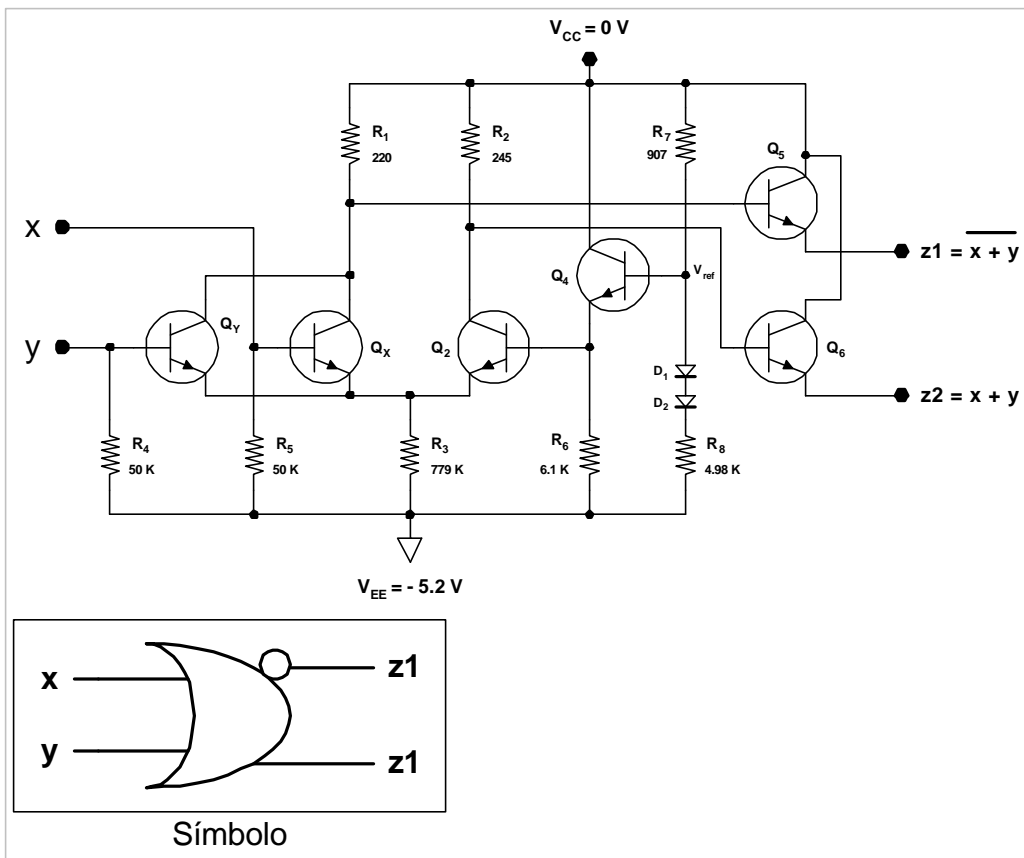


Figura 4.35. Estructura interna y símbolo de la compuerta ECL 10102.

Tecnología	Familia	Serie	Tiempo de Propagación (ns)	Potencia Disipada (mW)	Velocidad x Potencia (pJ)
Bipolar	TTL	LS	9	2	18
		AS	1.7	8	13.6
		ALS	4	1.2	4.8
		F	2.7	4	12
	ECL	10K	2	25	50
		100K	0.8	40	32
MOS	CMOS	4xxxB	100	1	100
		HC	18	0.6	10.8
		HCT	18	0.6	10.8
		AC	5.3	0.8	3.9
		ACT	4.8	0.8	3.6

Tabla 4.7. Características de tiempo y potencia de las familias TTL, ECL y CMOS.

A continuación se describe un ejercicio de compuertas de colector abierto, el cual se muestra en la figura 4.36.

**Ejercicio 4.2.** Cuatro compuertas AND de colector abierto 74LS09 se conectan en forma alamburada con su resistencia externa ( $R_{ex}$ ), a un BUS cuya longitud es de 30 centímetros, con una capacitancia uniformemente distribuida de 100 pF/m. En el bus, se conectan 5 entradas de compuertas 74F04 desplegadas a lo largo del mismo, como se muestra en la figura 4.36. A partir de los datos del manual colocados en la tabla, y manteniendo el margen de ruido de 0.7V, calcule el rango de valores de  $R_{ex}$  para que el circuito garantice un tiempo de subida, de la onda cuadrada, que esté por debajo de 150 ns. La fuente de alimentación es de 5V y la capacitancia que ofrece cada compuerta 74F04 al BUS, es de 15 pF.

74LS09	74F04
$V_{OH}(\text{mín}) = 2.7 \text{ V}$	$V_{IH}(\text{mín}) = 2.0 \text{ V}$
$V_{OL}(\text{máx}) = 0.5 \text{ V}$	$V_{IL}(\text{máx}) = 0.8 \text{ V}$
$I_{OH}(\text{máx}) = 100 \mu\text{A}$	$I_{IH}(\text{máx}) = 20 \mu\text{A}$
$I_{OL}(\text{máx}) = 8 \text{ mA}$	$I_{IL}(\text{máx}) = -0.6 \text{ mA}$

**Solución:** Primero se obtiene el rango de la resistencia externa calculando la resistencia mínima y la resistencia máxima sin cargas capacitivas. Luego, se calcula también la resistencia máxima tomando en cuenta el tiempo de subida.

Para  $V_{OL}$

La figura 4.36(b) indica los sentidos de las corrientes en nivel bajo, aquí basta que una de las compuertas de colector abierto 74LS09 se coloque en nivel bajo para que el resto también lo haga. La corriente de fuga de las compuertas que quedan en alto se desprecia.

En el nodo se debe cumplir lo siguiente:

$$I_{OL}(\text{máx}) \geq 5 \cdot I_{IL}(\text{máx}) + I_{ex}$$

$$I_{ex} \leq I_{OL}(\text{máx}) - 5 \cdot I_{IL}(\text{máx}) = 8 \text{ mA} - 5 \cdot (0.6 \text{ mA}) = 5 \text{ mA}$$

$$\frac{V_{CC} - V_{OL}}{R_{ex}} \leq 5 \text{ mA}$$



$$R_{ex} \geq \frac{V_{CC} - V_{OL}(m\acute{a}x)}{I_{ex}} = \frac{5V - 0.5V}{5mA} = 900\Omega$$

#### Para $V_{OH}$

La figura 4.36(c) indica los sentidos de las corrientes en nivel alto, todas las compuertas de colector abierto estan en alto y consumen, en el peor de los casos, la corriente  $I_{iH}(m\acute{a}x)$ . Aquı se debe garantizar el margen de ruido:

$$V_{NSH} = V_{OH}(m\acute{a}x) - V_{iH}(m\acute{a}x) = 0.7V.$$

En el nodo se debe cumplir lo siguiente:

$$I_{ex} = 4 \cdot I_{OH}(m\acute{a}x) + 5 \cdot I_{iH}(m\acute{a}x) = 400mA + 100mA = 500mA$$

$$R_{ex} \leq \frac{V_{CC} - V_{OH}(mn)}{I_{ex}} = \frac{5V - 2.7V}{500mA} = 4.6K\Omega$$

#### Para $V_{iH}$ tomando en consideracion el flanco de subida menor a 150 ns.

Se debe suponer que los transistores internos de colector abierto de las compuertas 74LS09 conmutan de nivel bajo a nivel alto sin retardo de tiempo. Cada circuito integrado 7404 posee una capacitancia de 15 pf que se suma a la del BUS; la capacitancia parsita total es igual:

$$C_T = 5 \cdot C_{in} + L \cdot C_{BUS} = 75pf + (0.30m \cdot 100pf/m) = 105pf$$

La ecuacion que determina el tiempo de carga de un condensador a traves de una resistencia desde un valor inicial  $V_1$  hasta otro valor final de tension  $V_2$  viene dada por la expresion:

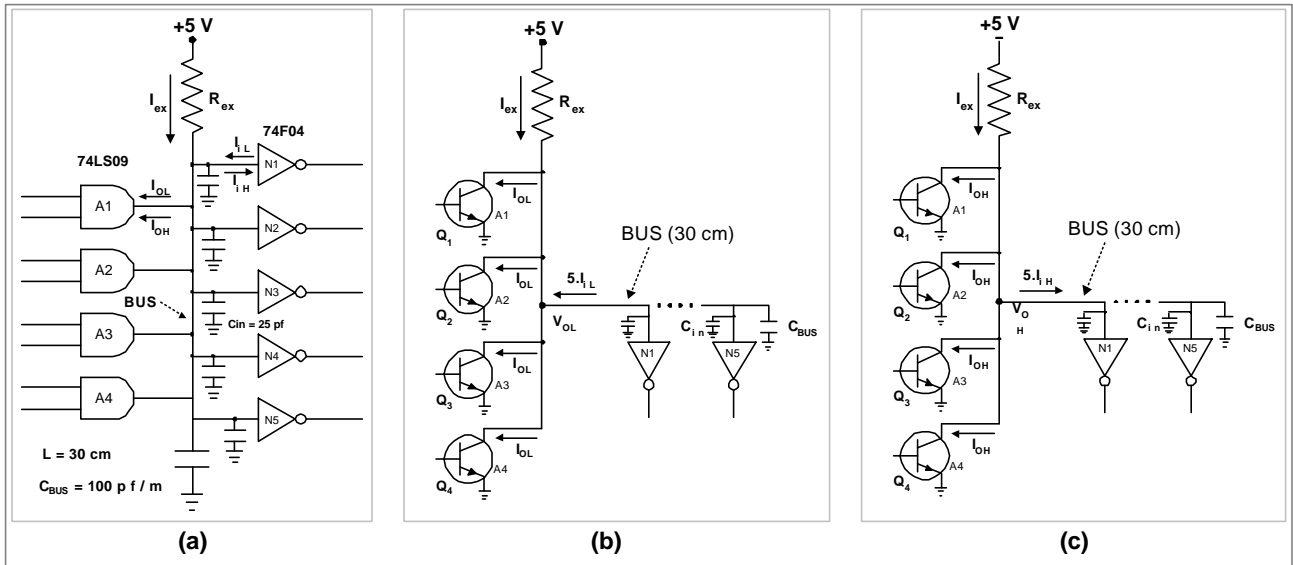
$$t_{carga} = R \cdot C \cdot \ln\left(\frac{V_{CC} - V_1}{V_{CC} - V_2}\right)$$

La tension  $V_1$  es la condicion de nivel bajo  $V_{OL}(m\acute{a}x)$  y  $V_2$  debe garantizar la transicion del nivel alto en  $V_{iH}(mn)$ , este tiempo de subida “ $t_r$ ” es acotado en 150 ns.

$$t_r = R_{ex} \cdot C_T \cdot \ln\left(\frac{V_{CC} - V_{OL}(m\acute{a}x)}{V_{CC} - V_{iH}(mn)}\right) < 150ns$$

$$R_{ex} < \frac{150 ns}{105 pf \cdot \ln(1.5)} = \frac{150 ns}{42.6 pf} = 3.52 K\Omega$$

El rango de la resistencia externa debe estar comprendido entre los valores:  
 $900\Omega < R_{ex} < 3.5 K\Omega$



**Figura 4.36. (a) Conexión de las compuertas del ejercicio 4.2, (b) Sentido de las corrientes para  $V_{OL}$  y (c) Sentido de las corrientes para  $V_{OH}$ .**