

PCB 中的走线与电流的关系

目前由于成本的原因，PCB 面积越来越小化，这给工程师带来很大的挑战，除了考虑电路精简、合理布局、改变元件封装等外，也要考虑走线的宽度，特别是 LCD TV 主板上有多组电源，占用不少的面积，如何使电源的走线占用更少的面积呢？

1. 盎司的概念

盎司(OZ)是重量的单位，国际上用单位面积的重量来控制铜皮的厚度，1 盎司=305g/m²±10%，它表示铜皮的厚度等于 35 微米。

2. PCB 铜皮厚度

PCB 铜皮有厚度之分，有 0.5 盎司(18um)厚度，1 盎司（35um）厚度，2 盎司（70um）厚度。需要更高厚度如 3 盎司、4 盎司，线路板厂可以电镀解决。可镀铜、镀银、镀金。一般 PCB 铜皮的厚度为 1 盎司，表面完成铜厚度为 1.6~2.0mil，即 40.6~50.8um(1.16 盎司~1.45 盎司)。线路板厂家会加上一定的余量。

3.PCB 铜皮厚度,走线宽度和电流的关系表

	铜皮厚度 35um		铜皮厚度 50um		铜皮厚度 70um	
	电流 A	宽度 mm	电流 A	宽度 mm	电流 A	宽度 mm
1	4.50	2.50	5.10	2.50	6.00	2.50
2	4.00	2.00	4.30	2.00	5.10	2.00
3	3.20	1.50	3.50	1.50	4.20	1.50
4	2.70	1.20	3.00	1.20	3.60	1.20
5	2.30	1.00	2.60	1.00	3.20	1.00
6	2.00	0.80	2.40	0.80	2.80	0.80
7	1.60	0.60	1.90	0.60	2.30	0.60
8	1.35	0.50	1.70	0.50	2.0	0.50
9	1.10	0.40	1.35	0.40	1.70	0.40
10	0.80	0.30	1.10	0.30	1.30	0.30
11	0.55	0.20	0.70	0.20	0.90	0.20
12	0.20	0.15	0.50	0.15	0.70	0.15

注：

1. 用铜皮作导线通过大电流时铜皮宽度的载流量应参考表中的数值降额 50% 去考虑

2. 由于敷铜板铜皮厚度有限,在需要流过较大电流的条状铜皮中,应考虑铜皮的载流量问题，仍以典型的 35um 厚度的为例，如果将铜皮作为宽为 W(mm)，长度为 L(mm)的条状导线，其电阻为 0.0005*L/W 欧姆。另外，铜皮的载流量还与印刷电路板上安装的元件种类，数量以及散热条件有关。在考虑到安全的情况下，一般可按经验公式 $0.15*W(A)$ 来计算铜皮的载流量。

本文来自：亮腾资讯网 (www.liangteng.com) 详细出处参考：
<http://www.liangteng.com/html/shejilanjian/2010/1690.html>

主板的各种类型信号的基本走线要求

首先在做图之前应对一些重要信号进行Space设置和一些线宽设置，如果客没有Layoutgaid,这就要求我们自己要有这方面的经验，，一般情况下我们要注意以下信号的基本走线规则：

1、CPU的走线：

CPU的走线一般情况下是走5/10 Control线间距要稍大些，在20mil左右，

<1>Data线（0-63） 64根；

<2>Address线（3-31） REQ(0-4)等

<3>Control线（一般分布在data线和Address线的中间）

Data线走线时每16根线为一组走在一起，走同层。

（0-15）（16-31）（32-47）（48-63）且每组分布2-3 根控制线，

Address线走线时每16根为一组走在一起，走同层，所不同的是Address线是从（3-31）前面（0-2）没有。一般分2组，

<1>（3-16）加5根REQ的线，18根；

<2>（17-31）16根；

CPU信号走线时还应与其他信号用20-30mil的GND线分开，如DDR的信号，以方便打VIA下内层GND,起到包地的作用。

2、DDR信号：

DDR的线除Control线外，一般也是走5/10 Control线要保持20mil的线距，和CPU一样也主要分为以下3类：

<1>Data线（0-63） 64根

<2>Address线(0-13)另外还有一些其他名字的address信号线，

<3>Control线（一般分布在data 和 address的线中间）

Data线走线时每8根为一组另加DQM,DQS2根Control线走在一起，走同层，主要分组方式为：

MD（0-7） 加 DQM0 DQS0

MD（8-15） 加 DQM 1 DQS 1

MD（16-23） 加 DQM 2 DQS 2

MD（24-31） 加 DQM3 DQS 3

MD（32-39） 加 DQM 4 DQS 4

MD（40-47） 加 DQM 5 DQS 5

MD（48-55） 加 DQM 6 DQS 6

MD（56-63） 加 DQM 7 DQS 7

Address线尽量全部走在一起；

另外DDR部分还有3对CLK 线如果是双通道的DDR则有6对CLK线，CLK配对走，与其他信号应至少保持20mil以上的间距。

DDR和CPU 一样也应与其他信号用20-30mil的GND信号隔开，主要是CPU和AGP的信号

3、CLK信号：

CLK信号是主板当中最为重要的信号，一般大至有以下几种：

<1>200兆

<2>100兆

<3>66 兆

<4>48 兆

<5>16 兆

一般前2种主要是用于CPU 和 NB 当中，为高频CLK线，应至少保持25mil以上的间距，配对走，一般走5/7，

第3种主要用于DDR 和SB 当中，走20/7/5/7/20，第4种一般用于PCI 和 AGP 当中，走20/7/5/7/20，第5种一般用得很少，主要是用于一些小的IC和AUDIO 部分，这种CLK相对前几种要稍显得不是那么的重要，走15/5/15即可，CLK信号还应少打via,一般不可超过2个VAI,走线时尽量参考到GND,晶振在组件面不可走线，晶振的信号尽量要短。

4、IDE信号：

IDE信号主要有（pd0-15）16根线加2根控制线，还有一些其他信号的线，控制线一般在25pin,和27pin,Space走10/5/10即可，

5、USB信号：

USB1.0 走10/10/10,与其他信号空20mil以上即可；

USB2.0 走7.5/7.5/7.5与其他信号空20mil以上即可；

走线时尽量参考到GND层。少打VAI,尽量不要超过2个VAI.

6、LAN信号：

LAN,信号一般有2对信号，配对走，走20/7/5/7/20或20/10/10/10/20,走线时尽量参考到GND层。少打VAI,尽量不要超过2个via.

7、AUDIO 信号：

AUDIO 信号一般走10/10即可，一般不能穿其他信号区过，其他信号区也不能穿AUDIO区过。

8、VLINK信号

VLINK信号一般有11根data线和2根控制线，2根控制线配对走，VLINK 信号的间距要大一些，至少要保持15mil 以上，2根对线与其他VLINK信号要保持20mil的线距。不要超过2个via,要包地。

9、PCI信号：

PCI信号要求不是那么的高，，走5/5/5即可。

10、电源信号：

电源信号走线时应注意线宽，主要是要分清电源的来源和电流大小，一般我们1A走40mil线宽即可，线宽不够时可考虑铺铜或切到内层，应尽量不要与重要信号走太近。

[ZT]布线系统中的屏蔽及非屏蔽

采用屏蔽布线系统主要是基于电磁兼容方面的考虑。所谓电磁兼容是指电子设备或网络系统具有一定的抵抗电磁干扰的能力,同时不能产生过量的电磁辐射。也就是说,要求该设备或网络系统能够在比较恶劣的电磁环境中正常工作,同时又不能辐射过量的电磁波干扰周围其它设备及网络的正常工作。

为什么目前电磁兼容引起重视?

一方面,外界电磁环境越来越恶劣,新的电磁干扰源不断产生,如无线寻呼,移动电话,微蜂窝个人通信系统等相继出现,而且工作频率不断提高。

另一方面,数据通信速率迅速增长,因为通信已不只局限于语音,数据,还包括高质量的图象信号。以局域网技术来讲,网络速率已经从以前的10MBPS提高到100MBPS,乃至ATM155MBPS,622MBPS,及目前议论较多的GBPS局域网技术。网络速率的提高,意味着工作频率的提高,而高频信号更易于受到电磁干扰,这就是在布线系统中引入电磁兼容概念的原因。

在欧洲,电磁兼容已经引起高度重视,并有一系列有关EMC的法规及标准,如89/336/EEC,EN55022及55024,按照欧洲规定,从1996年1月1日起,所有有源设备必须符合EMC规定,同时贴有CE标志。布线系统属于无源系统,但是,一旦它与有源网络设备相连构成系统,它也必须服从EMC的规定。

UTP(非屏蔽双绞线)电缆的EMC原理及局限性 UTP电缆属于平衡传输系统,它利用扭绞来抵消电磁干扰及电磁辐射。但是,利用这种平衡性来抵消电磁干扰及电磁辐射需要具备以下的条件:

1) UTP必须是理想的平衡系统 UTP只有具有理想的平衡特性才能有效地抵消电磁干扰及电磁辐射,但是,理想的平衡UTP是不存在的,因为:

a)UTP的平衡特性受周围环境影响 当UTP电缆附近存在金属物体或隐蔽接地时,由于不同导体与金属物体或地的距离不同,UTP的平衡特性会遭到破坏。实验表明,将UTP电缆穿入25.4MM钢管中,其衰减会增大2.5%,说明其特性阻抗减小了,从而表明UTP受周围环境影响。

b)弯曲也会破坏UTP的平衡特性 在实际安装时,电缆不可避免要弯曲。当电缆弯曲时,相邻绞节将疏密不同,不能有效抵消电磁干扰及电磁辐射。

2)UTP的节距与电磁干扰或信号波长相比必须充分小,才能有效地抵消电磁干扰和电磁辐射,即节距越小,EMC性能越好。但是,双绞线的绞结节距不可能无限减小。实验表明,当外界电磁干扰或网络工作频率超过30MHZ时,UTP的EMC性能下降,即网络的可靠性降低,误码率增大,电磁辐射也相应增大,UTP厂商的技术资料里也承认这一点。

以前的网络一般工作在较低的频率范围,如10MBPS以太网工作频率为10MHZ以内,16MHZ令牌网的工作频率在16MHZ以内,UTP系统在这样的低工作频带内具有一定的EMC能力,而且计算机通信具有出错重发及纠错能力,所以网络能够在一定的电磁环境中正常工作。

但是,随着快速以太网(100MBPS),ATM(155MBPS,622MBPS)及GBPS以太网技术逐渐实用化,网络的工作频率不断提高,同时外界电磁干扰频率也日益提高,UTP的平衡特性已不足以抵消网络本身的电磁辐射及外界的电磁干扰。所以,对于高速网络,非屏蔽系统要依赖压缩编码技术,将高速数据压缩到30MHZ以下,如ATM155MBPS,采用CAP16编码技术将带宽压缩到25.8MHZ。采用复杂的编码方式固然可以提高频谱利用率,但是需要在布线系统的两端加编码及解码设备,网络成本增加,而抗干扰能力降低,可靠性下降。

[ZT]PCB设计问答集（一）

1、如何选择 PCB 板材？

选择 PCB 板材必须在满足设计需求和可量产性及成本中间取得平衡点。设计需求包含电气和机构这两部分。通常在设计非常高速的 PCB 板子(大于 GHz 的频率)时这材质问题会比较重要。例如，现在常用的 FR-4 材质，在几个GHz 的频率时的介质损耗(dielectric loss)会对信号衰减有很大的影响，可能就不合用。就电气而言，要注意介电常数(dielectric constant)和介质损耗在所设计的频率是否合用。

2、如何避免高频干扰？

避免高频干扰的基本思路是尽量降低高频信号电磁场的干扰，也就是所谓的串扰(Crosstalk)。可用拉大高速信号和模拟信号之间的距离，或加 ground guard/shunt traces 在模拟信号旁边。还要注意数字地对模拟地的噪声干扰。

3、在高速设计中，如何解决信号的完整性问题？

信号完整性基本上是阻抗匹配的问题。而影响阻抗匹配的因素有信号源的架构和输出阻抗(output impedance)，走线的特性阻抗，负载端的特性，走线的拓扑(topology)架构等。解决的方式是靠端接(termination)与调整走线的拓扑。

4、差分布线方式是如何实现的？

差分对的布线有两点要注意，一是两条线的长度要尽量一样长，另一是两线的间距(此间距由差分阻抗决定)要一直保持不变，也就是要保持平行。平行的方式有两种，一为两条线走在同一走线层(side-by-side)，一为两条线走在上下相邻两层(over-under)。一般以前者 side-by-side(并排，并肩)实现的方式较多。

5、对于只有一个输出端的时钟信号线，如何实现差分布线？

要用差分布线一定是信号源和接收端也都是差分信号才有意义。所以对只有一个输出端的时钟信号是无法使用差分布线的。

6、接收端差分线对之间可否加一匹配电阻？

接收端差分线对间的匹配电阻通常会加，其值应等于差分阻抗的值。这样信号质量会好些。

7、为何差分对的布线要靠近且平行？

对差分对的布线方式应该要适当的靠近且平行。所谓适当的靠近是因为这间距会影响到差分阻抗(differential impedance)的值，此值是设计差分对的重要参数。需要平行也是因为要保持差分阻抗的一致性。若两线忽远忽近，差分阻抗就会不一致，就会影响信号完整性(signal integrity)及时间延迟(timing delay)。

8、如何处理实际布线中的一些理论冲突的问题

基本上，将模/数地分割隔离是对的。要注意的是信号走线尽量不要跨过有分割的地方(moat)，还有不要让电源和信号的回流电流路径(returning current path)变太大。

晶振是模拟的正反馈振荡电路，要有稳定的振荡信号，必须满足loop gain 与 phase 的规范，而这模拟信号的振荡规范很容易受到干扰，即使加 ground guard traces 可能也无法完全隔离干扰。而且离的太远，地平面上的噪声也会影响正反馈振荡电路。所以，一定要将晶振和芯片的距离尽可能靠近。

确实高速布线与 EMI 的要求有很多冲突。但基本原则是因 EMI 所加的电阻电容或 ferrite bead，不能造成信号的一些电气特性不符合规范。所以，最好先用安排走线和 PCB 迭层的技巧来解决或减少 EMI 的问题，如高速信号走内层。最后才用电阻电容或 ferrite bead 的方式，以降低对信号的伤害。

9、如何解决高速信号的手工布线和自动布线之间的矛盾？

现在较强的布线软件的自动布线器大部分都有设定约束条件来控制绕线方式及过孔数目。各家 EDA公司的绕线引擎能力和约束条件的设定项目有时相差甚远。例如，是否有足够的约束条件控制蛇行线(serpentine)蜿蜒的方式，能否控制差分对的走线间距等。这会影响到自动布线出来的走线方式是否能符合设计者的想法。另外，手动调整布线的难易也与绕线引擎的能力有绝对的关系。例如，走线的推挤能力,过孔的推挤能力，甚至走线对敷铜的推挤能力等等。所以，选择一个绕线引擎能力强的布线器，才是解决之道。

10、关于 test coupon。

test coupon 是用来以 TDR (Time Domain Reflectometer) 测量所生产的 PCB 板的特性阻抗是否满足设计需求。一般要控制的阻抗有单根线和差分对两种情况。所以，test coupon 上的走线线宽和线距(有差分对时)要与所要控制的线一样。最重要的是测量时接地点的位置。为了减少接地引线(ground lead)的电感值，TDR 探棒(probe)接地的地方通常非常接近量信号的地方(probe tip)，所以，test coupon 上量测信号的点跟接地点的距离和方式要符合所用的探棒。

[ZT]PCB设计问答集（二）

11、在高速 PCB 设计中，信号层的空白区域可以敷铜，而多个信号层的敷铜在接地和接电源上应如何分配？

一般在空白区域的敷铜绝大部分情况是接地。只是在高速信号线旁敷铜时要注意敷铜与信号线的距离，因为所敷的铜会降低一点走线的特性阻抗。也要注意不要影响到它层的特性阻抗，例如在 dual strip line 的结构时。

12、是否可以把电源平面上面的信号线使用微带线模型计算特性阻抗？电源和地平面之间的信号是否可以使用带状线模型计算？

是的，在计算特性阻抗时电源平面跟地平面都必须视为参考平面。例如四层板：顶层-电源层-地层-底层，这时顶层走线特性阻抗的模型是以电源平面为参考平面的微带线模型。

13、在高密度印制板上通过软件自动产生测试点一般情况下能满足大批量生产的测试要求吗？

一般软件自动产生测试点是否满足测试需求必须看对加测试点的规范是否符合测试机具的要求。另外，如果走线太密且加测试点的规范比较严，则有可能没办法自动对每段线都加上测试点，当然，需要手动补齐所要测试的地方。

14、添加测试点会不会影响高速信号的质量？

至于会不会影响信号质量就要看加测试点的方式和信号到底多快而定。基本上外加的测试点(不在线既有的穿孔(via or DIP pin)当测试点)可能加在线或是从在线拉一小段线出来。前者相当于是加上一个很小的电容在线，后者则是多了一段分支。这两个情况都会对高速信号多多少少会有点影响，影响的程度就跟信号的频率速度和信号缘变化率(edge rate)有关。影响大小可透过仿真得知。原则上测试点越小越好(当然还要满足测试机具的要求)分支越短越好。

15、若干 PCB 组成系统，各板之间的地线应如何连接？

各个 PCB 板子相互连接之间的信号或电源在动作时，例如 A 板子有电源或信号送到 B 板子，一定会有等量的电流从地层流回到 A 板子 (此为 Kirchhoff current law)。这地层上的电流会找阻抗最小的地方流回去。所以，在各个不管是电源或信号相互连接的接口处，分配给地层的管脚数不能太少，以降低阻抗，这样可以降低地层上的噪声。另外，也可以分析整个电流环路，尤其是电流较大的部分，调整地层或地线的接法，来控制电流的走法(例如，在某处制造低阻抗，让大部分的电流从这个地方走)，降低对其它较敏感信号的影响。

16、能介绍一些国外关于高速 PCB 设计的技术书籍和数据吗？

现在高速数字电路的应用有通信网路和计算器等相关领域。在通信网路方面，PCB 板的工作频率已达 GHz 上下，叠层数就我所知有到 40 层之多。计算器相关应用也因为芯片的进步，无论是一般的 PC 或服务器(Server)，板子上的最高工作频率也已经达到 400MHz (如 Rambus) 以上。因应这高速高密度走线需求，盲埋孔(blind/buried vias)、microvias 及 build-up 制程工艺的需求也渐渐越来越多。 这些设计需求都有厂商可大量生产。

17、两个常被参考的特性阻抗公式：

微带线(microstrip) $Z = \{87 / [\sqrt{Er + 1.41}]\} \ln[5.98H / (0.8W + T)]$ 其中，W 为线宽，T 为走线的铜皮厚度，H 为走线到参考平面的距离，Er 是 PCB 板材质的介电常数(dielectric constant)。此公式必须在 $0.1 < (W/H) < 2.0$ 及 $1 < (Er) < 15$ 的情况才能应用。

带状线(stripline) $Z = [60 / \sqrt{Er}] \ln\{4H / [0.67n(T + 0.8W)]\}$ 其中，H 为两参考平面的距离，并且走线位于两参考平面的中间。此公式必须在 $W/H < 0.35$ 及 $T/H < 0.25$ 的情况才能应用。

18、差分信号线中间可否加地线？

差分信号中间一般是不能加地线。因为差分信号的应用原理最重要的一点便是利用差分信号间相互耦合(coupling)所带来的好处，如 flux cancellation，抗噪声(noise immunity)能力等。若在中间加地线，便会破坏耦合效应。

19、刚柔板设计是否需要专用设计与规范？国内何处可以承接该类电路板加工？

可以用一般设计 PCB 的软件来设计柔性电路板(Flexible Printed Circuit)。一样用 Gerber 格式给 FPC 厂商生产。由于制造的工艺和一般 PCB 不同，各个厂商会依据他们的制造能力会对最小线宽、最小线距、最小孔径(via)有其限制。除此之外，可在柔性电路板的转折处铺些铜皮加以补强。至于生产的厂商可上网“FPC”当关键词查询应该可以找到。

20、适当选择 PCB 与外壳接地的点的原则是什么？

选择 PCB 与外壳接地点选择的原理是利用 chassis ground 提供低阻抗的路径给回流电流(returning current)及控制此回流电流的路径。例如，通常在高频器件或时钟产生器附近可以借固定用的螺丝将 PCB 的地层与 chassis ground 做连接，以尽量缩小整个电流回路面积，也就减少电磁辐射。

[ZT]PCB设计问答集（三）

21、电路板 DEBUG 应从那几个方面着手？

就数字电路而言，首先依序确定三件事情： 1. 确认所有电源值的大小均达到设计所需。有些多重电源的系统可能会要求某些电源之间起来的顺序与快慢有某种规范。 2. 确认所有时钟信号频率都工作正常且信号边缘上没有非单调(non-monotonic)的问题。 3. 确认 reset 信号是否达到规范要求。 这些都正常的话，芯片应该要发出第一个周期(cycle)的信号。接下来依照系统运作原理与 bus protocol 来 debug。

22、在电路板尺寸固定的情况下，如果设计中需要容纳更多的功能，就往往需要提高 PCB 的走线密度，但是这样有可能导致走线的相互干扰增强，同时走线过细也使阻抗无法降低，请专家介绍在高速(>100MHz)高密度 PCB 设计中的技巧？

在设计高速高密度 PCB 时，串扰(crosstalk interference)确实是要特别注意的，因为它对时序(timing)与信号完整性(signal integrity)有很大的影响。以下提供几个注意的地方：

控制走线特性阻抗的连续与匹配。

走线间距的大小。一般常看到的间距为两倍线宽。可以透过仿真来知道走线间距对时序及信号完整性的影响，找出可容忍的最小间距。不同芯片信号的结果可能不同。

选择适当的端接方式。

避免上下相邻两层的走线方向相同，甚至有走线正好上下重叠在一起，因为这种串扰比同层相邻走线的情形还大。

利用盲埋孔(blind/buried via)来增加走线面积。但是 PCB 板的制作成本会增加。在实际执行时确实很难达到完全平行与等长，不过还是要尽量做到。

除此以外，可以预留差分端接和共模端接，以缓和对时序与信号完整性的影响。

23、模拟电源处的滤波经常是用 LC 电路。但是为什么有时 LC 比 RC 滤波效果差？

LC 与 RC 滤波效果的比较必须考虑所要滤掉的频带与电感值的选择是否恰当。因为电感的感抗(reactance)大小与电感值和频率有关。如果电源的噪声频率较低，而电感值又不够大，这时滤波效果可能不如 RC。但是，使用 RC 滤波要付出的代价是电阻本身会耗能，效率较差，且要注意所选电阻能承受的功率。

24、滤波时选用电感，电容值的方法是什么？

电感值的选用除了考虑所想滤掉的噪声频率外，还要考虑瞬时电流的反应能力。如果 LC 的输出端会有机会需要瞬间输出大电流，则电感值太大会阻碍此大电流流经此电感的速度，增加纹波噪声(ripple noise)。电容值则和所能容忍的纹波噪声规范值的大小有关。纹波噪声值要求越小，电容值会较大。而电容的ESR/ESL也会有影响。另外，如果这 LC 是放在开关式电源(switching regulation power)的输出端时，还要注意此 LC 所产生的极点零点(pole/zero)对负反馈控制(negative feedback control)回路稳定度的影响。

25、如何尽可能的达到 EMC 要求，又不致造成太大的成本压力？

PCB 板上会因 EMC 而增加的成本通常是因增加地层数目以增强屏蔽效应及增加了 ferrite bead、choke等抑制高频谐波器件的缘故。除此之外，通常还是需搭配其它机构上的屏蔽结构才能使整个系统通过 EMC的要求。以下仅就 PCB 板的设计技巧提供几个降低电路产生的电磁辐射效应。

尽可能选用信号斜率(slew rate)较慢的器件，以降低信号所产生的高频成分。

注意高频器件摆放的位置，不要太靠近对外的连接器。

注意高速信号的阻抗匹配，走线层及其回流电流路径(return current path)，以减少高频的反射与辐射。

在各器件的电源管脚放置足够与适当的去耦合电容以缓和电源层和地层上的噪声。特别注意电容的频率响应与温度的特性是否符合设计所需。

对外的连接器附近的地可与地层做适当分割，并将连接器的地就近接到 chassis ground。

可适当运用 ground guard/shunt traces 在一些特别高速的信号旁。但要注意 guard/shunt traces 对走线特性阻抗的影响。

电源层比地层内缩 $20H$ ， H 为电源层与地层之间的距离。

26、当一块 PCB 板中有多个数/模功能块时，常规做法是要将数/模地分开，原因何在？

将数/模地分开的原因是因为数字电路在高低电位切换时会在电源和地产生噪声，噪声的大小跟信号的速度及电流大小有关。如果地平面上不分割且由数字区域电路所产生的噪声较大而模拟区域的电路又非常接近，则即使数模信号不交叉，模拟的信号依然会被地噪声干扰。也就是说数模地不分割的方式只能在模拟电路区域距产生大噪声的数字电路区域较远时使用。

27、另一种作法是在确保数/模分开布局，且数/模信号走线相互不交叉的情况下，整个 PCB板地不做分割，数/模地都连到这个地平面上。道理何在？

数模信号走线不能交叉的要求是因为速度稍快的数字信号其返回电流路径(return current path)会尽量沿着走线的下方附近的地流回数字信号的源头，若数模信号走线交叉，则返回电流所产生的噪声便会出现模拟电路区域内。

28、在高速 PCB 设计原理图设计时，如何考虑阻抗匹配问题？

在设计高速 PCB 电路时，阻抗匹配是设计的要素之一。而阻抗值跟走线方式有绝对的关系，例如是走在表面层(microstrip)或内层(stripline/double stripline)，与参考层(电源层或地层)的距离，走线宽度，PCB材质等均会影响走线的特性阻抗值。也就是说要在布线后才能确定阻抗值。一般仿真软件会因线路模型或所使用的数学算法的限制而无法考虑到一些阻抗不连续的布线情况，这时候在原理图上只能预留一些terminators(端接)，如串联电阻等，来缓和走线阻抗不连续的效应。真正根本解决问题的方法还是布线时尽量注意避免阻抗不连续的发生。

29、哪里能提供比较准确的 IBIS 模型库？

IBIS 模型的准确性直接影响到仿真的结果。基本上 IBIS 可看成是实际芯片 I/O buffer 等效电路的电气特性数据，一般可由 SPICE 模型转换而得（亦可采用测量，但限制较多），而 SPICE 的数据与芯片制造有绝对的关系，所以同样一个器件不同芯片厂商提供，其 SPICE 的数据是不同的，进而转换后的 IBIS 模型内之数据也会随之而异。也就是说，如果用了 A 厂商的器件，只有他们有能力提供他们器件准确模型数据，因为没有其它人会比他们更清楚他们的器件是由何种工艺做出来的。如果厂商所提供的 IBIS 不准确，只能不断要求该厂商改进才是根本解决之道。

30、在高速 PCB 设计时，设计者应该从那些方面去考虑 EMC、EMI 的规则呢？

一般 EMI/EMC 设计时需要同时考虑辐射(radiated)与传导(conducted)两个方面。前者归属于频率较高的部分(>30MHz)后者则是较低频的部分(<30MHz)。所以不能只注意高频而忽略低频的部分。一个好的EMI/EMC 设计必须一开始布局时就要考虑到器件的位置，PCB 叠层的安排，重要联机的走法，器件的选择等，如果这些没有事前有较佳的安排，事后解决则会事倍功半，增加成本。例如时钟产生器的位置尽量不要靠近对外的连接器，高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射，器件所推的信号之斜率(slew rate)尽量小以减低高频成分，选择去耦合(decoupling/bypass)电容时注意其频率响应是否符合需求以降低电源层噪声。另外，注意高频信号电流之回流路径使其回路面积尽量小(也就是回路阻抗loop impedance 尽量小)以减少辐射。还可以用分割地层的方式以控制高频噪声的范围。最后，适当的选择PCB 与外壳的接地点(chassis ground)。

[ZT]PCB设计问答集（四）

31、如何选择 EDA 工具？

目前的 pcb 设计软件中，热分析都不是强项，所以并不建议选用，其它的功能 1.3.4 可以选择 PADS或 Cadence 性能价格比都不错。PLD 的设计的初学者可以采用 PLD 芯片厂家提供的集成环境，在做到百万门以上的设计时可以选用单点工具。

32、请推荐一种适合于高速信号处理和传输的 EDA 软件。

常规的电路设计，INNOVEDA 的 PADS 就非常不错，且有配合用的仿真软件，而这类设计往往占据了 70%的应用场合。在做高速电路设计，模拟和数字混合电路，采用 Cadence 的解决方案应该属于性能价格比较好的软件，当然 Mentor 的性能还是非常不错的，特别是它的设计流程管理方面应该是最为优秀的。（大唐电信技术专家 王升）

33、对 PCB 板各层含义的解释

Topoverlay ----顶层器件名称，也叫 top silkscreen 或者 top component legend, 比如 R1 C5,

IC10.bottomoverlay----同理 multilayer-----如果你设计一个 4 层板，你放置一个 free pad or via, 定义它作为 multilay 那么它的 pad 就会自动出现在 4 个层上，如果你只定义它是 top layer, 那么它的 pad 就会只出现在顶层上。

34、2G 以上高频 PCB 设计，走线,排版,应重点注意哪些方面？

2G 以上高频 PCB 属于射频电路设计，不在高速数字电路设计讨论范围内。而射频电路的布局 (layout)和布线 (routing) 应该和原理图一起考虑的，因为布局布线都会造成分布效应。而且，射频电路设计一些无源器件是通过参数化定义，特殊形状铜箔实现，因此要求 EDA 工具能够提供参数化器件，能够编辑特殊形状铜箔。Mentor 公司的 boardstation 中有专门的 RF 设计模块，能够满足这些要求。而且，一般射频设计要求有专门射频电路分析工具，业界最著名的是 agilent 的 eesoft, 和 Mentor 的工具有很好的接口。

35、2G 以上高频 PCB 设计，微带的设计应遵循哪些规则？

射频微带线设计，需要用三维场分析工具提取传输线参数。所有的规则应该在这个场提取工具中规定。

36、对于全数字信号的 PCB，板上有一个 80MHz 的钟源。除了采用丝网（接地）外，为了保证有足够的驱动能力，还应该采用什么样的电路进行保护？

确保时钟的驱动能力，不应该通过保护实现，一般采用时钟驱动芯片。一般担心时钟驱动能力，是因为多个时钟负载造成。采用时钟驱动芯片，将一个时钟信号变成几个，采用点到点的连接。选择驱动芯片，除了保证与负载基本匹配，信号沿满足要求（一般时钟为沿有效信号），在计算系统时序时，要算上时钟在驱动芯片内时延。

37、如果用单独的时钟信号板，一般采用什么样的接口，来保证时钟信号的传输受到的影响小？

时钟信号越短，传输线效应越小。采用单独的时钟信号板，会增加信号布线长度。而且单板的接地供电也是问题。如果要长距离传输，建议采用差分信号。LVDS 信号可以满足驱动能力要求，不过您的时钟不是太快，没有必要。

38、27M,SDRAM 时钟线（80M-90M），这些时钟线二三次谐波刚好在 VHF 波段，从接收端高频窜入后干扰很大。除了缩短线长以外，还有哪些好办法？

如果是三次谐波大，二次谐波小，可能因为信号占空比为 50%，因为这种情况下，信号没有偶次谐波。这时需要修改一下信号占空比。此外，对于如果是单向的时钟信号，一般采用源端串联匹配。这样可以抑制二次反射，但不会影响时钟沿速率。源端匹配值，可以采用下图公式得到。

39、什么是走线的拓扑架构？

Topology,有的也叫 routing order.对于多端口连接的网络的布线次序。

40、怎样调整走线的拓扑架构来提高信号的完整性？

这种网络信号方向比较复杂，因为对单向，双向信号，不同电平种类信号，拓扑影响都不一样，很难说哪种拓扑对信号质量有利。而且作前仿真时，采用何种拓扑对工程师要求很高，要求对电路原理，信号类型，甚至布线难度等都要了解。