
; Table of Contents ;

1. Legal Notice
2. Legal Notice
3. Timing Analyzer Summary
4. Parallel Compilation
5. SDC File List
6. Clocks
7. Slow 1100mV 85C Model Fmax Summary
8. Timing Closure Recommendations
9. Slow 1100mV 85C Model Setup Summary
10. Slow 1100mV 85C Model Hold Summary
11. Slow 1100mV 85C Model Recovery Summary
12. Slow 1100mV 85C Model Removal Summary
13. Slow 1100mV 85C Model Minimum Pulse Width Summary
14. Slow 1100mV 85C Model Metastability Summary
15. Slow 1100mV 0C Model Fmax Summary
16. Slow 1100mV 0C Model Setup Summary
17. Slow 1100mV 0C Model Hold Summary
18. Slow 1100mV 0C Model Recovery Summary
19. Slow 1100mV 0C Model Removal Summary
20. Slow 1100mV 0C Model Minimum Pulse Width Summary
21. Slow 1100mV 0C Model Metastability Summary
22. Fast 1100mV 85C Model Setup Summary
23. Fast 1100mV 85C Model Hold Summary
24. Fast 1100mV 85C Model Recovery Summary
25. Fast 1100mV 85C Model Removal Summary
26. Fast 1100mV 85C Model Minimum Pulse Width Summary
27. Fast 1100mV 85C Model Metastability Summary
28. Fast 1100mV 0C Model Setup Summary
29. Fast 1100mV 0C Model Hold Summary
30. Fast 1100mV 0C Model Recovery Summary
31. Fast 1100mV 0C Model Removal Summary
32. Fast 1100mV 0C Model Minimum Pulse Width Summary
33. Fast 1100mV 0C Model Metastability Summary
34. Multicorner Timing Analysis Summary
35. Board Trace Model Assignments
36. Input Transition Times
37. Signal Integrity Metrics (Slow 1100mv 0c Model)
38. Signal Integrity Metrics (Slow 1100mv 85c Model)
39. Signal Integrity Metrics (Fast 1100mv 0c Model)
40. Signal Integrity Metrics (Fast 1100mv 85c Model)
41. Setup Transfers
42. Hold Transfers

- 43. Recovery Transfers
- 44. Removal Transfers
- 45. Report TCCS
- 46. Report RSKM
- 47. Unconstrained Paths Summary
- 48. Clock Status Summary
- 49. Timing Analyzer Messages

; Legal Notice ;

Copyright (C) 2023 Intel Corporation. All rights reserved.
Your use of Intel Corporation's design tools, logic functions
and other software and tools, and any partner logic
functions, and any output files from any of the foregoing
(including device programming or simulation files), and any
associated documentation or information are expressly subject
to the terms and conditions of the Intel Program License
Subscription Agreement, the Intel Quartus Prime License Agreement,
the Intel FPGA IP License Agreement, or other applicable license
agreement, including, without limitation, that your use is for
the sole purpose of programming logic devices manufactured by
Intel and sold by Intel or its authorized distributors. Please
refer to the applicable agreement for further details, at
<https://fpgasoftware.intel.com/eula>.

; Legal Notice ;

Copyright (C) 2023 Intel Corporation. All rights reserved.
Your use of Intel Corporation's design tools, logic functions
and other software and tools, and any partner logic
functions, and any output files from any of the foregoing
(including device programming or simulation files), and any
associated documentation or information are expressly subject
to the terms and conditions of the Intel Program License
Subscription Agreement, the Intel Quartus Prime License Agreement,
the Intel FPGA IP License Agreement, or other applicable license
agreement, including, without limitation, that your use is for
the sole purpose of programming logic devices manufactured by
Intel and sold by Intel or its authorized distributors. Please
refer to the applicable agreement for further details, at
<https://fpgasoftware.intel.com/eula>.

```

+-----+
; Timing Analyzer Summary
+-----+
; Quartus Prime Version ; Version 22.1std.1 Build 917 02/14/2023 SC Lite Edition ;
; Timing Analyzer       ; Legacy Timing Analyzer
; Revision Name         ; atm
; Device Family         ; Cyclone V
; Device Name           ; 5CSEMA5F31C6
; Timing Models         ; Final
; Delay Model           ; Combined
; Rise/Fall Delays     ; Enabled
+-----+

```

```

+-----+
; Parallel Compilation
+-----+
; Processors           ; Number
+-----+
; Number detected on machine ; 12
; Maximum allowed       ; 6
;
; Average used          ; 1.30
; Maximum used          ; 6
;
; Usage by Processor    ; % Time Used
;   Processor 1         ; 100.0%
;   Processor 2         ; 6.3%
;   Processor 3         ; 6.2%
;   Processor 4         ; 6.0%
;   Processor 5         ; 5.8%
;   Processor 6         ; 5.8%
+-----+

```

```

+-----+
; SDC File List
+-----+
; SDC File Path ; Status ; Read at
+-----+
; atm.out.sdc   ; OK      ; Fri Jul 14 19:17:08 2023 ;
+-----+

```

```

+-----+
+-----+
+-----+
; Clocks
;

```

```

+-----+-----+-----+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+-----+-----+-----+
--+-----+
; Clock Name ; Type ; Period ; Frequency ; Rise ; Fall ; Duty Cycle ; Divide by
; Multiply by ; Phase ; Offset ; Edge List ; Edge Shift ; Inverted ; Master ;
Source ; Targets ;
+-----+-----+-----+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+-----+-----+-----+
--+-----+
; Clk ; Base ; 20.000 ; 50.0 MHz ; 0.000 ; 10.000 ; ;
; ; ; ; ; ; ; ;
; { clk } ;
+-----+-----+-----+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+-----+-----+-----+
--+-----+

```

```

+-----+
; Slow 1100mV 85C Model Fmax Summary ;
+-----+-----+-----+-----+-----+
; Fmax ; Restricted Fmax ; Clock Name ; Note ;
+-----+-----+-----+-----+-----+
; 50.05 MHz ; 50.05 MHz ; Clk ; ;
+-----+-----+-----+-----+-----+

```

This panel reports FMAX for every clock in the design, regardless of the user-specified clock periods. FMAX is only computed for paths where the source and destination registers or ports are driven by the same clock. Paths of different clocks, including generated clocks, are ignored. For paths between a clock and its inversion, FMAX is computed as if the rising and falling edges are scaled along with FMAX, such that the duty cycle (in terms of a percentage) is maintained. Altera recommends that you always use clock constraints and other slack reports for sign-off analysis.

```

-----
; Timing Closure Recommendations ;
-----

```

HTML report is unavailable in plain text report export.

```

+-----+
; Slow 1100mV 85C Model Setup Summary ;
+-----+-----+-----+-----+-----+
; Clock ; Slack ; End Point TNS ;
+-----+-----+-----+-----+-----+
; Clk ; 0.009 ; 0.000 ;
+-----+-----+-----+-----+-----+

```

```

+-----+

```

```

; Slow 1100mV 85C Model Hold Summary ;
+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+
; Clk   ; 0.363 ; 0.000                          ;
+-----+-----+-----+

```

```

+-----+
; Slow 1100mV 85C Model Recovery Summary ;
+-----+
; Clock ; Slack ; End Point TNS          ;
+-----+
; Clk   ; 15.502 ; 0.000                  ;
+-----+

```

```

+-----+
; Slow 1100mV 85C Model Removal Summary ;
+-----+
; Clock ; Slack ; End Point TNS          ;
+-----+
; Clk   ; 0.470 ; 0.000                  ;
+-----+

```

```

+-----+
; Slow 1100mV 85C Model Minimum Pulse Width Summary ;
+-----+
; Clock ; Slack ; End Point TNS          ;
+-----+
; Clk   ; 9.213 ; 0.000                  ;
+-----+

```

```

-----
; Slow 1100mV 85C Model Metastability Summary ;
-----

```

No synchronizer chains to report.

```

+-----+
; Slow 1100mV 0C Model Fmax Summary          ;
+-----+
; Fmax      ; Restricted Fmax ; Clock Name ; Note ;
+-----+
; 51.23 MHz ; 51.23 MHz       ; Clk        ;      ;
+-----+

```

This panel reports FMAX for every clock in the design, regardless of the user-specified clock periods. FMAX is only computed for paths where the source and

destination registers or ports are driven by the same clock. Paths of different clocks, including generated clocks, are ignored. For paths between a clock and its inversion, FMAX is computed as if the rising and falling edges are scaled along with FMAX, such that the duty cycle (in terms of a percentage) is maintained. Altera recommends that you always use clock constraints and other slack reports for sign-off analysis.

```
+-----+
; Slow 1100mV 0C Model Setup Summary ;
+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+
; Clk   ; 0.240 ; 0.000                          ;
+-----+-----+-----+
```

```
+-----+
; Slow 1100mV 0C Model Hold Summary ;
+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+
; Clk   ; 0.364 ; 0.000                          ;
+-----+-----+-----+
```

```
+-----+
; Slow 1100mV 0C Model Recovery Summary ;
+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+
; Clk   ; 12.791 ; 0.000                          ;
+-----+-----+-----+
```

```
+-----+
; Slow 1100mV 0C Model Removal Summary ;
+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+
; Clk   ; 2.980 ; 0.000                          ;
+-----+-----+-----+
```

```
+-----+
; Slow 1100mV 0C Model Minimum Pulse Width Summary ;
+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+
; Clk   ; 9.283 ; 0.000                          ;
+-----+-----+-----+
```

+-----+-----+-----+-----+

; Slow 1100mV 0C Model Metastability Summary ;

No synchronizer chains to report.

+-----+
; Fast 1100mV 85C Model Setup Summary ;

+-----+
; Clock ; Slack ; End Point TNS ;

+-----+
; Clk ; 3.035 ; 0.000 ;

+-----+
; Fast 1100mV 85C Model Hold Summary ;

+-----+
; Clock ; Slack ; End Point TNS ;

+-----+
; Clk ; 0.182 ; 0.000 ;

+-----+
; Fast 1100mV 85C Model Recovery Summary ;

+-----+
; Clock ; Slack ; End Point TNS ;

+-----+
; Clk ; 14.450 ; 0.000 ;

+-----+
; Fast 1100mV 85C Model Removal Summary ;

+-----+
; Clock ; Slack ; End Point TNS ;

+-----+
; Clk ; 2.316 ; 0.000 ;

+-----+
; Fast 1100mV 85C Model Minimum Pulse Width Summary ;

+-----+
; Clock ; Slack ; End Point TNS ;

+-----+

```
; Clk      ; 9.102 ; 0.000                      ;
+-----+-----+-----+-----+-----+-----+
```

```
-----
; Fast 1100mV 85C Model Metastability Summary ;
-----
```

No synchronizer chains to report.

```
+-----+
; Fast 1100mV 0C Model Setup Summary ;
+-----+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+-----+
; Clk   ; 3.266 ; 0.000              ;
+-----+-----+-----+-----+
```

```
+-----+
; Fast 1100mV 0C Model Hold Summary ;
+-----+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+-----+
; Clk   ; 0.171 ; 0.000              ;
+-----+-----+-----+-----+
```

```
+-----+
; Fast 1100mV 0C Model Recovery Summary ;
+-----+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+-----+
; Clk   ; 16.315 ; 0.000             ;
+-----+-----+-----+-----+
```

```
+-----+
; Fast 1100mV 0C Model Removal Summary ;
+-----+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
+-----+-----+-----+-----+
; Clk   ; 0.659 ; 0.000              ;
+-----+-----+-----+-----+
```

```
+-----+
; Fast 1100mV 0C Model Minimum Pulse Width Summary ;
+-----+-----+-----+-----+
; Clock ; Slack ; End Point TNS      ;
```



```

+-----+-----+-----+
; Clk      ; 9.064 ; 0.000      ;
+-----+-----+-----+

```

```

-----
; Fast 1100mV 0C Model Metastability Summary ;
-----

```

No synchronizer chains to report.

```

+-----+-----+-----+-----+-----+-----+
; Multicorner Timing Analysis Summary ;
+-----+-----+-----+-----+-----+-----+
; Clock      ; Setup ; Hold  ; Recovery ; Removal ; Minimum Pulse Width ;
+-----+-----+-----+-----+-----+-----+
; Worst-case Slack ; 0.009 ; 0.171 ; 12.791  ; 0.470  ; 9.064      ;
; Clk          ; 0.009 ; 0.171 ; 12.791  ; 0.470  ; 9.064      ;
; Design-wide TNS ; 0.0    ; 0.0    ; 0.0      ; 0.0     ; 0.0        ;
; Clk          ; 0.000 ; 0.000 ; 0.000    ; 0.000   ; 0.000      ;
+-----+-----+-----+-----+-----+-----+

```

```

+-----+
-----
-----
-----
-----
-----
-----
+
; Board Trace Model Assignments

```

```

;
+-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
; Pin      ; I/O Standard ; Near Tline Length ; Near Tline L per Length ; Near
Tline C per Length ; Near Series R ; Near Differential R ; Near Pull-up R ; Near
Pull-down R ; Near C ; Far Tline Length ; Far Tline L per Length ; Far Tline C per
Length ; Far Series R ; Far Pull-up R ; Far Pull-down R ; Far C ; Termination
Voltage ; Far Differential R ; EBD File Name ; EBD Signal Name ; EBD Far-end ;
+-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
; balance[0] ; 2.5 V      ; 0 in      ; 0 H/in      ; 0
F/in      ; short      ; -      ; open      ; open

```

```

; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[1] ; 2.5 V ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[2] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[3] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[4] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[5] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[6] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[7] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[8] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[9] ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[10] ; 2.5 V ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open

```

```

; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[11] ; 2.5 V ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[12] ; 2.5 V ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[13] ; 2.5 V ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[14] ; 2.5 V ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; balance[15] ; 2.5 V ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; accountfound ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; pinfound ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
; clk_out ; 3.3-V LVCMOS ; 0 in ; 0 H/in ; 0
F/in ; short ; - ; open ; open
; open ; 0 in ; 0 H/in ; 0 F/in
; short ; open ; open ; open ; 0 V
; - ; n/a ; n/a ; n/a ;
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+

```

```

+-----+
; Input Transition Times ;
+-----+-----+-----+-----+
; Pin ; I/O Standard ; 10-90 Rise Time ; 90-10 Fall Time ;
+-----+-----+-----+-----+
; clk ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; reset ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; enter ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; amount_in[0] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; amount_in[1] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; amount_in[3] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; amount_in[2] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; accNumber[1] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; accNumber[0] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; Pin[1] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; Pin[0] ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; dep ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; with_d ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; mini_s ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
; card_inserted ; 3.3-V LVCMOS ; 2640 ps ; 2640 ps ;
+-----+-----+-----+-----+

```

```

+-----+
-----
-----
-----
-----
-----
-----
-----
-----
+-----+
; Signal Integrity Metrics (Slow 1100mv 0c Model)

```

```

;
+-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+
; Pin ; I/O Standard ; Board Delay on Rise ; Board Delay on Fall ; Steady

```



```

; 0.394 V ; 4.46e-10 s ;
1.64e-10 s ; Yes ; No ;
;
; balance[4] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 2.62e-07 V ; 3.1 V ; -0.153
V ; 0.035 V ; 0.31 V ;
; 4.23e-10 s ; 1.59e-10 s ; Yes ;
; No ; 3.08 V ; 2.62e-07 V
; 3.1 V ; -0.153 V ; 0.035 V
; 0.31 V ; 4.23e-10 s ;
1.59e-10 s ; Yes ; No ;
;
; balance[5] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 2.62e-07 V ; 3.1 V ; -0.153
V ; 0.035 V ; 0.31 V ;
; 4.23e-10 s ; 1.59e-10 s ; Yes ;
; No ; 3.08 V ; 2.62e-07 V
; 3.1 V ; -0.153 V ; 0.035 V
; 0.31 V ; 4.23e-10 s ;
1.59e-10 s ; Yes ; No ;
;
; balance[6] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.5e-07 V ; 3.14 V ; -0.195
V ; 0.158 V ; 0.394 V ;
; 4.46e-10 s ; 1.64e-10 s ; Yes ;
; No ; 3.08 V ; 3.5e-07 V
; 3.14 V ; -0.195 V ; 0.158 V
; 0.394 V ; 4.46e-10 s ;
1.64e-10 s ; Yes ; No ;
;
; balance[7] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.5e-07 V ; 3.14 V ; -0.195
V ; 0.158 V ; 0.394 V ;
; 4.46e-10 s ; 1.64e-10 s ; Yes ;
; No ; 3.08 V ; 3.5e-07 V
; 3.14 V ; -0.195 V ; 0.158 V
; 0.394 V ; 4.46e-10 s ;
1.64e-10 s ; Yes ; No ;
;
; balance[8] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.5e-07 V ; 3.14 V ; -0.195
V ; 0.158 V ; 0.394 V ;
; 4.46e-10 s ; 1.64e-10 s ; Yes ;
; No ; 3.08 V ; 3.5e-07 V
; 3.14 V ; -0.195 V ; 0.158 V
; 0.394 V ; 4.46e-10 s ;
1.64e-10 s ; Yes ; No ;
;
; balance[9] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 2.62e-07 V ; 3.1 V ; -0.153

```

```

V          ; 0.035 V          ; 0.31 V
      ; 4.23e-10 s          ; 1.59e-10 s          ; Yes
      ; No          ; 3.08 V          ; 2.62e-07 V
      ; 3.1 V          ; -0.153 V          ; 0.035 V
      ; 0.31 V          ; 4.23e-10 s          ;
1.59e-10 s          ; Yes          ; No
;
; balance[10] ; 2.5 V          ; 0 s          ; 2.32 V
      ; 3.07e-07 V          ; 2.36 V          ; -0.0231
V          ; 0.14 V          ; 0.089 V
      ; 4.52e-10 s          ; 4.35e-10 s          ; No
      ; Yes          ; 2.32 V          ; 3.07e-07 V
      ; 2.36 V          ; -0.0231 V          ; 0.14 V
      ; 0.089 V          ; 4.52e-10 s          ;
4.35e-10 s          ; No          ; Yes
;
; balance[11] ; 2.5 V          ; 0 s          ; 2.32 V
      ; 3.6e-07 V          ; 2.41 V          ; -0.0463
V          ; 0.201 V          ; 0.131 V
      ; 4.61e-10 s          ; 4.53e-10 s          ; No
      ; Yes          ; 2.32 V          ; 3.6e-07 V
      ; 2.41 V          ; -0.0463 V          ; 0.201 V
      ; 0.131 V          ; 4.61e-10 s          ;
4.53e-10 s          ; No          ; Yes
;
; balance[12] ; 2.5 V          ; 0 s          ; 2.32 V
      ; 3.52e-07 V          ; 2.42 V          ; -0.0557
V          ; 0.175 V          ; 0.114 V
      ; 4.5e-10 s          ; 4.35e-10 s          ; No
      ; No          ; 2.32 V          ; 3.52e-07 V
      ; 2.42 V          ; -0.0557 V          ; 0.175 V
      ; 0.114 V          ; 4.5e-10 s          ;
4.35e-10 s          ; No          ; No
;
; balance[13] ; 2.5 V          ; 0 s          ; 2.32 V
      ; 3.6e-07 V          ; 2.41 V          ; -0.0463
V          ; 0.201 V          ; 0.131 V
      ; 4.61e-10 s          ; 4.53e-10 s          ; No
      ; Yes          ; 2.32 V          ; 3.6e-07 V
      ; 2.41 V          ; -0.0463 V          ; 0.201 V
      ; 0.131 V          ; 4.61e-10 s          ;
4.53e-10 s          ; No          ; Yes
;
; balance[14] ; 2.5 V          ; 0 s          ; 2.32 V
      ; 3.52e-07 V          ; 2.42 V          ; -0.0568
V          ; 0.173 V          ; 0.113 V
      ; 4.5e-10 s          ; 4.35e-10 s          ; No
      ; No          ; 2.32 V          ; 3.52e-07 V
      ; 2.42 V          ; -0.0568 V          ; 0.173 V
      ; 0.113 V          ; 4.5e-10 s          ;

```

```

4.35e-10 s          ; No          ; No
;
; balance[15] ; 2.5 V          ; 0 s          ; 2.32 V
          ; 3.6e-07 V          ; 2.41 V          ; -0.0463
V          ; 0.201 V          ; 0.131 V
          ; 4.61e-10 s          ; 4.53e-10 s          ; No
          ; Yes          ; 2.32 V          ; 3.6e-07 V
          ; 2.41 V          ; -0.0463 V          ; 0.201 V
          ; 0.131 V          ; 4.61e-10 s          ;
4.53e-10 s          ; No          ; Yes
;
; accountfound ; 3.3-V LVCMOS ; 0 s          ; 3.08 V
          ; 2.62e-07 V          ; 3.1 V          ; -0.153
V          ; 0.035 V          ; 0.31 V
          ; 4.23e-10 s          ; 1.59e-10 s          ; Yes
          ; No          ; 3.08 V          ; 2.62e-07 V
          ; 3.1 V          ; -0.153 V          ; 0.035 V
          ; 0.31 V          ; 4.23e-10 s          ;
1.59e-10 s          ; Yes          ; No
;
; pinfound      ; 3.3-V LVCMOS ; 0 s          ; 3.08 V
          ; 3.35e-07 V          ; 3.14 V          ; -0.258
V          ; 0.13 V          ; 0.399 V
          ; 4.27e-10 s          ; 1.5e-10 s          ; Yes
          ; No          ; 3.08 V          ; 3.35e-07 V
          ; 3.14 V          ; -0.258 V          ; 0.13 V
          ; 0.399 V          ; 4.27e-10 s          ;
1.5e-10 s          ; Yes          ; No
;
; clk_out        ; 3.3-V LVCMOS ; 0 s          ; 3.08 V
          ; 3.5e-07 V          ; 3.14 V          ; -0.195
V          ; 0.158 V          ; 0.394 V
          ; 4.46e-10 s          ; 1.64e-10 s          ; Yes
          ; No          ; 3.08 V          ; 3.5e-07 V
          ; 3.14 V          ; -0.195 V          ; 0.158 V
          ; 0.394 V          ; 4.46e-10 s          ;
1.64e-10 s          ; Yes          ; No
;
+-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+

```



```

-----+
-----+
-----+
-----+
-----+
-----+
-----+
-----+
-----+
-----+
----+
; Signal Integrity Metrics (Slow 1100mv 85c Model)

;

+-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+
----+
; Pin          ; I/O Standard ; Board Delay on Rise ; Board Delay on Fall ; Steady
State Voh at FPGA Pin ; Steady State Vol at FPGA Pin ; Voh Max at FPGA Pin ; Vol
Min at FPGA Pin ; Ringback Voltage on Rise at FPGA Pin ; Ringback Voltage on Fall
at FPGA Pin ; 10-90 Rise Time at FPGA Pin ; 90-10 Fall Time at FPGA Pin ; Monotonic
Rise at FPGA Pin ; Monotonic Fall at FPGA Pin ; Steady State Voh at Far-end ;
Steady State Vol at Far-end ; Voh Max at Far-end ; Vol Min at Far-end ; Ringback
Voltage on Rise at Far-end ; Ringback Voltage on Fall at Far-end ; 10-90 Rise Time
at Far-end ; 90-10 Fall Time at Far-end ; Monotonic Rise at Far-end ; Monotonic
Fall at Far-end ;
+-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+-----+-----+-----+-----+
-----+
----+
; balance[0]    ; 2.5 V          ; 0 s          ; 0 s          ; 2.32 V
                ; 3.88e-05 V        ; 2.39 V       ; -0.0374
V               ; 0.189 V          ; 0.158 V
                ; 4.66e-10 s        ; 4.67e-10 s   ; No
                ; Yes              ; 2.32 V       ; 3.88e-05 V
                ; 2.39 V          ; -0.0374 V    ; 0.189 V
                ; 0.158 V          ; 4.66e-10 s   ;

```

```

4.67e-10 s ; No ; Yes
;
; balance[1] ; 2.5 V ; 0 s ; 0 s ; 2.32 V
; ; 3.88e-05 V ; 2.39 V ; -0.037
V ; 0.188 V ; 0.158 V
; 4.67e-10 s ; 4.67e-10 s ; No
; Yes ; 2.32 V ; 3.88e-05 V
; 2.39 V ; -0.037 V ; 0.188 V
; 0.158 V ; 4.67e-10 s ;
4.67e-10 s ; No ; Yes
;
; balance[2] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.32e-05 V ; 3.09 V ; -0.11 V
; 0.031 V ; 0.155 V
; 5.43e-10 s ; 3.14e-10 s ; Yes
; Yes ; 3.08 V ; 3.32e-05 V
; 3.09 V ; -0.11 V ; 0.031 V
; 0.155 V ; 5.43e-10 s ;
3.14e-10 s ; Yes ; Yes
;
; balance[3] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.32e-05 V ; 3.09 V ; -0.11 V
; 0.031 V ; 0.155 V
; 5.43e-10 s ; 3.14e-10 s ; Yes
; Yes ; 3.08 V ; 3.32e-05 V
; 3.09 V ; -0.11 V ; 0.031 V
; 0.155 V ; 5.43e-10 s ;
3.14e-10 s ; Yes ; Yes
;
; balance[4] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 2.61e-05 V ; 3.09 V ; -0.0638
V ; 0.034 V ; 0.099 V
; 5.12e-10 s ; 2.97e-10 s ; Yes
; Yes ; 3.08 V ; 2.61e-05 V
; 3.09 V ; -0.0638 V ; 0.034 V
; 0.099 V ; 5.12e-10 s ;
2.97e-10 s ; Yes ; Yes
;
; balance[5] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 2.61e-05 V ; 3.09 V ; -0.0638
V ; 0.034 V ; 0.099 V
; 5.12e-10 s ; 2.97e-10 s ; Yes
; Yes ; 3.08 V ; 2.61e-05 V
; 3.09 V ; -0.0638 V ; 0.034 V
; 0.099 V ; 5.12e-10 s ;
2.97e-10 s ; Yes ; Yes
;
; balance[6] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.32e-05 V ; 3.09 V ; -0.11 V
; 0.031 V ; 0.155 V

```

```

; 5.43e-10 s ; 3.14e-10 s ; Yes
; Yes ; 3.08 V ; 3.32e-05 V
; 3.09 V ; -0.11 V ; 0.031 V
; 0.155 V ; 5.43e-10 s ;
3.14e-10 s ; Yes ; Yes
;
; balance[7] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.32e-05 V ; 3.09 V ; -0.11 V
; 0.031 V ; 0.155 V
; 5.43e-10 s ; 3.14e-10 s ; Yes
; Yes ; 3.08 V ; 3.32e-05 V
; 3.09 V ; -0.11 V ; 0.031 V
; 0.155 V ; 5.43e-10 s ;
3.14e-10 s ; Yes ; Yes
;
; balance[8] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.32e-05 V ; 3.09 V ; -0.11 V
; 0.031 V ; 0.155 V
; 5.43e-10 s ; 3.14e-10 s ; Yes
; Yes ; 3.08 V ; 3.32e-05 V
; 3.09 V ; -0.11 V ; 0.031 V
; 0.155 V ; 5.43e-10 s ;
3.14e-10 s ; Yes ; Yes
;
; balance[9] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 2.61e-05 V ; 3.09 V ; -0.0638
V ; 0.034 V ; 0.099 V
; 5.12e-10 s ; 2.97e-10 s ; Yes
; Yes ; 3.08 V ; 2.61e-05 V
; 3.09 V ; -0.0638 V ; 0.034 V
; 0.099 V ; 5.12e-10 s ;
2.97e-10 s ; Yes ; Yes
;
; balance[10] ; 2.5 V ; 0 s ; 0 s ; 2.32 V
; ; 3.49e-05 V ; 2.34 V ; -0.0118
V ; 0.182 V ; 0.051 V
; 4.81e-10 s ; 4.83e-10 s ; Yes
; Yes ; 2.32 V ; 3.49e-05 V
; 2.34 V ; -0.0118 V ; 0.182 V
; 0.051 V ; 4.81e-10 s ;
4.83e-10 s ; Yes ; Yes
;
; balance[11] ; 2.5 V ; 0 s ; 0 s ; 2.32 V
; ; 3.96e-05 V ; 2.38 V ; -0.0306
V ; 0.23 V ; 0.206 V
; 4.83e-10 s ; 5.01e-10 s ; No
; Yes ; 2.32 V ; 3.96e-05 V
; 2.38 V ; -0.0306 V ; 0.23 V
; 0.206 V ; 4.83e-10 s ;
5.01e-10 s ; No ; Yes

```

```

;
; balance[12] ; 2.5 V ; 0 s ; 0 s ; 2.32 V
; ; 3.88e-05 V ; 2.39 V ; -0.037
V ; 0.188 V ; 0.158 V
; 4.67e-10 s ; 4.67e-10 s ; No
; Yes ; 2.32 V ; 3.88e-05 V
; ; 2.39 V ; -0.037 V ; 0.188 V
; 0.158 V ; 4.67e-10 s ;
4.67e-10 s ; No ; Yes
;
; balance[13] ; 2.5 V ; 0 s ; 0 s ; 2.32 V
; ; 3.96e-05 V ; 2.38 V ; -0.0306
V ; 0.23 V ; 0.206 V
; 4.83e-10 s ; 5.01e-10 s ; No
; Yes ; 2.32 V ; 3.96e-05 V
; ; 2.38 V ; -0.0306 V ; 0.23 V
; 0.206 V ; 4.83e-10 s ;
5.01e-10 s ; No ; Yes
;
; balance[14] ; 2.5 V ; 0 s ; 0 s ; 2.32 V
; ; 3.88e-05 V ; 2.39 V ; -0.0374
V ; 0.189 V ; 0.158 V
; 4.66e-10 s ; 4.67e-10 s ; No
; Yes ; 2.32 V ; 3.88e-05 V
; ; 2.39 V ; -0.0374 V ; 0.189 V
; 0.158 V ; 4.66e-10 s ;
4.67e-10 s ; No ; Yes
;
; balance[15] ; 2.5 V ; 0 s ; 0 s ; 2.32 V
; ; 3.96e-05 V ; 2.38 V ; -0.0306
V ; 0.23 V ; 0.206 V
; 4.83e-10 s ; 5.01e-10 s ; No
; Yes ; 2.32 V ; 3.96e-05 V
; ; 2.38 V ; -0.0306 V ; 0.23 V
; 0.206 V ; 4.83e-10 s ;
5.01e-10 s ; No ; Yes
;
; accountfound ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 2.61e-05 V ; 3.09 V ; -0.0638
V ; 0.034 V ; 0.099 V
; 5.12e-10 s ; 2.97e-10 s ; Yes
; Yes ; 3.08 V ; 2.61e-05 V
; ; 3.09 V ; -0.0638 V ; 0.034 V
; 0.099 V ; 5.12e-10 s ;
2.97e-10 s ; Yes ; Yes
;
; pinfound ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.08 V
; ; 3.19e-05 V ; 3.1 V ; -0.133
V ; 0.025 V ; 0.169 V
; 4.92e-10 s ; 3.13e-10 s ; Yes

```



```

----+
; Pin          ; I/O Standard ; Board Delay on Rise ; Board Delay on Fall ; Steady
State Voh at FPGA Pin ; Steady State Vol at FPGA Pin ; Voh Max at FPGA Pin ; Vol
Min at FPGA Pin ; Ringback Voltage on Rise at FPGA Pin ; Ringback Voltage on Fall
at FPGA Pin ; 10-90 Rise Time at FPGA Pin ; 90-10 Fall Time at FPGA Pin ; Monotonic
Rise at FPGA Pin ; Monotonic Fall at FPGA Pin ; Steady State Voh at Far-end ;
Steady State Vol at Far-end ; Voh Max at Far-end ; Vol Min at Far-end ; Ringback
Voltage on Rise at Far-end ; Ringback Voltage on Fall at Far-end ; 10-90 Rise Time
at Far-end ; 90-10 Fall Time at Far-end ; Monotonic Rise at Far-end ; Monotonic
Fall at Far-end ;

```

```

+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+

```

```

----+
; balance[0]    ; 2.5 V          ; 0 s          ; 0 s          ; 2.75 V
                ; 4.14e-06 V      ; 2.91 V      ; -0.119
V              ; 0.326 V          ; 0.298 V
                ; 2.74e-10 s      ; 2.8e-10 s      ; No
                ; No              ; 2.75 V        ; 4.14e-06 V
                ; 2.91 V          ; -0.119 V      ; 0.326 V
                ; 0.298 V          ; 2.74e-10 s      ;
2.8e-10 s      ; No              ; No
;
; balance[1]    ; 2.5 V          ; 0 s          ; 2.75 V
                ; 4.14e-06 V      ; 2.91 V      ; -0.121
V              ; 0.326 V          ; 0.297 V
                ; 2.74e-10 s      ; 2.8e-10 s      ; No
                ; No              ; 2.75 V        ; 4.14e-06 V
                ; 2.91 V          ; -0.121 V      ; 0.326 V
                ; 0.297 V          ; 2.74e-10 s      ;
2.8e-10 s      ; No              ; No
;
; balance[2]    ; 3.3-V LVCMOS ; 0 s          ; 3.63 V
                ; 4.94e-06 V      ; 3.69 V      ; -0.414
V              ; 0.134 V          ; 0.585 V
                ; 4.19e-10 s      ; 1.53e-10 s      ; Yes
                ; No              ; 3.63 V        ; 4.94e-06 V
                ; 3.69 V          ; -0.414 V      ; 0.134 V
                ; 0.585 V          ; 4.19e-10 s      ;
1.53e-10 s      ; Yes              ; No
;
; balance[3]    ; 3.3-V LVCMOS ; 0 s          ; 3.63 V
                ; 4.94e-06 V      ; 3.69 V      ; -0.414
V              ; 0.134 V          ; 0.585 V
                ; 4.19e-10 s      ; 1.53e-10 s      ; Yes

```

```

; No ; 3.63 V ; 4.94e-06 V
; 3.69 V ; -0.414 V ; 0.134 V
; 0.585 V ; 4.19e-10 s ;
1.53e-10 s ; Yes ; No
;
; balance[4] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 3.63e-06 V ; 3.64 V ; -0.326
V ; 0.091 V ; 0.479 V
; 3.83e-10 s ; 1.5e-10 s ; Yes
; No ; 3.63 V ; 3.63e-06 V
; 3.64 V ; -0.326 V ; 0.091 V
; 0.479 V ; 3.83e-10 s ;
1.5e-10 s ; Yes ; No
;
; balance[5] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 3.63e-06 V ; 3.64 V ; -0.326
V ; 0.091 V ; 0.479 V
; 3.83e-10 s ; 1.5e-10 s ; Yes
; No ; 3.63 V ; 3.63e-06 V
; 3.64 V ; -0.326 V ; 0.091 V
; 0.479 V ; 3.83e-10 s ;
1.5e-10 s ; Yes ; No
;
; balance[6] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 4.94e-06 V ; 3.69 V ; -0.414
V ; 0.134 V ; 0.585 V
; 4.19e-10 s ; 1.53e-10 s ; Yes
; No ; 3.63 V ; 4.94e-06 V
; 3.69 V ; -0.414 V ; 0.134 V
; 0.585 V ; 4.19e-10 s ;
1.53e-10 s ; Yes ; No
;
; balance[7] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 4.94e-06 V ; 3.69 V ; -0.414
V ; 0.134 V ; 0.585 V
; 4.19e-10 s ; 1.53e-10 s ; Yes
; No ; 3.63 V ; 4.94e-06 V
; 3.69 V ; -0.414 V ; 0.134 V
; 0.585 V ; 4.19e-10 s ;
1.53e-10 s ; Yes ; No
;
; balance[8] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 4.94e-06 V ; 3.69 V ; -0.414
V ; 0.134 V ; 0.585 V
; 4.19e-10 s ; 1.53e-10 s ; Yes
; No ; 3.63 V ; 4.94e-06 V
; 3.69 V ; -0.414 V ; 0.134 V
; 0.585 V ; 4.19e-10 s ;
1.53e-10 s ; Yes ; No
;

```

```

; balance[9] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; ; 3.63e-06 V ; 3.64 V ; -0.326
V ; 0.091 V ; 0.479 V
; 3.83e-10 s ; 1.5e-10 s ; Yes
; No ; 3.63 V ; 3.63e-06 V
; 3.64 V ; -0.326 V ; 0.091 V
; 0.479 V ; 3.83e-10 s ;
1.5e-10 s ; Yes ; No
;
; balance[10] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; ; 3.54e-06 V ; 2.81 V ; -0.0578
V ; 0.303 V ; 0.28 V
; 2.93e-10 s ; 3.01e-10 s ; No
; No ; 2.75 V ; 3.54e-06 V
; 2.81 V ; -0.0578 V ; 0.303 V
; 0.28 V ; 2.93e-10 s ;
3.01e-10 s ; No ; No
;
; balance[11] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; ; 4.25e-06 V ; 2.9 V ; -0.107
V ; 0.378 V ; 0.16 V
; 2.87e-10 s ; 4.28e-10 s ; No
; No ; 2.75 V ; 4.25e-06 V
; 2.9 V ; -0.107 V ; 0.378 V
; 0.16 V ; 2.87e-10 s ;
4.28e-10 s ; No ; No
;
; balance[12] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; ; 4.14e-06 V ; 2.91 V ; -0.121
V ; 0.326 V ; 0.297 V
; 2.74e-10 s ; 2.8e-10 s ; No
; No ; 2.75 V ; 4.14e-06 V
; 2.91 V ; -0.121 V ; 0.326 V
; 0.297 V ; 2.74e-10 s ;
2.8e-10 s ; No ; No
;
; balance[13] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; ; 4.25e-06 V ; 2.9 V ; -0.107
V ; 0.378 V ; 0.16 V
; 2.87e-10 s ; 4.28e-10 s ; No
; No ; 2.75 V ; 4.25e-06 V
; 2.9 V ; -0.107 V ; 0.378 V
; 0.16 V ; 2.87e-10 s ;
4.28e-10 s ; No ; No
;
; balance[14] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; ; 4.14e-06 V ; 2.91 V ; -0.119
V ; 0.326 V ; 0.298 V
; 2.74e-10 s ; 2.8e-10 s ; No
; No ; 2.75 V ; 4.14e-06 V

```



```

+-----+
|                                             |
|                                             |
|                                             |
|                                             |
|                                             |
|                                             |
|-----+
; Signal Integrity Metrics (Fast 1100mv 85c Model)

```

```

; 2.86 V ; -0.0805 V ; 0.358 V
; 0.156 V ; 3.01e-10 s ;
4.34e-10 s ; No ; No
;
; balance[1] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; ; 0.000242 V ; 2.86 V ; -0.0814
V ; 0.36 V ; 0.156 V
; 3e-10 s ; 4.34e-10 s ; No
; No ; 2.75 V ; 0.000242 V
; 2.86 V ; -0.0814 V ; 0.36 V
; 0.156 V ; 3e-10 s ;
4.34e-10 s ; No ; No
;
; balance[2] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; ; 0.000238 V ; 3.64 V ; -0.254
V ; 0.052 V ; 0.543 V
; 4.59e-10 s ; 1.96e-10 s ; Yes
; No ; 3.63 V ; 0.000238 V
; 3.64 V ; -0.254 V ; 0.052 V
; 0.543 V ; 4.59e-10 s ;
1.96e-10 s ; Yes ; No
;
; balance[3] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; ; 0.000238 V ; 3.64 V ; -0.254
V ; 0.052 V ; 0.543 V
; 4.59e-10 s ; 1.96e-10 s ; Yes
; No ; 3.63 V ; 0.000238 V
; 3.64 V ; -0.254 V ; 0.052 V
; 0.543 V ; 4.59e-10 s ;
1.96e-10 s ; Yes ; No
;
; balance[4] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; ; 0.000184 V ; 3.64 V ; -0.19 V
; 0.019 V ; 0.425 V
; 4.44e-10 s ; 1.91e-10 s ; Yes
; No ; 3.63 V ; 0.000184 V
; 3.64 V ; -0.19 V ; 0.019 V
; 0.425 V ; 4.44e-10 s ;
1.91e-10 s ; Yes ; No
;
; balance[5] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; ; 0.000184 V ; 3.64 V ; -0.19 V
; 0.019 V ; 0.425 V
; 4.44e-10 s ; 1.91e-10 s ; Yes
; No ; 3.63 V ; 0.000184 V
; 3.64 V ; -0.19 V ; 0.019 V
; 0.425 V ; 4.44e-10 s ;
1.91e-10 s ; Yes ; No
;
; balance[6] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V

```

```

; 0.000238 V
; 3.64 V
; -0.254
V ; 0.052 V
; 0.543 V
; 4.59e-10 s ; 1.96e-10 s ; Yes
; No ; 3.63 V ; 0.000238 V
; 3.64 V ; -0.254 V ; 0.052 V
; 0.543 V ; 4.59e-10 s ;
1.96e-10 s ; Yes ; No
;
; balance[7] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 0.000238 V ; 3.64 V ; -0.254
V ; 0.052 V ; 0.543 V
; 4.59e-10 s ; 1.96e-10 s ; Yes
; No ; 3.63 V ; 0.000238 V
; 3.64 V ; -0.254 V ; 0.052 V
; 0.543 V ; 4.59e-10 s ;
1.96e-10 s ; Yes ; No
;
; balance[8] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 0.000238 V ; 3.64 V ; -0.254
V ; 0.052 V ; 0.543 V
; 4.59e-10 s ; 1.96e-10 s ; Yes
; No ; 3.63 V ; 0.000238 V
; 3.64 V ; -0.254 V ; 0.052 V
; 0.543 V ; 4.59e-10 s ;
1.96e-10 s ; Yes ; No
;
; balance[9] ; 3.3-V LVCMOS ; 0 s ; 0 s ; 3.63 V
; 0.000184 V ; 3.64 V ; -0.19 V
; 0.019 V ; 0.425 V
; 4.44e-10 s ; 1.91e-10 s ; Yes
; No ; 3.63 V ; 0.000184 V
; 3.64 V ; -0.19 V ; 0.019 V
; 0.425 V ; 4.44e-10 s ;
1.91e-10 s ; Yes ; No
;
; balance[10] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; 0.000213 V ; 2.79 V ; -0.0324
V ; 0.139 V ; 0.119 V
; 4.42e-10 s ; 4.33e-10 s ; No
; Yes ; 2.75 V ; 0.000213 V
; 2.79 V ; -0.0324 V ; 0.139 V
; 0.119 V ; 4.42e-10 s ;
4.33e-10 s ; No ; Yes
;
; balance[11] ; 2.5 V ; 0 s ; 0 s ; 2.75 V
; 0.000247 V ; 2.85 V ; -0.0711
V ; 0.204 V ; 0.181 V
; 4.55e-10 s ; 4.49e-10 s ; No
; No ; 2.75 V ; 0.000247 V
; 2.85 V ; -0.0711 V ; 0.204 V

```

```

; 0.181 V ; 4.55e-10 s ;
4.49e-10 s ; No ; No ;
;
; balance[12] ; 2.5 V ; 0 s ; 2.75 V
; 0.000242 V ; 2.86 V ; -0.0814
V ; 0.36 V ; 0.156 V ;
; 3e-10 s ; 4.34e-10 s ; No
; No ; 2.75 V ; 0.000242 V
; 2.86 V ; -0.0814 V ; 0.36 V
; 0.156 V ; 3e-10 s ;
4.34e-10 s ; No ; No ;
;
; balance[13] ; 2.5 V ; 0 s ; 2.75 V
; 0.000247 V ; 2.85 V ; -0.0711
V ; 0.204 V ; 0.181 V ;
; 4.55e-10 s ; 4.49e-10 s ; No
; No ; 2.75 V ; 0.000247 V
; 2.85 V ; -0.0711 V ; 0.204 V
; 0.181 V ; 4.55e-10 s ;
4.49e-10 s ; No ; No ;
;
; balance[14] ; 2.5 V ; 0 s ; 2.75 V
; 0.000242 V ; 2.86 V ; -0.0805
V ; 0.358 V ; 0.156 V ;
; 3.01e-10 s ; 4.34e-10 s ; No
; No ; 2.75 V ; 0.000242 V
; 2.86 V ; -0.0805 V ; 0.358 V
; 0.156 V ; 3.01e-10 s ;
4.34e-10 s ; No ; No ;
;
; balance[15] ; 2.5 V ; 0 s ; 2.75 V
; 0.000247 V ; 2.85 V ; -0.0711
V ; 0.204 V ; 0.181 V ;
; 4.55e-10 s ; 4.49e-10 s ; No
; No ; 2.75 V ; 0.000247 V
; 2.85 V ; -0.0711 V ; 0.204 V
; 0.181 V ; 4.55e-10 s ;
4.49e-10 s ; No ; No ;
;
; accountfound ; 3.3-V LVCMOS ; 0 s ; 3.63 V
; 0.000184 V ; 3.64 V ; -0.19 V
; 0.019 V ; 0.425 V ;
; 4.44e-10 s ; 1.91e-10 s ; Yes
; No ; 3.63 V ; 0.000184 V
; 3.64 V ; -0.19 V ; 0.019 V
; 0.425 V ; 4.44e-10 s ;
1.91e-10 s ; Yes ; No ;
;
; pinfound ; 3.3-V LVCMOS ; 0 s ; 3.63 V
; 0.000229 V ; 3.65 V ; -0.316

```



```

; Recovery Transfers
+-----+-----+-----+-----+-----+-----+
; From Clock ; To Clock ; RR Paths ; FR Paths ; RF Paths ; FF Paths ;
+-----+-----+-----+-----+-----+-----+
; Clk      ; Clk      ; 115      ; 0      ; 0      ; 0      ;
+-----+-----+-----+-----+-----+-----+

```

Entries labeled "false path" only account for clock-to-clock false paths and not path-based false paths. As a result, actual path counts may be lower than reported.

```

+-----+-----+-----+-----+-----+-----+
; Removal Transfers
+-----+-----+-----+-----+-----+-----+
; From Clock ; To Clock ; RR Paths ; FR Paths ; RF Paths ; FF Paths ;
+-----+-----+-----+-----+-----+-----+
; Clk      ; Clk      ; 115      ; 0      ; 0      ; 0      ;
+-----+-----+-----+-----+-----+-----+

```

Entries labeled "false path" only account for clock-to-clock false paths and not path-based false paths. As a result, actual path counts may be lower than reported.

```

-----
; Report TCCS ;
-----

```

No dedicated SERDES Transmitter circuitry present in device or used in design

```

-----
; Report RSKM ;
-----

```

No non-DPA dedicated SERDES Receiver circuitry present in device or used in design

```

+-----+-----+-----+-----+
; Unconstrained Paths Summary
+-----+-----+-----+-----+
; Property                      ; Setup ; Hold ;
+-----+-----+-----+-----+
; Illegal Clocks                 ; 0      ; 0      ;
; Unconstrained Clocks          ; 0      ; 0      ;
; Unconstrained Input Ports     ; 0      ; 0      ;
; Unconstrained Input Port Paths ; 0      ; 0      ;
; Unconstrained Output Ports    ; 0      ; 0      ;
; Unconstrained Output Port Paths ; 0      ; 0      ;
+-----+-----+-----+-----+

```

```

+-----+-----+
; Clock Status Summary
+-----+-----+

```

```

; Target ; Clock ; Type ; Status      ;
+-----+-----+-----+-----+
; clk    ; Clk   ; Base ; Constrained ;
+-----+-----+-----+-----+

```

```

+-----+
; Timing Analyzer Messages ;
+-----+

```

Info: *****

Info: Running Quartus Prime Timing Analyzer

Info: Version 22.1std.1 Build 917 02/14/2023 SC Lite Edition

Info: Processing started: Fri Jul 14 19:17:07 2023

Info: Command: quartus_sta atm -c atm

Info: qsta_default_script.tcl version: #1

Warning (18236): Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your QSF to an appropriate value for best performance.

Info (20030): Parallel compilation is enabled and will use 6 of the 6 processors detected

Info (21077): Low junction temperature is 0 degrees C

Info (21077): High junction temperature is 85 degrees C

Info (332104): Reading SDC File: 'atm.out.sdc'

Info (332152): The following assignments are ignored by the derive_clock_uncertainty command

Info: Found TIMING_ANALYZER_REPORT_SCRIPT_INCLUDE_DEFAULT_ANALYSIS = ON

Info: Analyzing Slow 1100mV 85C Model

Info (332146): Worst-case setup slack is 0.009

Info (332119): Slack End Point TNS Clock

Info (332119): =====

Info (332119): 0.009 0.000 Clk

Info (332146): Worst-case hold slack is 0.363

Info (332119): Slack End Point TNS Clock

Info (332119): =====

Info (332119): 0.363 0.000 Clk

Info (332146): Worst-case recovery slack is 15.502

Info (332119): Slack End Point TNS Clock

Info (332119): =====

Info (332119): 15.502 0.000 Clk

Info (332146): Worst-case removal slack is 0.470

Info (332119): Slack End Point TNS Clock

Info (332119): =====

Info (332119): 0.470 0.000 Clk

Info (332146): Worst-case minimum pulse width slack is 9.213

Info (332119): Slack End Point TNS Clock

Info (332119): =====

Info (332119): 9.213 0.000 Clk

Info: Analyzing Slow 1100mV 0C Model

Info (334003): Started post-fitting delay annotation

Info (334004): Delay annotation completed successfully


```

Info (332152): The following assignments are ignored by the
derive_clock_uncertainty command
Info (332146): Worst-case setup slack is 0.240
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      0.240      0.000 Clk
Info (332146): Worst-case hold slack is 0.364
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      0.364      0.000 Clk
Info (332146): Worst-case recovery slack is 12.791
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):     12.791      0.000 Clk
Info (332146): Worst-case removal slack is 2.980
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      2.980      0.000 Clk
Info (332146): Worst-case minimum pulse width slack is 9.283
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      9.283      0.000 Clk
Info: Analyzing Fast 1100mV 85C Model
Info (334003): Started post-fitting delay annotation
Info (334004): Delay annotation completed successfully
Info (332152): The following assignments are ignored by the
derive_clock_uncertainty command
Info (332146): Worst-case setup slack is 3.035
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      3.035      0.000 Clk
Info (332146): Worst-case hold slack is 0.182
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      0.182      0.000 Clk
Info (332146): Worst-case recovery slack is 14.450
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):     14.450      0.000 Clk
Info (332146): Worst-case removal slack is 2.316
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      2.316      0.000 Clk
Info (332146): Worst-case minimum pulse width slack is 9.102
    Info (332119):      Slack      End Point TNS Clock
    Info (332119): =====
    Info (332119):      9.102      0.000 Clk
Info: Analyzing Fast 1100mV 0C Model
Info (332152): The following assignments are ignored by the
derive_clock_uncertainty command

```

```

Info (332146): Worst-case setup slack is 3.266
Info (332119):      Slack      End Point TNS Clock
Info (332119): =====
Info (332119):      3.266      0.000 Clk
Info (332146): Worst-case hold slack is 0.171
Info (332119):      Slack      End Point TNS Clock
Info (332119): =====
Info (332119):      0.171      0.000 Clk
Info (332146): Worst-case recovery slack is 16.315
Info (332119):      Slack      End Point TNS Clock
Info (332119): =====
Info (332119):      16.315      0.000 Clk
Info (332146): Worst-case removal slack is 0.659
Info (332119):      Slack      End Point TNS Clock
Info (332119): =====
Info (332119):      0.659      0.000 Clk
Info (332146): Worst-case minimum pulse width slack is 9.064
Info (332119):      Slack      End Point TNS Clock
Info (332119): =====
Info (332119):      9.064      0.000 Clk
Info (332101): Design is fully constrained for setup requirements
Info (332101): Design is fully constrained for hold requirements
Info: Quartus Prime Timing Analyzer was successful. 0 errors, 1 warning
Info: Peak virtual memory: 5183 megabytes
Info: Processing ended: Fri Jul 14 19:17:11 2023
Info: Elapsed time: 00:00:04
Info: Total CPU time (on all processors): 00:00:03

```