



POLITECNICO
MILANO 1863

Prova Finale (Progetto di Reti logiche)

Prof. Gianluca Palermo

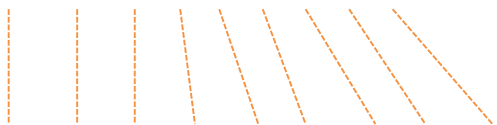
Descrizione generale

- La specifica chiede di implementare un modulo HW (descritto in VHDL) che si interfacci con una memoria e che rispetti le indicazioni riportate nella seguente specifica:
 - Il sistema legge un messaggio costituito da una sequenza di K parole il cui valore è tra 0 e 255.
 - Il valore 0 all'interno della sequenza deve essere considerato non come valore ma come informazione *"il valore non è specificato"*.
 - La sequenza di K parole da elaborare è memorizzata a partire da un indirizzo specificato (ADD), ogni 2 byte (e.g. ADD, ADD+2, ADD+4, ..., ADD+2*(K-1)). Il byte mancante dovrà essere completato come descritto in seguito.
 - Il modulo da progettare ha il compito di **completare la sequenza, sostituendo gli zero laddove presenti con l'ultimo valore letto diverso da zero, ed inserendo un valore di "credibilità" C**, nel byte mancante, per ogni valore della sequenza.
 - La sostituzione degli zero avviene copiando l'ultimo valore valido (non zero) letto precedente e appartenente alla sequenza.
 - Il valore di credibilità C è pari a 31 ogni volta che il valore della sequenza è non zero, mentre viene decrementato (*minimo C=0*) rispetto al valore precedente ogni volta che si incontra uno zero
 - Un segnale di START (con associato ADD e K) determina la richiesta di codifica, un segnale DONE la sua fine

Esempio

- Sequenza di partenza (in grassetto i valori W delle parole, K=14):

128 0 **64** 0 **0** 0 **0** 0 **0** 0 **0** 0 **0** 0 **100** 0 **1** 0 **0** 0 **5** 0 **23** 0 **200** 0 **0** 0

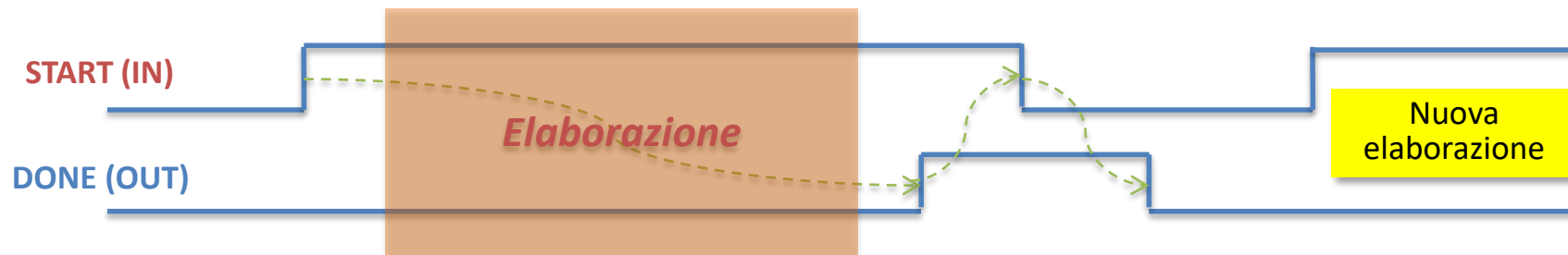


128 31 **64** 31 **64** 30 **64** 29 **64** 28 **64** 27 **64** 26 **100** 31 **1** 31 **1** 30 **5** 31 **23** 31 **200** 31 **200** 30

- Sequenza Finale

Note ulteriori sulla specifica

- Il modulo deve essere progettato considerando che prima della prima codifica verrà **SEMPRE** dato il reset al modulo.
- Il modulo deve essere progettato per poter codificare più sequenze
- Una seconda elaborazione non dovrà attendere il reset del modulo, ma si deve rispettare il seguente protocollo



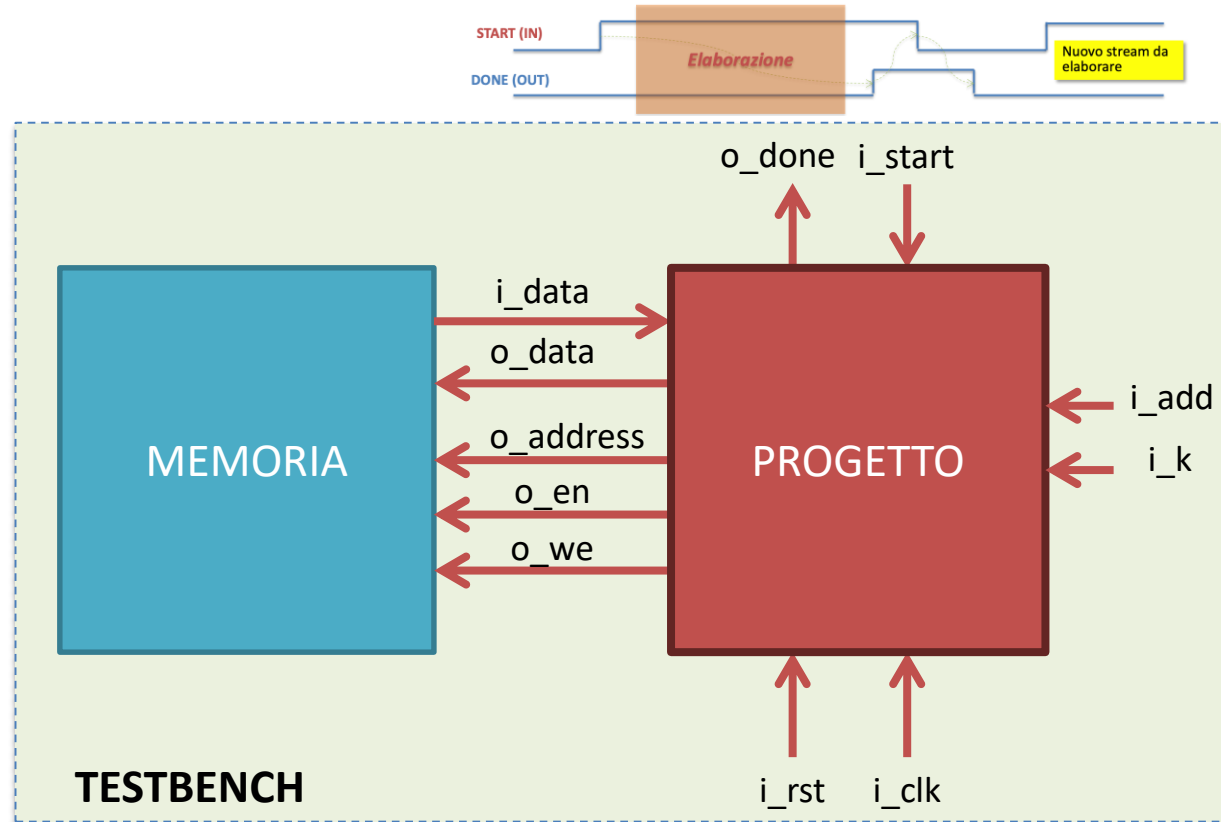
- Quando START è alto i valori di K e ADD rimangono costanti
- Il TestBench rispetterà SEMPRE questo protocollo

Interfaccia del Componente

```
entity project_reti_logiche is
  port (
    i_clk   : in std_logic;
    i_rst   : in std_logic;
    i_start : in std_logic;
    i_add    : in std_logic_vector(15 downto 0);
    i_k     : in std_logic_vector(9 downto 0);

    o_done  : out std_logic;

    o_mem_addr : out std_logic_vector(15 downto 0);
    i_mem_data : in std_logic_vector(7 downto 0);
    o_mem_data : out std_logic_vector(7 downto 0);
    o_mem_we   : out std_logic;
    o_mem_en   : out std_logic
  );
end project_reti_logiche;
```



Regole

- Compito dello studente è quello di descrivere in VHDL e sintetizzare il componente HW che implementa la specifica richiesta, interfacciandosi con una memoria dove sono memorizzati i dati e dove andrà scritto il risultato finale.
- Allo studente verrà fornito un Test Bench **di esempio** (che include la memoria) per validare il corretto funzionamento del modulo implementato.
- In particolare:
 - Il progetto può essere svolto in gruppi composti da un **massimo di 2 studenti** che debbono avere il medesimo docente di riferimento.
 - Il progetto è una **attività autonoma** che **non coinvolge in nessun modo il corpo docente** a meno di chiarimenti sulla specifica di progetto.
 - Nel caso in cui il testo di specifica risulti incompleto, è compito del gruppo di lavoro contattare i docenti motivando accuratamente la ragione della incompletezza.
 - I docenti aggiorneranno la specifica chiarendo i cambiamenti
- Strumento di sintesi da usare è **XILINX VIVADO WEBPACK**
 - **consiglio Versione 2016.4 con solo ARTIX-7 come famiglia di dispositivi FPGA (10GB)**
- La **FPGA target può essere qualunque** (la specifica non richiede particolari logiche)
- Il progetto deve funzionare con un periodo di **clock di almeno 20 ns**;
- Lo studente deve allegare al progetto anche una relazione

- Un componente descritto e simulabile correttamente in pre-sintesi viene valutato con la valutazione massima di 24/30
- Un componente anche sintetizzabile e correttamente simulabile in post-sintesi (**non timed**) può ottenere la valutazione piena
 - *Massimo di 30 per un progetto fatto in coppia, massimo 30L per un progetto svolto da un singolo studente.*
- Il voto finale, in entrambi i casi, terrà conto **dei test superati dal componente**, dal **codice VHDL** e dalla **relazione presentata** (incluse le scelte progettuali).
- A meno di casi particolari, la valutazione sarà su aspetti funzionali e sulla qualità, completezza e chiarezza della relazione
- **!!!ATTENZIONE!!! Non è possibile rifiutare il voto finale.**
 - La tipologia del progetto è, da regolamento didattico, una “PROVA FINALE”

Criteri di Consegna

- La specifica del progetto resta invariata per tutto l'anno accademico.
- La consegna del progetto **può essere fatta solo una volta** nel corso dell'anno accademico
 - possibilità di una ed unica risottomissione in caso di insufficienza
 - nel caso che la prima consegna risulti insufficiente ($9 < x < 18$) viene consentita, a parere insindacabile del docente, una successiva consegna;
 - la valutazione, in questo frangente, **non potrà superare in nessun caso 24/30**. Non sono né previste né eccezioni e/o compensazioni.
 - **Ai progetti la cui valutazione è inferiore ai 10/30 non verrà offerta la possibilità di riconsegna.**
- In caso di bocciatura il candidato verrà rimandato all'anno accademico successivo e dovrà sostenere la "PROVA FINALE" con il progetto dell'anno accademico successivo.

Consegna del progetto

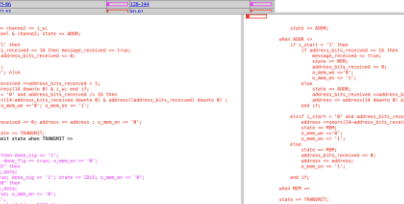
- Per la consegna dei progetti verrà predisposta una cartella su WEBEEP per ogni sessione
- Ogni studente o gruppo di studenti dovrà caricare esattamente due file:
 - **un solo file con il codice VHDL** - Il file caricato dovrà essere nominato **codicePersona.vhd** (esempio 10499233.vhd).
 - gli studenti che lavorano in gruppo dovranno caricare un file solo, usando il codice persona di entrambi i due studenti (codicePersona1_codicePersona2.vhd).
 - La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.
 - **un solo file PDF con la documentazione** - Il file caricato dovrà essere nominato **codicePersona.pdf** (esempio 10499233.pdf).
 - gli studenti che lavorano in gruppo dovranno caricare un file solo, codicePersona1_codicePersona2.pdf con lo stesso ordine usato per il file VHDL
 - La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.

Date per la consegna

- I consegna entro 1 Febbraio 2024
 - ***per potersi laureare a Marzo (verbalizzazione entro il 20.02.2024)***
- II consegna entro 1 Aprile 2024
- III consegna entro 15 Maggio 2024
- IV consegna entro 15 Giugno 2024
 - ***per potersi laureare a Luglio (verbalizzazione entro il 8.07.2024)***
- V consegna entro 15 Luglio 2024
- VI consegna entro 1 Settembre 2024
 - ***per potersi laureare a Settembre/Ottobre (verbalizzazione entro il 11.09.2024)***
- VII consegna 15 Settembre 2024

- *** Consegna EXTRA *** 1 Dicembre 2024

-



```

1  void TEST(void)
2  {
3      int i;
4      int j;
5      int k;
6      int l;
7      int m;
8      int n;
9      int o;
10     int p;
11     int q;
12     int r;
13     int s;
14     int t;
15     int u;
16     int v;
17     int w;
18     int x;
19     int y;
20     int z;
21     int aa;
22     int bb;
23     int cc;
24     int dd;
25     int ee;
26     int ff;
27     int gg;
28     int hh;
29     int ii;
30     int jj;
31     int kk;
32     int ll;
33     int mm;
34     int nn;
35     int oo;
36     int pp;
37     int qq;
38     int rr;
39     int ss;
40     int tt;
41     int uu;
42     int vv;
43     int ww;
44     int xx;
45     int yy;
46     int zz;
47     int aaa;
48     int bbb;
49     int ccc;
50     int ddd;
51     int eee;
52     int fff;
53     int ggg;
54     int hhh;
55     int iii;
56     int jjj;
57     int kkk;
58     int lll;
59     int mmm;
60     int nnn;
61     int ooo;
62     int ppp;
63     int qqq;
64     int rrr;
65     int sss;
66     int ttt;
67     int uuu;
68     int vvv;
69     int www;
70     int xxx;
71     int yyy;
72     int zzz;
73     int aaa;
74     int bbb;
75     int ccc;
76     int ddd;
77     int eee;
78     int fff;
79     int ggg;
80     int hhh;
81     int iii;
82     int jjj;
83     int kkk;
84     int lll;
85     int mmm;
86     int nnn;
87     int ooo;
88     int ppp;
89     int qqq;
90     int rrr;
91     int sss;
92     int ttt;
93     int uuu;
94     int vvv;
95     int www;
96     int xxx;
97     int yyy;
98     int zzz;
99     int aaa;
100    int bbb;
101    int ccc;
102    int ddd;
103    int eee;
104    int fff;
105    int ggg;
106    int hhh;
107    int iii;
108    int jjj;
109    int kkk;
110    int lll;
111    int mmm;
112    int nnn;
113    int ooo;
114    int ppp;
115    int qqq;
116    int rrr;
117    int sss;
118    int ttt;
119    int uuu;
120    int vvv;
121    int www;
122    int xxx;
123    int yyy;
124    int zzz;
125    int aaa;
126    int bbb;
127    int ccc;
128    int ddd;
129    int eee;
130    int fff;
131    int ggg;
132    int hhh;
133    int iii;
134    int jjj;
135    int kkk;
136    int lll;
137    int mmm;
138    int nnn;
139    int ooo;
140    int ppp;
141    int qqq;
142    int rrr;
143    int sss;
144    int ttt;
145    int uuu;
146    int vvv;
147    int www;
148    int xxx;
149    int yyy;
150    int zzz;
151    int aaa;
152    int bbb;
153    int ccc;
154    int ddd;
155    int eee;
156    int fff;
157    int ggg;
158    int hhh;
159    int iii;
160    int jjj;
161    int kkk;
162    int lll;
163    int mmm;
164    int nnn;
165    int ooo;
166    int ppp;
167    int qqq;
168    int rrr;
169    int sss;
170    int ttt;
171    int uuu;
172    int vvv;
173    int www;
174    int xxx;
175    int yyy;
176    int zzz;
177    int aaa;
178    int bbb;
179    int ccc;
180    int ddd;
181    int eee;
182    int fff;
183    int ggg;
184    int hhh;
185    int iii;
186    int jjj;
187    int kkk;
188    int lll;
189    int mmm;
190    int nnn;
191    int ooo;
192    int ppp;
193    int qqq;
194    int rrr;
195    int sss;
196    int ttt;
197    int uuu;
198    int vvv;
199    int www;
200    int xxx;
201    int yyy;
202    int zzz;
203    int aaa;
204    int bbb;
205    int ccc;
206    int ddd;
207    int eee;
208    int fff;
209    int ggg;
210    int hhh;
211    int iii;
212    int jjj;
213    int kkk;
214    int lll;
215    int mmm;
216    int nnn;
217    int ooo;
218    int ppp;
219    int qqq;
220    int rrr;
221    int sss;
222    int ttt;
223    int uuu;
224    int vvv;
225    int www;
226    int xxx;
227    int yyy;
228    int zzz;
229    int aaa;
230    int bbb;
231    int ccc;
232    int ddd;
233    int eee;
234    int fff;
235    int ggg;
236    int hhh;
237    int iii;
238    int jjj;
239    int kkk;
240    int lll;
241    int mmm;
242    int nnn;
243    int ooo;
244    int ppp;
245    int qqq;
246    int rrr;
247    int sss;
248    int ttt;
249    int uuu;
250    int vvv;
251    int www;
252    int xxx;
253    int yyy;
254    int zzz;
255    int aaa;
256    int bbb;
257    int ccc;
258    int ddd;
259    int eee;
260    int fff;
261    int ggg;
262    int hhh;
263    int iii;
264    int jjj;
265    int kkk;
266    int lll;
267    int mmm;
268    int nnn;
269    int ooo;
270    int ppp;
271    int qqq;
272    int rrr;
273    int sss;
274    int ttt;
275    int uuu;
276    int vvv;
277    int www;
278    int xxx;
279    int yyy;
280    int zzz;
281    int aaa;
282    int bbb;
283    int ccc;
284    int ddd;
285    int eee;
286    int fff;
287    int ggg;
288    int hhh;
289    int iii;
290    int jjj;
291    int kkk;
292    int lll;
293    int mmm;
294    int nnn;
295    int ooo;
296    int ppp;
297    int qqq;
298    int rrr;
299    int sss;
300    int ttt;
301    int uuu;
302    int vvv;
303    int www;
304    int xxx;
305    int yyy;
306    int zzz;
307    int aaa;
308    int bbb;
309    int ccc;
310    int ddd;
311    int eee;
312    int fff;
313    int ggg;
314    int hhh;
315    int iii;
316    int jjj;
317    int kkk;
318    int lll;
319    int mmm;
320    int nnn;
321    int ooo;
322    int ppp;
323    int qqq;
324    int rrr;
325    int sss;
326    int ttt;
327    int uuu;
328    int vvv;
329    int www;
330    int xxx;
331    int yyy;
332    int zzz;
333    int aaa;
334    int bbb;
335    int ccc;
336    int ddd;
337    int eee;
338    int fff;
339    int ggg;
340    int hhh;
341    int iii;
342    int jjj;
343    int kkk;
344    int lll;
345    int mmm;
346    int nnn;
347    int ooo;
348    int ppp;
349    int qqq;
350    int rrr;
351    int sss;
352    int ttt;
353    int uuu;
354    int vvv;
355    int www;
356    int xxx;
357    int yyy;
358    int zzz;
359    int aaa;
360    int bbb;
361    int ccc;
362    int ddd;
363    int eee;
364    int fff;
365    int ggg;
366    int hhh;
367    int iii;
368    int jjj;
369    int kkk;
370    int lll;
371    int mmm;
372    int nnn;
373    int ooo;
374    int ppp;
375    int qqq;
376    int rrr;
377    int sss;
378    int ttt;
379    int uuu;
380    int vvv;
381    int www;
382    int xxx;
383    int yyy;
384    int zzz;
385    int aaa;
386    int bbb;
387    int ccc;
388    int ddd;
389    int eee;
390    int fff;
391    int ggg;
392    int hhh;
393    int iii;
394    int jjj;
395    int kkk;
396    int lll;
397    int mmm;
398    int nnn;
399    int ooo;
400    int ppp;
401    int qqq;
402    int rrr;
403    int sss;
404    int ttt;
405    int uuu;
406    int vvv;
407    int www;
408    int xxx;
409    int yyy;
410    int zzz;
411    int aaa;
412    int bbb;
413    int ccc;
414    int ddd;
415    int eee;
416    int fff;
417    int ggg;
418    int hhh;
419    int iii;
420    int jjj;
421    int kkk;
422    int lll;
423    int mmm;
424    int nnn;
425    int ooo;
426    int ppp;
427    int qqq;
428    int rrr;
429    int sss;
430    int ttt;
431    int uuu;
432    int vvv;
433    int www;
434    int xxx;
435    int yyy;
436    int zzz;
437    int aaa;
438    int bbb;
439    int ccc;
440    int ddd;
441    int eee;
442    int fff;
443    int ggg;
444    int hhh;
445    int iii;
446    int jjj;
447    int kkk;
448    int lll;
449    int mmm;
450    int nnn;
451    int ooo;
452    int ppp;
453    int qqq;
454    int rrr;
455    int sss;
456    int ttt;
457    int uuu;
458    int vvv;
459    int www;
460    int xxx;
461    int yyy;
462    int zzz;
463    int aaa;
464    int bbb;
465    int ccc;
466    int ddd;
467    int eee;
```

GenAI or not GenAI... NOT GenAI

- Il *Progetto di Reti Logiche* è da considerarsi una tesi personale, e come tale il progetto DEVE contenere lavoro che deve essere considerabile come vostro.
- L'uso di strumenti di AI per supportare la risoluzione dell'assignment (o parte di esso) e consegnarlo come se fosse proprio lavoro è considerato una cattiva condotta accademica che è considerata al pari del plagio.
- Se usato da più studenti, strumenti di GenAI, quali ad esempio GitHub-copilot, generano codici simili. Questo porta all'identificazione dello stesso come cross-plagio e quindi come tale verrà trattato.
- Si può essere ispirati (nei limiti), ma non si può sottomettere codice o materiale generato o fortemente derivato/copiato da altri.

