

Karta Ćwiczenia 2. Charakterystyki inwertera CMOS

Imię i Nazwisko: Andrzej Kapczyński

Grupa L8 Semestr 7

Dzień tygodnia i godzina: wtorek 15:10

Data wykonania ćwiczenia: 11.12.2022r.

Podpis prowadzącego:

I.Przygotowanie do ćwiczenia

Wykonanie „przygotowania do ćwiczenia” jest warunkiem koniecznym dopuszczenia do ćwiczenia i powinno być przygotowane w domu.

Do niniejszej kartki dołącz (zszyte zszywaczem) pisane odręcznie (zabronione jest pisanie na komputerze) odpowiedzi na następujące zagadnienia:

- 1.Narysuj schemat inwertera (uwzględnij tranzystory 4-pinowe).
- 2.Określ na szkicach odpowiednich wykresów definicje i pełne nazwy parametrów inwertera określonych skrótami: (t_r , t_f , t_{dr} , t_{df} , t_d , V_{IL} , V_{IH} , V_{th}). Definicje te będą potrzebne do wyznaczenia wymienionych parametrów z odpowiednich wykresów.
- 3.Opisz jak można sterować parametrami inwertera (t_r , t_f , t_{dr} , t_{df} , t_d , V_{IL} , V_{IH} , V_{th}) oraz jaka powinna być optymalna wartość danego parametru. W celu określenia wartości optymalnych można skorzystać z wykresów z punktu 1.
- 4.Wylicz na podstawie wzorów teoretycznych parametry V_{IL} , V_{IH} , V_{th} dla przypadku $(W/L)_p = 940 \text{ nm} / 65 \text{ nm}$, $(W/L)_n = 200 \text{ nm} / 65 \text{ nm}$, $C_{out} = 50\text{fF}$. Inne potrzebne wartości parametrów tranzystora można znaleźć w pliku zawierającym opis modelu tranzystora. Użyj parametru VTO jako V_t (threshold voltage) danego tranzystora. Wyliczone wartości wpisz w przygotowane nawiasy w tabeli 2. Przebieg obliczeń, w szczególności wzory wyjściowe i kolejne przekształcenia muszą być dołączone. Podanie jedynie wartości końcowej nie jest wystarczające.

II. Wyniki symulacji

Tabela 4. Wyniki analizy TRAN					
Dimensions and Loading W/L and Cout (W/L)_p – PMOS [nm] (W/L)_n – NMOS [nm]	Rise Time <i>t_r</i> [ns]	Fall Time <i>t_f</i> [ns]	Delay Time *)		
			<i>t_{df}</i> high-to-low delay [ns]	<i>t_{dr}</i> low-to-high delay	<i>t_d</i> delay time [ns]
(W/L) _p =940/65, (W/L) _n =200/65 C _{out} =500 fF	2.6903	5.4298	2.9075	1.4659ns	2.1867
(W/L) _p =940/65, (W/L) _n =200/65 C _{out} =1500 fF	7.6198	16.044	8.2484	3.9478ns	6.0981
(W/L) _p =1600/65, (W/L) _n =200/65 C _{out} =500 fF	1.7620	5.4334	2.9125	991.87ps	1.952185
(W/L) _p =1600/65, (W/L) _n =200/65 C _{out} =1500 fF	4.7363	16.049	8.2523	2.4668ns	5.35955
(W/L) _p =940/180, (W/L) _n =200/180 C _{out} =500 fF	4.9646	9.0073	4.6850	2.6245ns	3.65475
(W/L) _p =940/180, (W/L) _n =940/180 C _{out} =500 fF	4.9648	2.2141	1.3166	2.6305ns	1.97355

Tabela 5. Parametry odczytane z VTC					
Dimensions and Loading W/L and Cout (W/L)_p – PMOS (W/L)_n – NMOS	V_{IL}	V_{th}	V_{IH}	N_{MH}	N_{ML}
(W/L) _p =940/65, (W/L) _n =200/65 C _{out} =500 fF	0.53038V	0.61805V	0.71392V	0.44456V	0.48754V
(W/L) _p =940/65, (W/L) _n =400/65 C _{out} =500 fF	0.50128V	0.59332V	0.68718V	0.46958V	0.46135V
(W/L) _p =940/65, (W/L) _n =800/65 C _{out} =500 fF	0.464V	0.564V	0.652V	0.5068 V	0.42498V

Tabela 6. Maksymalny prąd				
Dimensions and Loading W/L and Cout (W/L)_p – PMOS (W/L)_n – NMOS	I_DMAX	V_{in}	P_{MAX}	P_{AVG}*
(W/L) _p =940/65, (W/L) _n =800/65 C _{out} =500 fF	19.861uA	0.56V	18.213uW	235.79nW

Tabela 7. Analiza PVT – process mismatch		
Dimensions and Loading (W/L)_p – PMOS (W/L)_n – NMOS	$td=tdr+tdf$ [ps]	$f_{max}=1/td$ [GHz]
(W/L) _p =940/65, T (W/L) _n =200/65, T	22,549	44,348
(W/L) _p =940/65, F (W/L) _n =200/65, F	15,873	63,000
(W/L) _p =940/65, S (W/L) _n =200/65, S	29,249	34,189
(W/L) _p =940/65, F (W/L) _n =200/65, S	23,245	43,020
(W/L) _p =940/65, S (W/L) _n =200/65, F	21,781	45,912

Tabela 8. Analiza PVT – voltage mismatch				
Dimensions and Loading (W/L)_p – PMOS (W/L)_n – NMOS		$td=tdr+tdf$ [ps]	$f_{max}=1/td$ [GHz]	Chart: $f_{max} = f(VDD)$
(W/L) _p =940/65, (W/L) _n =200/65 , TT	VDD=0.9V	35,34	28,297	
(W/L) _p =940/65, (W/L) _n =200/65 , TT	VDD=1.0V	31,267	31,983	
(W/L) _p =940/65, (W/L) _n =200/65 , TT	VDD=1.1V	26,281	38,050	
(W/L) _p =940/65, (W/L) _n =200/65 , TT	VDD=1.2V	22,519	44,407	
(W/L) _p =940/65, (W/L) _n =200/65 , TT	VDD=1.3V	20,418	48,976	

Tabela 9. Analiza PVT – temperature mismatch				Chart: $f_{max} = f(TEMP)$
Dimensions and Loading (W/L)_p – PMOS (W/L)_n – NMOS		$t_d = t_{dr} + t_{df}$ [ps]	$f_{max} = 1/t_d$ [GHz]	
(W/L) _p =940/65, (W/L) _n =200/65	TEMP=0°C VDD=1.2V TT	23,034	43,41408353	
(W/L) _p =940/65, (W/L) _n =200/65	TEMP=20°C VDD=1.2V TT	22,94	43,59197908	
(W/L) _p =940/65, (W/L) _n =200/65	TEMP=40°C VDD=1.2V TT	22,8627	43,73936587	
(W/L) _p =940/65, (W/L) _n =200/65	TEMP=60°C VDD=1.2V TT	22,7881	43,88255274	
(W/L) _p =940/65, (W/L) _n =200/65	TEMP=80°C VDD=1.2V TT	22,7219	44,01040406	
(W/L) _p =940/65, (W/L) _n =200/65	TEMP=100°C VDD=1.2V TT	22,6627	44,125369	

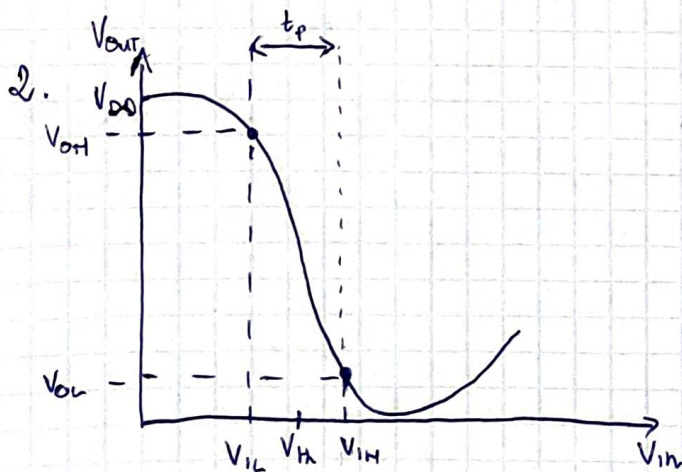
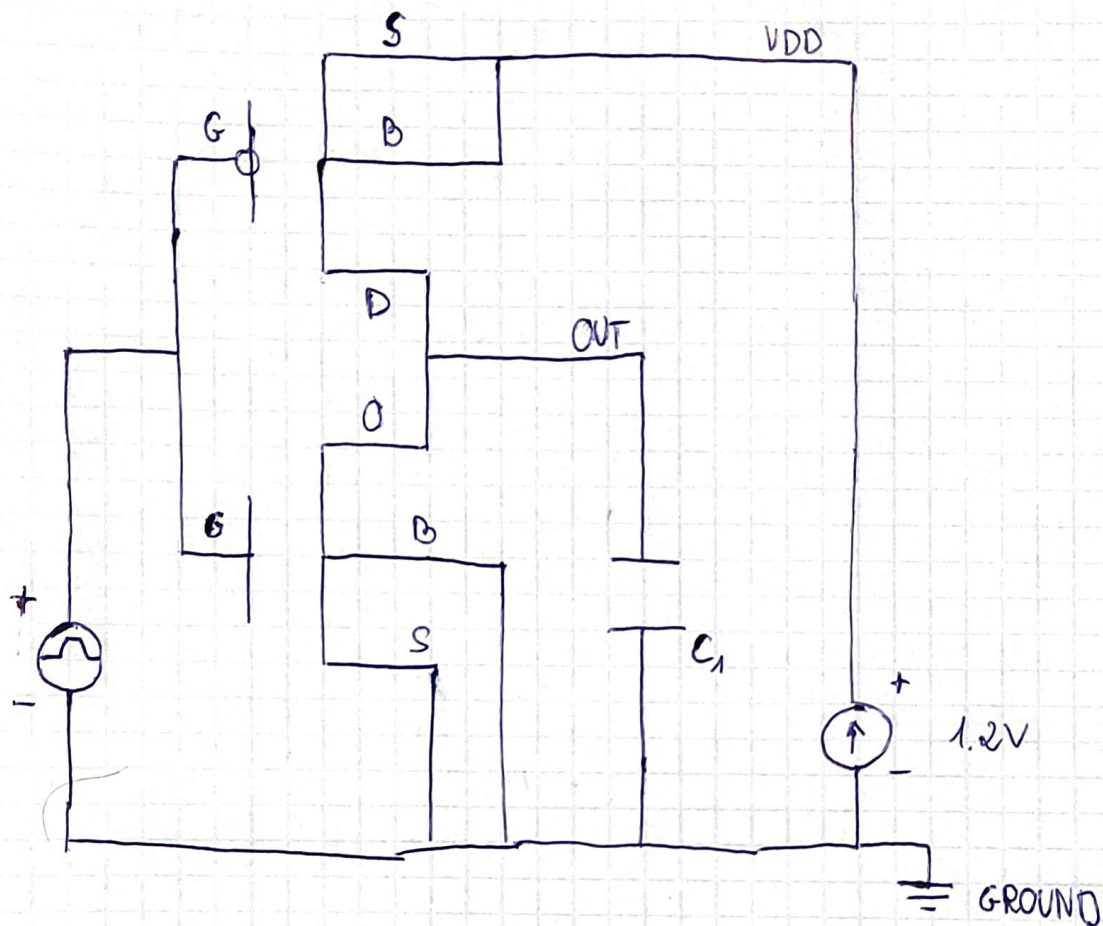
.....

.....

.....

Andrzej Kapczyński 145358 gr. L8 wtorek 15.10

1. Narysuj schemat inwertera (uwzględnij tranzystory 4-pinowe)

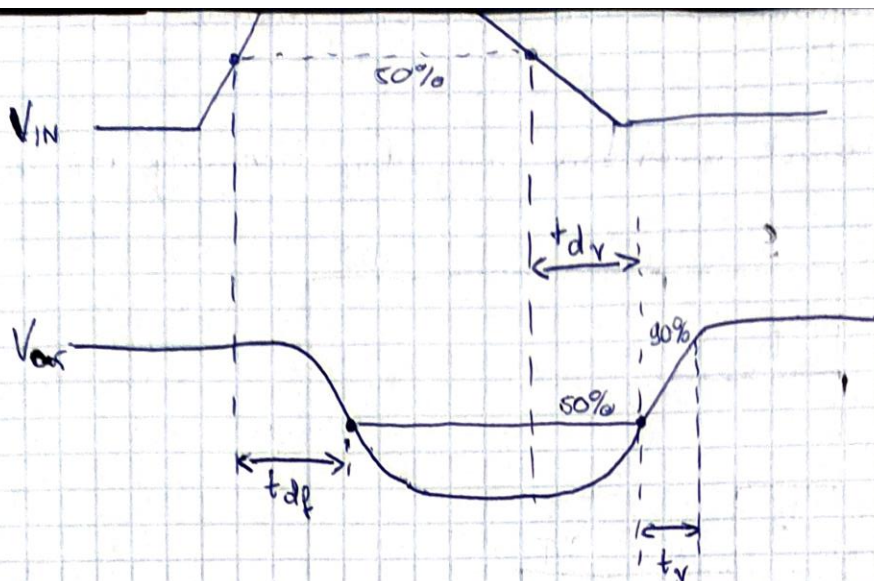


V_{th} - napięcie progowe

V_{il} - napięcie wejściowe niskie

V_{ih} - napięcie wejściowe wysokie

V_{DD}



t_r - czas narastania t_f - czas opadania

t_{df} - ~~czas~~ opóźnienie, po którym wyjście przełączy się z wysokiego na niskie, po przełączeniu wejścia z niskiego na wysokie

t_{dr} - opóźnienie po którym wyjście przełączy się z niskiego na wysokie, po przełączeniu wejścia z wysokiego na niskie

3.

t_r - zwiększenie szerokości kanału pMOS powoduje skrócenie czasu narastania

t_f - zwiększenie szerokości kanału nMOS powoduje skrócenie op. czasu opadania.

t_{dr} - zwiększenie szerokości kanału pMOS powoduje skrócenie opóźnienia narastania

t_{df} - zwiększenie szerokości kanału nMOS powoduje skrócenie opóźnienia opadania.

Zwiększenie dł. kanałów lub pojemności elektr. powoduje zwiększenie t_r , t_f , t_{dr} , t_{df}

Optymalne wartości powinny być jak najmniejsze aby zapewnić jak największą częstotliwość przetwarzania. t_r i t_f powinny być podobnej wartości.

4.

$$a) \beta = \mu \cdot C_{ox} \cdot \frac{W}{L} = k \cdot W$$

$$k_n = 1.1 \cdot 10^{-2} \cdot \frac{3.9 \cdot 8.854 \cdot 10^{-12}}{2.6 \cdot 10^{-9}} = 1.46 \cdot 10^{-4}$$

$$k_p = 0.45 \cdot 10^{-2} \cdot \frac{3.9 \cdot 8.854 \cdot 10^{-12}}{2.6 \cdot 10^{-9}} = 5.549 \cdot 10^{-5}$$

$$\beta_n = 1.46 \cdot 10^{-4} \cdot \frac{2 \cdot 10^{-2}}{6.5 \cdot 10^{-3}} = 4.49 \cdot 10^{-4}$$

$$\beta_p = 5.549 \cdot 10^{-5} \cdot \frac{3.4 \cdot 10^{-2}}{6.5 \cdot 10^{-3}} = 8.02 \cdot 10^{-4}$$

$$V_{tp} = -0.48V \quad V_{tn} = 0.4V \quad V_{DD} = 1.2V \quad C_{out} = 50F \quad \delta = \frac{\beta_n}{\beta_p}$$

$$V_{tn} = \frac{\sqrt{\delta} \cdot V_{tp} + V_{DD} + V_{tp}}{1 + \sqrt{\delta}} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} \cdot V_{tn} + V_{DD} + V_{tp}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} = \frac{0.448 \cdot 0.4 + 1.2 - 0.48}{1.748}$$

$$V_{tn} = 0.583V$$

$$b) V_{tp} = -0.48V \quad V_{tn} = 0.4V \quad V_{DD} = 1.2V \quad C_{out} = 50F$$

$$\beta_n = 4.49 \cdot 10^{-4}$$

$$\beta_p = 8.02 \cdot 10^{-4}$$

$$\beta_n [2(V_{in} - V_{tn}) - V_{out}] V_{out} = \beta_p (V_{DD} - V_{in} + V_{tp})^2 \quad | : \beta_p$$

$$\frac{\beta_n}{\beta_p} [2(V_{in} - V_{tn}) - V_{out}] V_{out} = (V_{DD} - V_{in} + V_{tp})^2$$

$$\frac{\beta_n}{\beta_p} [2(V_{in} - V_{tn}) - V_{out}] V_{out} = (V_{DD} - V_{in} + V_{tp})^2$$

$$0.56 (2V_{in} - 0.8 - V_{out}) V_{out} = (0.72 - V_{in})^2$$

$$1.12 V_{out} - 0.56 (V_{in} - 0.4) = V_{in} - 0.72$$

$$0.56 (2V_{in} - 0.8 - V_{out}) V_{out} = (0.72 - V_{in})^2$$

$$V_{out} = 1.39 V_{in} - 0.84$$

$$0.56 (2V_{in} - 0.8 - 1.39 V_{in} + 0.84) (1.39 V_{in} - 0.84) = (0.72 - V_{in})^2$$

$$0.56 (1.39 V_{in} - 0.84) (0.61 V_{in} - 0.04) = (0.72 - V_{in})^2$$

$$0.474 V_{in}^2 - 0.255 V_{in} - 0.018 = V_{in}^2 - 1.44 V_{in} + 0.518$$

$$-0.525 V_{in}^2 + 1.184 V_{in} - 0.537 = 0$$

$$\Delta = 1.401 - 1.127 = 0.273$$

$$V_{in1} = \frac{-(1.18) - 0.522}{-2 \cdot 0.525} = 0.6304$$

$$V_{in2} = \frac{-(1.18) + 0.522}{-2 \cdot 0.525} = 1.6247 \notin D \quad 1.62 > V_{DD}$$

$$O_{dp}: V_{in} = V_{IH} = 0.6304$$

$$4. c) V_{TP} = -0.48V \quad V_{TN} = 0.4V \quad V_{DD} = 1.2V \quad C_{out} = 50F$$

$$\beta_n = 4.49 \cdot 10^{-4} \quad \beta_p = 8.02 \cdot 10^{-4}$$

$$\beta_n (V_{in} - V_{TN})^2 = \beta_p [2(V_{DD} - V_{in} + V_{TP}) - (V_{DD} - V_{out})](V_{DD} - V_{out})$$

$$\beta_n (V_{in} - V_{TN}) = \beta_p (V_{DD} - V_{in} + V_{TP}) - 2\beta_p (V_{DD} - V_{out})$$

$$4.49 \cdot 10^{-4} (V_{in} - 0.4)^2 = 8.02 \cdot 10^{-4} [2 \cdot (1.2 - V_{in} - 0.48) - 1.2 + V_{out}] (1.2 - V_{out})$$

$$4.49 \cdot 10^{-4} (V_{in} - 0.4) = 8.02 \cdot 10^{-4} [1.2 - V_{in} - 0.48 - 2 \cdot 0.02 \cdot 10^{-4} (1.2 - V_{out})]$$

$$0.56 \cdot (V_{in} - 0.4)^2 = [2(0.72 - V_{in}) - (1.2 - V_{out})] \cdot (1.2 - V_{out})$$

$$0.56 \cdot (V_{in} - 0.4) = (0.72 - V_{in}) - 2(1.2 - V_{out})$$

$$0.56 (V_{in} - 0.4)^2 = [2 \cdot (0.72 - V_{in}) - (1.2 - V_{out})] (1.2 - V_{out})$$

$$0.56 V_{in} - 0.22 = -V_{in} + 2V_{out} - 1.68$$

$$2V_{out} = 1.56 V_{in} + 1.46$$

$$V_{out} = 0.78 V_{in} + 0.73$$

$$0.56 (V_{in}^2 - 0.8V_{in} + 0.16) = (1.44 - 2V_{in} - 1.2 + 0.78V_{in} + 0.73)(1.2 - 0.78V_{in} - 0.73)$$

$$0.56 V_{in}^2 - 0.45V_{in} + 0.08 = (0.97 - 1.22V_{in}) (-0.78V_{in} + 0.47)$$

$$0.56 V_{in}^2 - 0.45V_{in} + 0.08 = 0.95 V_{in}^2 - 0.57V_{in} - 0.78 V_{in} + 0.47$$

$$0.39 V_{in}^2 - 0.87V_{in} + 0.38 = 0$$

$$39 V_{in}^2 - 87V_{in} + 38 = 0$$

$$\Delta = 87^2 - 4 \cdot 39 \cdot 38 = 1641$$

$$V_{in1} = \frac{87 \pm 40.5}{78} = 1.63 \notin D \text{ spreche}$$

$$V_{in2} = \frac{87 - 40.5}{78} = 0.59$$

$$\text{Adp: } V_{in} = V_{IL} = 0.59$$