

Karta Ćwiczenia 3. Projekt i symulacja sumatora

Imię i Nazwisko: Andrzej Kapczyński Grupa L8 Semestr 7
 Dzień tygodnia i godzina: wtorek 15:10
 Data wykonania ćwiczenia: 13.01.2023 Podpis prowadzącego:

1. Przygotowanie do ćwiczenia

Wykonanie „przygotowania do ćwiczenia” jest warunkiem koniecznym dopuszczenia do ćwiczenia i powinno być przygotowane w domu.

Do niniejszej kartki dołącz (zszyte zszywaczem) pisane odręcznie (zabronione jest pisanie na komputerze) odpowiedzi na następujące zagadnienia:

1. Narysuj schemat pełnego sumatora (full adder) za pomocą bramek logicznych. Napisz funkcje logiczne dla wyjść SUM i CARRYout.
2. Zaproponuj i narysuj przebiegi sygnałów wejściowych A,B,Cin pozwalające przetestować poprawność działania sumatora. Narysowane przebiegi fali prostokątnej powinny mieć wartości amplitudy 0 i 1.2 V, a czas trwania jednego bitu powinien wynosić 50 ns. Cały przebieg powinien więc zmieścić się w czasie 400 ns ± czasy narastania i opadania.
 Jaką analizę należy wykonać, aby sprawdzić poprawność działania sumatora na poziomie tranzystorów? Podaj parametry analizy, a w szczególności czas jej trwania.
 Zaproponuj analizę i przebiegi do wyznaczenia czasów, które należy wpisać w tabeli 2.
3. Narysuj symbol sumatora, a następnie użyj go do narysowania schematu sumatora 4 bitowego typu „Ripple-Carry Adder” (połączenie łańcuchowe sumatorów).
4. Określ ścieżkę krytyczną dla tego typu sumatora 4-bitowego i podaj kombinację wejściową (przebiegi wejściowe), które pozwolą wyznaczyć maksymalny czas propagacji.
5. Zakładając, że najdłuższe opóźnienie na jednym sumatorze (Cin do Cout) wynosi 10 ms i wejściowymi liczbami są (xxxx)₂ oraz (yyyy)₂ zaproponowane przez Ciebie w pkt 4 podaj wartości (0/1) na wyjściach sumatora w chwilach 9 ms, 19 ms, 29 ms, 39 ms, 49 ms i 59 ms.

Czas	Cout	S3	S2	S1	S0
9 ms					
19 ms					
29 ms					
39 ms					
49 ms					
59 ms					

Zaproponuj rodzaj symulacji i narysuj przebiegi wejściowe dla weryfikacji powyższej tabeli dla sumatora 4-bitowego.

II. Wyniki symulacji

Tabela 1.

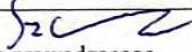
Potwierdzenie przez prowadzącego poprawności wykresów na monitorze	 podpis prowadzącego
--	---

Tabela 2.

	Parametr	Wartość	Jednostka
Z wejścia A do wyjścia CARRY	Opóźnienie high-to-low t_{df}	2.8558	ns
	Opóźnienie low-to-high t_{dr}	1.3267	ns
	Opóźnienie t_d	2.09125	ns
	Czas opadania t_f	5.4262	ns
	Czas narastania t_r	2.6636	ns
Z wejścia C do wyjścia CARRY	Opóźnienie t_d	2.1083	ns
Z wejścia A do wyjścia SUM	Opóźnienie Delay time t_d	2.11525	ns

Tabela 3.

A3A2A1A0 C0	1 1 1 1 1
B3B2B1B0	0 0 0 0
CARRY S3S2S1S0	1 0 0 0 0

Tabela 4.

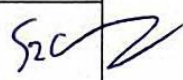
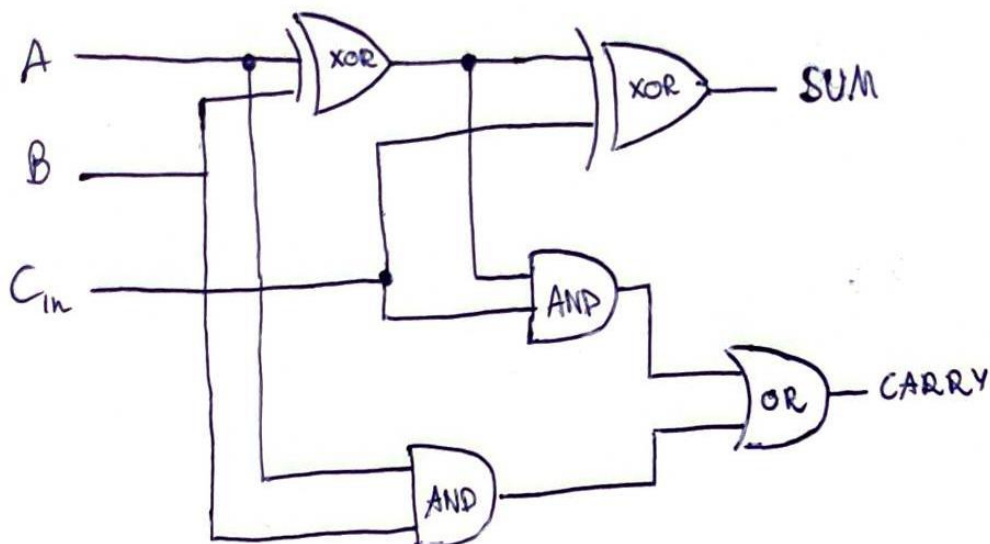
Czas	Cout	S3	S2	S1	S0
200.692ns	0	1	1	1	1
200.72ns	0	1	1	1	0
200.795ns	0	1	1	0	0
200.869ns	0	1	0	0	0
200.905ns	1	1	0	0	0
200.945ns	1	0	0	0	0
Potwierdzenie przez prowadzącego zgodności wpisów z wykresami na monitorze				podpis prowadzącego	

Tabela 5.

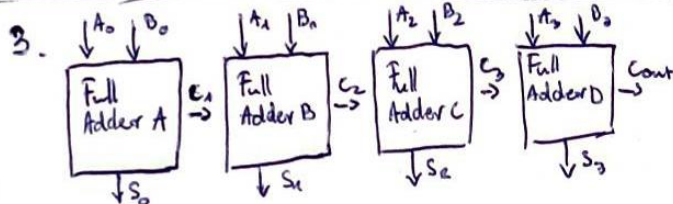
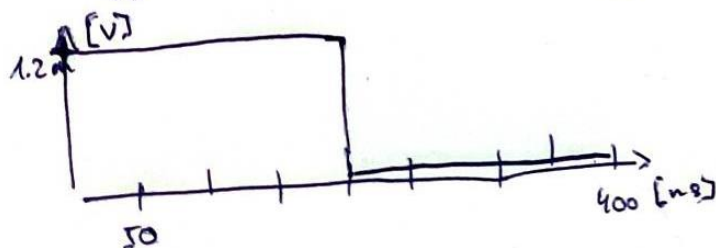
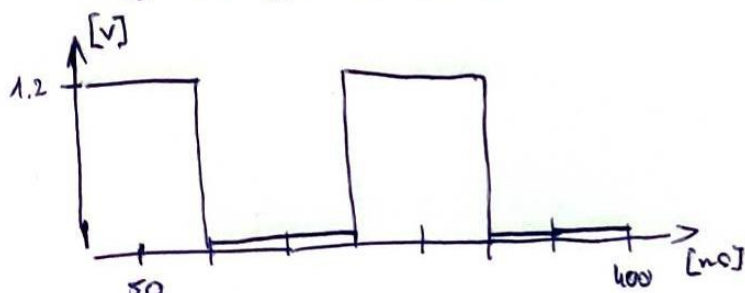
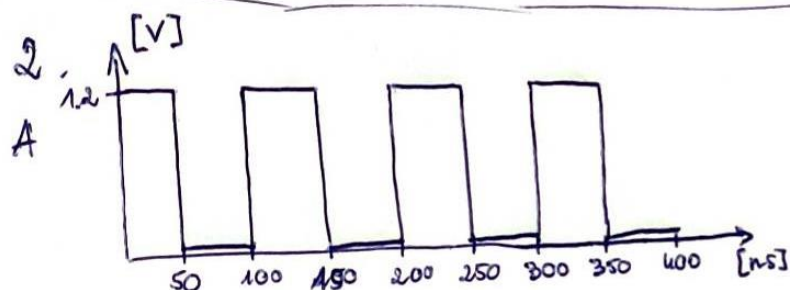
	Parametr	Wartość	Jednostka
Z wejścia A0 do wyjścia CARRY	Opóźnienie high-to-low t_{df}	351.38	ps
	Opóźnienie low-to-high t_{dr}	386.71	ps
	Opóźnienie t_d	369.04	ps
	Czas opadania t_f	17.046	ps
	Czas narastania t_r	24.858	ps
Z wejścia C0 do wyjścia CARRY	Opóźnienie t_d	356.165	ps
Z wejścia A0 do wyjścia SUM0	Opóźnienie Delay time t_d	195.68	ps

1.

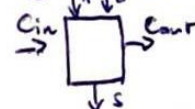


$$SUM: Cin \oplus A \oplus B$$

$$CARRY: AB + Cin(A \oplus B)$$



Symbol sumatora 1-bitowego



4. Ścieżka krytyczna

A: 0000

B: 1111

Cin: zmiana z 0 na 1

Aby sprawdzić poprawność działania sumatora

należy wykonać analizę .TRAN 1n 400n 0 1n - dokładność

wordy
czasowy

czas
trwania
analizy

opóźnienie
połączone