



**İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA
MÜHENDİSLİK FAKÜLTESİ
BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ**

**LOJİK DEVRE TASARIMI LABORATUVARI
DENEY RAPORU**

DENEY NO : 4
DENEYİN ADI : Temel Flip-Flopların İncelenmesi ve Ardışıl Lojik Devre Tasarımı
DENEY TARİHİ : 09.04.2025
RAPOR TESLİM TARİHİ : 30.04.2025
GRUP NO : C - 6
DENEYİ YAPANLAR :

<u>No</u>	<u>Adı</u>	<u>Soyadı</u>	<u>İmza</u>
-----------	------------	---------------	-------------

1306220017	Ahmet Anıl	Çay
1306220063	Batuhan	Çelenk
1306220050	Enes Yahya	Bodur

Öğretim Üyesi: Dr. Öğr. Üyesi Muhammed Erdem İSENKUL
Asistanlar: Araş.Gör. Ümmet OCAK – Araş.Gör. Mustafa ŞİRİN

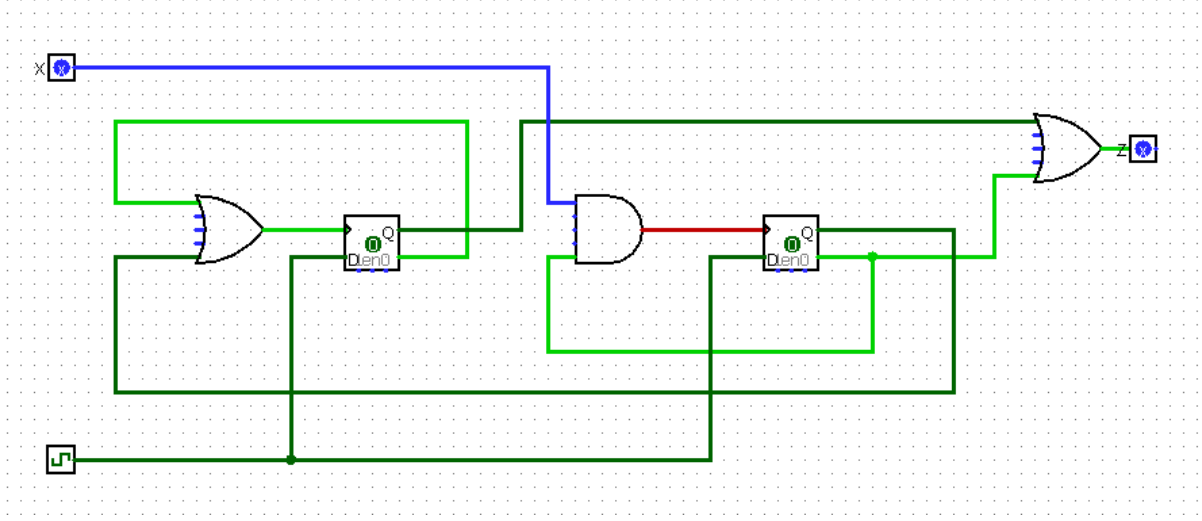
1. DENEYİN AMACI

Amaç 1: SR, D, JK ve T flip floplarının çalışma prensiplerini, giriş-çıkış ilişkilerini, durum değişimlerini ve kullanım alanlarını laboratuvar ortamında detaylı bir şekilde gözlemlemek.

Amaç 2: Flip floplardan yararlanarak ardışıl (sekansiyel) lojik devrelerin tasarımını gerçekleştirmek.

Amaç 3: Tasarlanan ardışıl devreleri analiz ederek flip flopların pratikteki işlevlerini pekiştirmek ve bu devre elemanlarına dair bilgileri derinleştirmek.

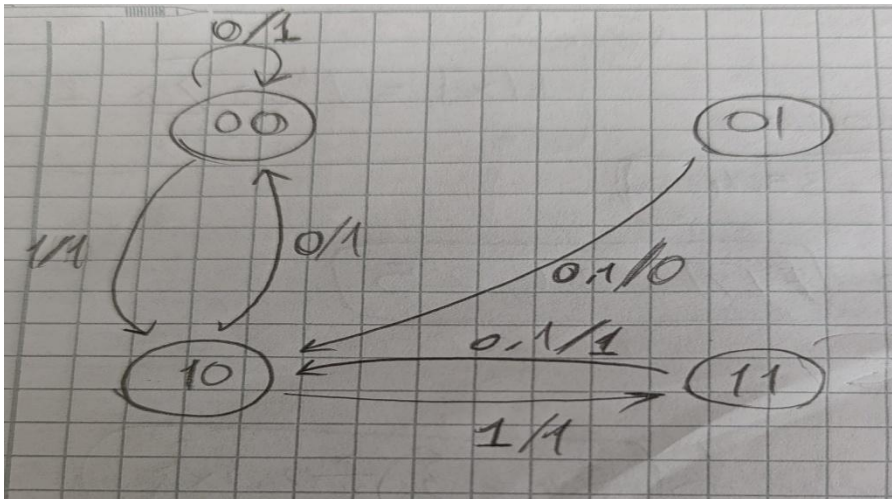
2. DENEY ÖNCESİ ÇALIŞMALARI



a) Doğruluk Tablosu

Q1(t)	Q2(t)	X	Q1(t+1)	Q2(t+1)	Z
0	0	0	0	0	1
0	0	1	1	0	1
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	1	1	1
1	1	0	0	1	1
1	1	1	1	0	1

b) Durum Diyagramı



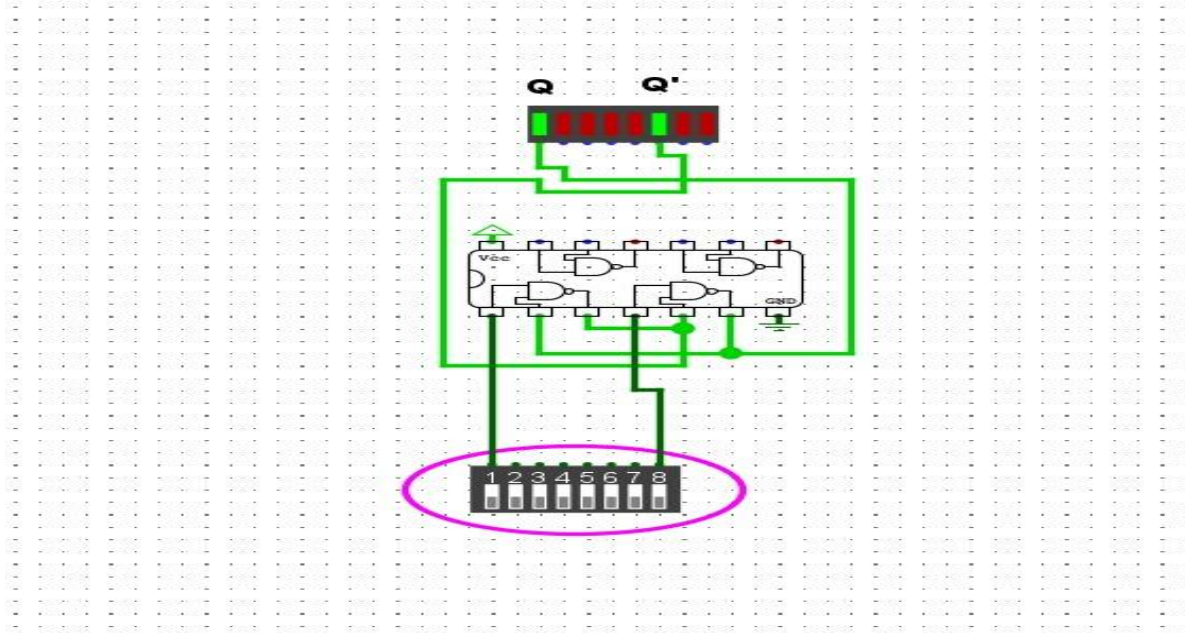
- c) Bu devre, X girişinin 1 olduđu gemiř durumları izleyerek geici olarak ıkışı 1 yapan bir durum izleyicidir.
Belirli bir X dizisini (örneğin "1" deęerini takiben bir "1" daha) algılayıp tepki verir.
Özellikle, X girişinde bir "1" deęeri geldikten sonra bir süre Z ıkışı 1 olarak kalır, sonra tekrar sıfırlanabilir.
Bu, sıklıkla kullanılan bir "pulse generator" (darbelik ıkış üretici) ya da "event detector" (olay algılayıcı) mantığına benzer.

3. DENEYDE KULLANILAN ELEMANLAR

- CADET
- 74xx04 Tmleme (NOT) kapısı
- 74xx00 VE DEĐİL (NAND)
- 74xx08 VE (AND) kapısı
- 74xx02 VEYA DEĐİL (NOR)
- 74xx174 D flip-flopu (iki adet)

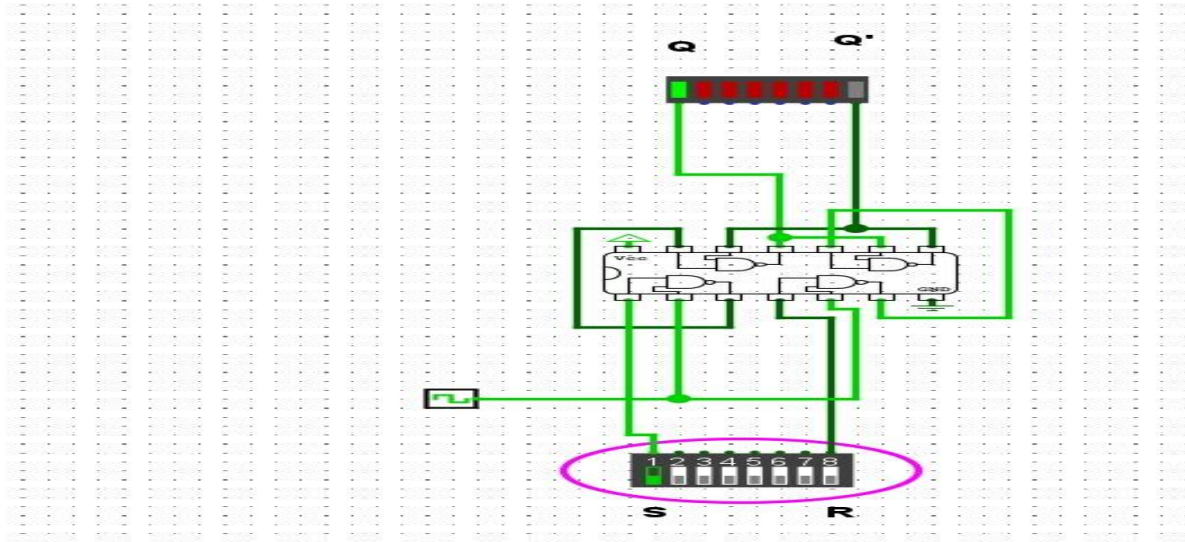
4. ÖLÇME SONUÇLARI

ADIM 1:



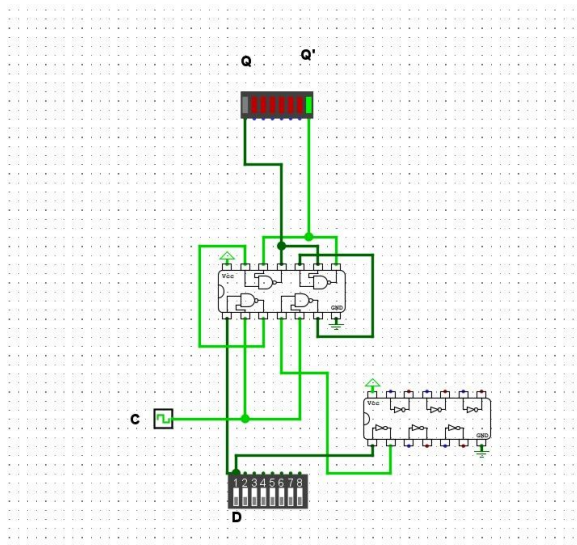
S	R	Q	Q'
1	0	1	0
0	1	0	1
0	0	Q	Q'
1	1	-	-

ADIM 2:



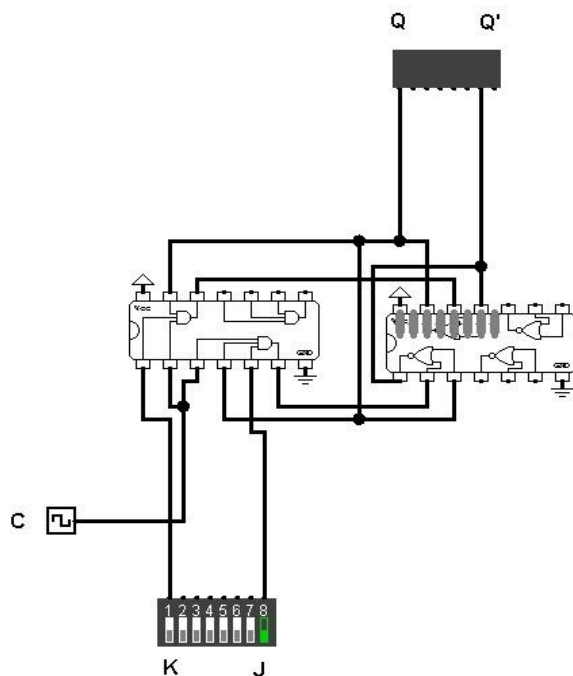
S	R	C	Q	Q'
0	0	1	Q	Q'
0	1	1	0	1
1	0	1	1	0
1	1	1	-	-
X	X	0	Q	Q'

ADIM 3:



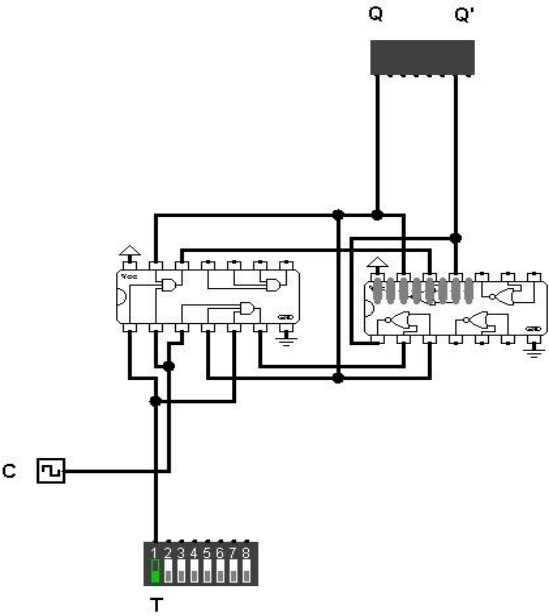
C	D	Q	Q'
1	0	0	1
1	1	1	0
0	X	Q	Q'

ADIM 4:



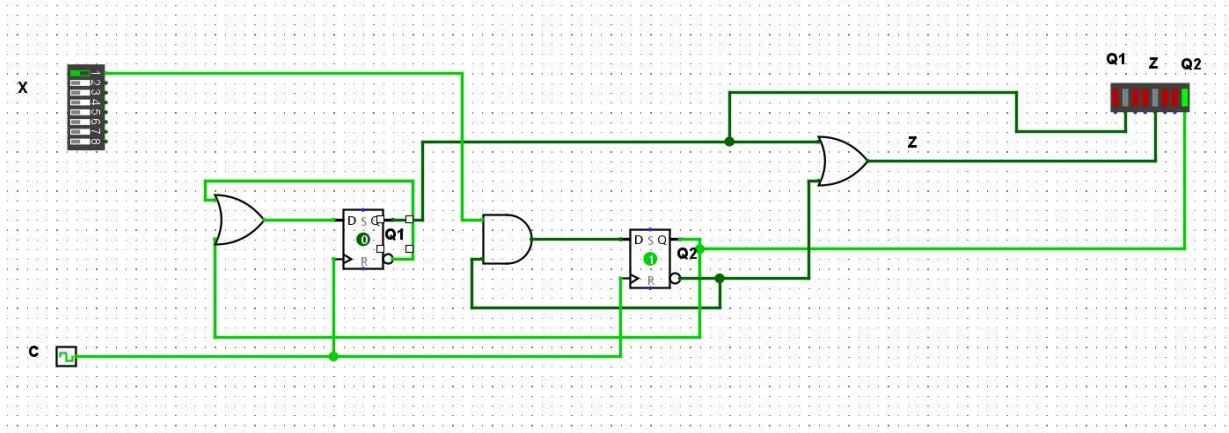
C	J	K	Q	Q'
1	0	0	Q	Q'
1	0	1	0	1
1	1	0	1	0
1	1	1	Q'	Q
0	X	X	Q	Q'

ADIM 5:



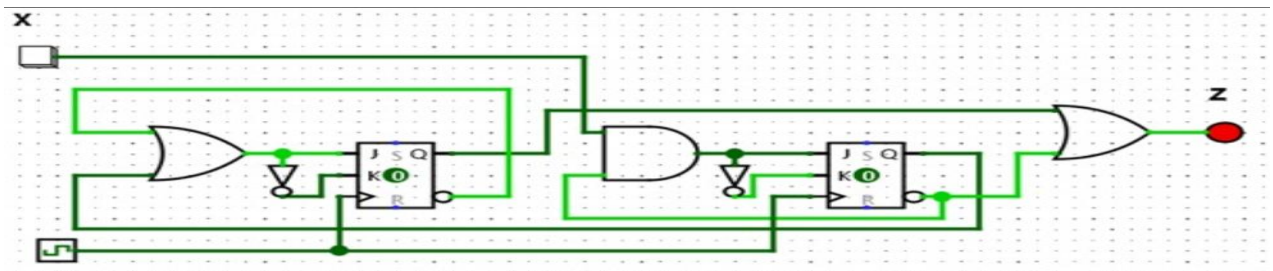
Q	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

ADIM 6:



X	Q1	Q2	Q1+	Q2+	Z
0	0	0	0	0	1
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	1	0	1
1	0	0	1	0	1
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	1	0	1

5. DENEY SONU SORULARI



X	Q1	Q2	Q1'	Q2'	J1	K1	J2	K2	Q1(next)	Q2(next)	Z = Q1 + Q2'
0	0	0	1	1	1	0	0	1	1	0	1
0	0	1	1	0	1	0	0	1	1	0	0
0	1	0	0	1	0	1	0	1	0	0	1
0	1	1	0	0	1	0	0	1	1	0	0
1	0	0	1	1	1	0	1	0	1	1	1
1	0	1	1	0	1	0	0	1	1	0	0
1	1	0	0	1	0	1	1	0	0	1	1
1	1	1	0	0	1	0	0	1	1	0	0

6. SONUÇ VE YORUMLAR

1. SR, JK, D ve T flip floplarının nasıl çalıştığı, aralarındaki temel farklarla birlikte kavrandı.
2. Flip floplarda giriş-çıkış etkileşimleri gözlemlendi ve durum geçişleri detaylı şekilde analiz edildi.
3. Ardışıl lojik devrelere ait diyagramlar ve durum tabloları incelenerek devrelerin işleyişi hakkında bilgi edinildi.
4. Bir ardışıl lojik devre tasarlanarak devre kurma konusundaki yetkinliklerimiz geliştirildi.
5. Teorik düzeyde öğrenilen ve ilk başta karmaşık görünen flip floplar, laboratuvar uygulamaları sayesinde daha anlaşılır hâle geldi ve somut olarak pekiştirildi.