



数字电路实验报告

实验题目: FPGA 原理及 Vivado 综合

学生姓名: 孔浩宇

学生学号: PB20000113

完成日期: 2022/11/16

1 实验题目

FPGA 原理及 Vivado 综合

2 实验目的

1. 了解 FPGA 工作原理
2. 了解 Verilog 文件和约束文件在 FPGA 开发中的作用
3. 学会使用 Vivado 进行 FPGA 开发的完整流程

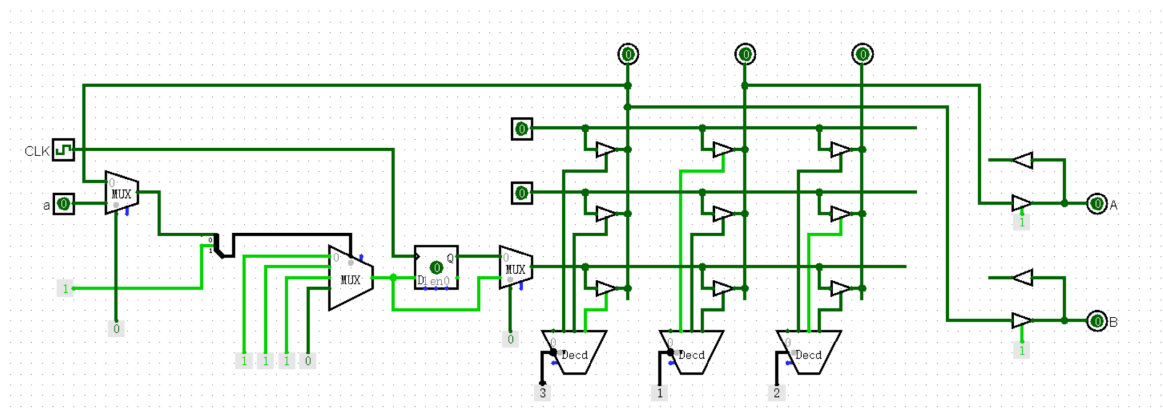
3 实验环境

- (1) vlab.ustc.edu.cn
- (2) fpagol.ustc.edu.cn
- (3) Logisim
- (4) Vivado

4 实验练习

题目 1

如图



题目 2

约束文件如图

```
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 } [get_ports { clk }]; #IO_L12
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLK100MHZ}.
## FPGA0L BUTTON & SOFT_CLOCK
set_property -dict { PACKAGE_PIN B18      IOSTANDARD LVCMOS33 } [get_ports { rst }];

## FPGA0L LED (single-digit-SEGPLAY)

set_property -dict { PACKAGE_PIN C17      IOSTANDARD LVCMOS33 } [get_ports { led[0] }];
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports { led[1] }];
set_property -dict { PACKAGE_PIN E18      IOSTANDARD LVCMOS33 } [get_ports { led[2] }];
set_property -dict { PACKAGE_PIN G17      IOSTANDARD LVCMOS33 } [get_ports { led[3] }];
set_property -dict { PACKAGE_PIN D17      IOSTANDARD LVCMOS33 } [get_ports { led[4] }];
set_property -dict { PACKAGE_PIN E17      IOSTANDARD LVCMOS33 } [get_ports { led[5] }];
set_property -dict { PACKAGE_PIN F18      IOSTANDARD LVCMOS33 } [get_ports { led[6] }];
set_property -dict { PACKAGE_PIN G18      IOSTANDARD LVCMOS33 } [get_ports { led[7] }];

## FPGA0L SWITCH

set_property -dict { PACKAGE_PIN D14      IOSTANDARD LVCMOS33 } [get_ports { sw[7] }];
set_property -dict { PACKAGE_PIN F16      IOSTANDARD LVCMOS33 } [get_ports { sw[6] }];
set_property -dict { PACKAGE_PIN G16      IOSTANDARD LVCMOS33 } [get_ports { sw[5] }];
set_property -dict { PACKAGE_PIN H14      IOSTANDARD LVCMOS33 } [get_ports { sw[4] }];
set_property -dict { PACKAGE_PIN E16      IOSTANDARD LVCMOS33 } [get_ports { sw[3] }];
set_property -dict { PACKAGE_PIN F13      IOSTANDARD LVCMOS33 } [get_ports { sw[2] }];
set_property -dict { PACKAGE_PIN G13      IOSTANDARD LVCMOS33 } [get_ports { sw[1] }];
set_property -dict { PACKAGE_PIN H16      IOSTANDARD LVCMOS33 } [get_ports { sw[0] }];
```

题目 3

(1) 30 位计数器

代码如图

```
module Base_30(
    input clk,rst,
    output reg [7:0] out
);
    reg[29:0] t;
    always@(posedge clk or posedge rst)
    begin
        if(rst==1 || t==30'b1111_1111_1111_1111_1111_1111_1111_11)begin
            t<=30'b0;
        end
        else begin
            t<=t+30'b1;
        end
        out=t[29:22];
    end
endmodule
```

约束文件如图

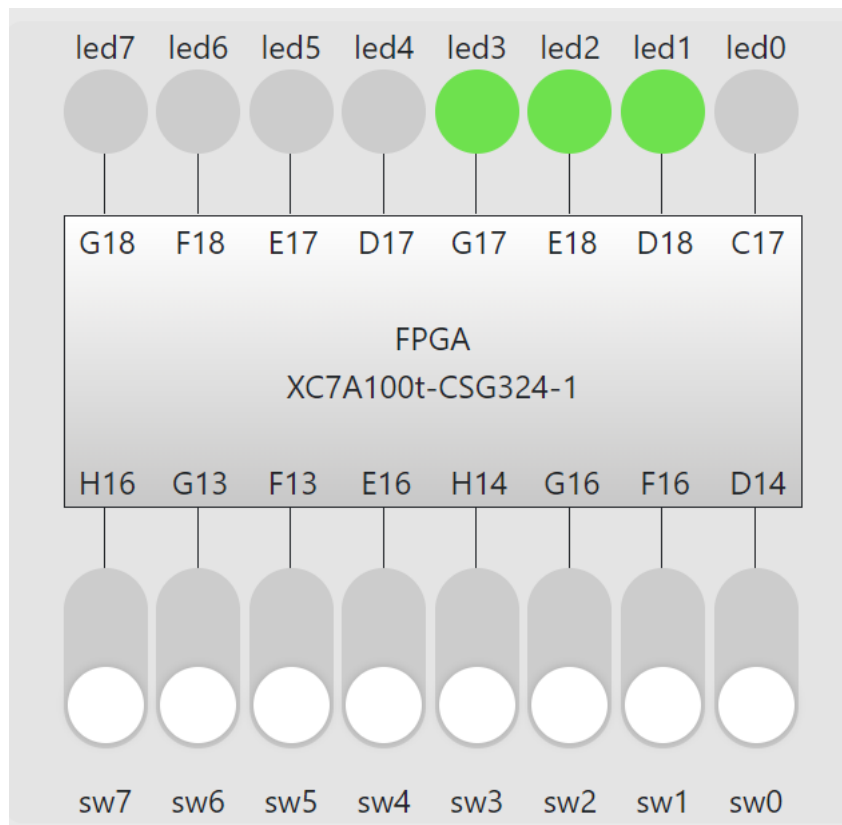
```
## Clock signal
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 } [get_ports { clk }]; #IO
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLK100

set_property -dict { PACKAGE_PIN B18      IOSTANDARD LVCMOS33 } [get_ports { rst }]; #I

## FPGA0L LED (single-digit-SEGPLAY)

set_property -dict { PACKAGE_PIN C17      IOSTANDARD LVCMOS33 } [get_ports { out[0] }];
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports { out[1] }];
set_property -dict { PACKAGE_PIN E18      IOSTANDARD LVCMOS33 } [get_ports { out[2] }];
set_property -dict { PACKAGE_PIN G17      IOSTANDARD LVCMOS33 } [get_ports { out[3] }];
set_property -dict { PACKAGE_PIN D17      IOSTANDARD LVCMOS33 } [get_ports { out[4] }];
set_property -dict { PACKAGE_PIN E17      IOSTANDARD LVCMOS33 } [get_ports { out[5] }];
set_property -dict { PACKAGE_PIN F18      IOSTANDARD LVCMOS33 } [get_ports { out[6] }];
set_property -dict { PACKAGE_PIN G18      IOSTANDARD LVCMOS33 } [get_ports { out[7] }];
```

结果如图



(2) 32 位计数器

代码如图

```
module base_32(
    input clk,rst,
    output reg [7:0] out
);
    reg[31:0] t;
    always@(posedge clk or posedge rst)
    begin
        if(rst==1 || t==32'b1111_1111_1111_1111_1111_1111_1111_1111)begin
            t<=32'b0;
        end
        else begin
            t<=t+32'b1;
        end
        out=t[31:24];
    end
endmodule
```

约束文件如图

```
## Clock signal
set_property -dict { PACKAGE_PIN E3      IOSTANDARD LVCMOS33 } [get_ports { clk }]; #IO_1
#create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLK100MHz}]

set_property -dict { PACKAGE_PIN B18      IOSTANDARD LVCMOS33 } [get_ports { rst }]; #IO_1

## FPGA01 LED (single-digit-SEGPLAY)

set_property -dict { PACKAGE_PIN C17      IOSTANDARD LVCMOS33 } [get_ports { out[0] }];
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports { out[1] }];
set_property -dict { PACKAGE_PIN E18      IOSTANDARD LVCMOS33 } [get_ports { out[2] }];
set_property -dict { PACKAGE_PIN G17      IOSTANDARD LVCMOS33 } [get_ports { out[3] }];
set_property -dict { PACKAGE_PIN D17      IOSTANDARD LVCMOS33 } [get_ports { out[4] }];
set_property -dict { PACKAGE_PIN E17      IOSTANDARD LVCMOS33 } [get_ports { out[5] }];
set_property -dict { PACKAGE_PIN F18      IOSTANDARD LVCMOS33 } [get_ports { out[6] }];
set_property -dict { PACKAGE_PIN G18      IOSTANDARD LVCMOS33 } [get_ports { out[7] }];
```

5 总结与思考

1. 学会了用 vivado 生产 bit 文件及 FPGA 烧写
2. 本次实验难度适中
3. 本次实验任务量适中
4. 约束文件可以多给点实例