



# 数字电路实验报告

实验题目:	Verilog 硬件描述语言
学生姓名:	孔浩宇
学生学号:	PB20000113
完成日期:	2022/11/2

## 1 实验题目

Verilog 硬件描述语言

## 2 实验目的

- (1) 掌握 Verilog HDL 常用语法
- (2) 能够熟练阅读并理解 Verilog 代码
- (3) 能够设计较复杂的数字功能电路
- (4) 能够将 Verilog 代码与实际硬件相对应

## 3 实验环境

- (1) vlab.ustc.edu.cn
- (2) verilog.ustc.edu.cn

## 4 实验练习

### 题目 1

if...else 只能用在 always 语句内部.

```
≡ t1.v
module test(
    input a,
    output reg b
);
    always @(*) begin
        if(a) b=1'b0;
        else b=1'b1;
    end
endmodule
```

题目 1

## 题目 2

如图

```
≡ t2.v
module test(
    input [4:0] a,
    output reg [4:0] b;
);
    always @(*) begin
        b=a;
    end
endmodule
```

题目 2

## 题目 3

如图

```
≡ t3.v
module test(
    input [7:0] a,b;
    output [7:0] c,d,e,f,g,h,i,j,k
);
    assign c=a & b;        //c=8'b0011_0000
    assign d=a | b;        //d=8'b1111_0011
    assign e=a ^ b;        //e=8'b1100_0011
    assign f=~a;           //f=8'b1100_1100
    assign g={a[3:0],b[3:0]}; //g=8'b0011_0000
    assign h=a>>3;         //h=8'b0000_0110
    assign i=&b;            //i=8'b0000_0000
    assign j=(a>b)? a:b;    //j=8'b1111_0000
    assign k=a-b;          //k=8'b0100_0011
endmodule
//a=8'b0011_0011,b=8'b1111_0000
```

题目 3

## 题目 4

assign 不能给 reg 赋值：模块实例化格式错误

≡ t4.v

```
module sub_test(  
    input a,b,  
    output c  
);  
    c=(a<b)? a:b;//assign不能给reg赋值  
endmodule  
  
module test #(  
    input a,b,c,  
    output o  
);  
    wire temp;  
    sub_test sub_test1(.a(a), .b(b), .c(temp));  
    sub_test sub_test2(temp, c, o); //名称匹配和位置匹配不能混用  
endmodule
```

题目 4

## 题目 5

端口定义不准确，模块实例化不能存在于 always 语句中

≡ t5.v

```
module sub_test (  
    input a,b,  
    output o  
);  
    assign o=a+b;  
endmodule  
  
module test(  
    input a,b,  
    output c  
);  
    sub_test sub_test(a,b,c);  
endmodule
```

题目 5

## 5 总结与思考

1. 基本掌握了 verilog 语法，能够自主理解并编写 verilog 代码
2. 本次实验难度适中
3. 本次实验任务量适中
4. 可以多给点硬件的实例