



数字电路实验报告

实验题目:	简单时序逻辑电路
学生姓名:	孔浩宇
学生学号:	PB20000113
完成日期:	2022/10/27

1 实验题目

Verilog 简单时序逻辑电路

2 实验目的

- (1) 掌握时序逻辑相关器件的原理及底层结构
- (2) 能够用基本逻辑门搭建各类时序逻辑器件
- (3) 能够使用 Verilog HDL 设计简单逻辑电路

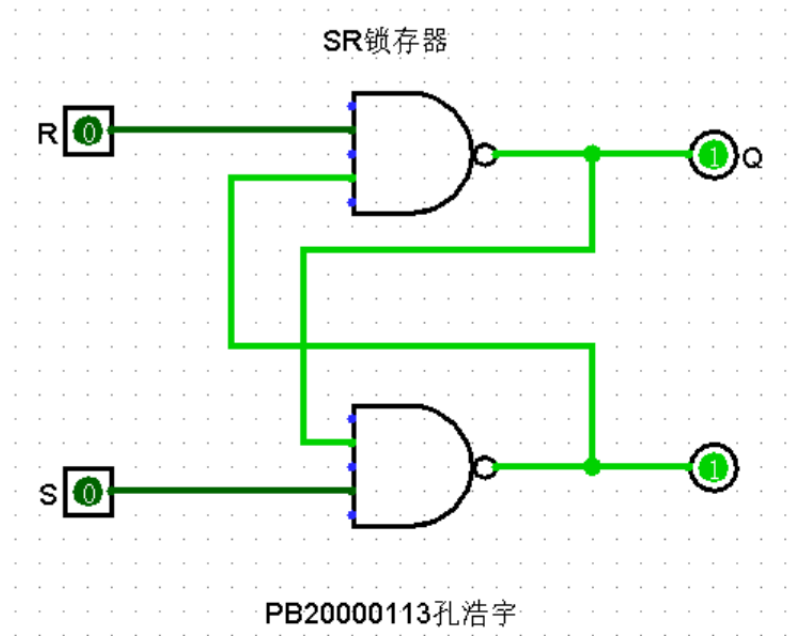
3 实验环境

- (1) vlab.ustc.edu.cn
- (2) Logisim
- (3) verilogoj.ustc.edu.cn

4 实验练习

题目 1

电路图及功能如图



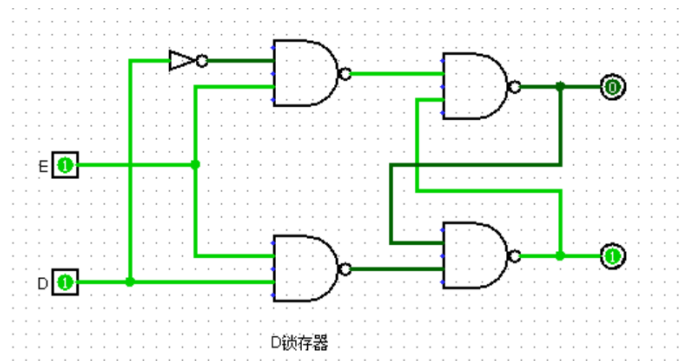
SR 锁存器

S	R	Q	$\sim Q$	功能
1	1	不变	不变	保持
1	0	0	1	置0
0	1	1	0	置1
0	0	1	1	非定义工作状态

电路状态

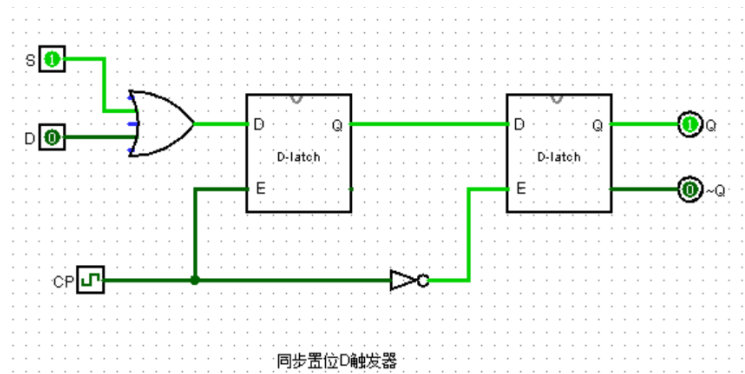
题目 2

先构造 D 锁存器如图



D 锁存器

D 触发器如图



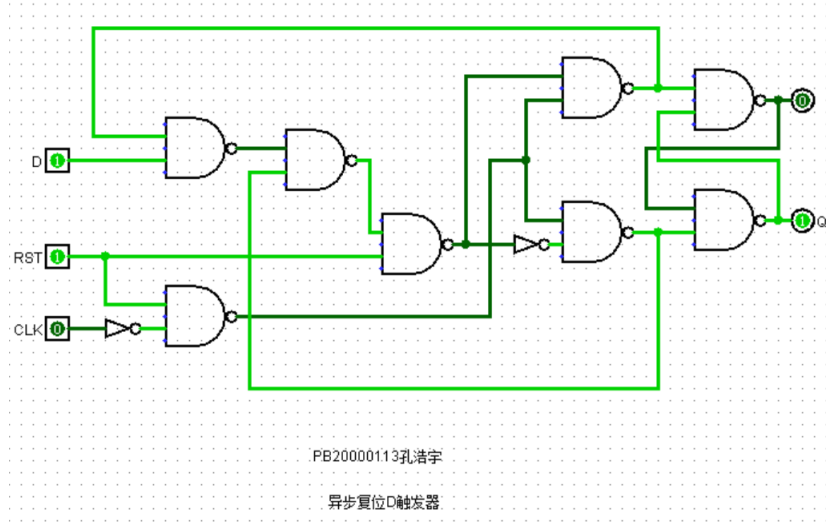
同步置位 D 触发器

Verilog 代码如图

```
≡ t2.v
module t2(clk,D,St,Q);
    input clk,D,St;
    output reg Q,QD;
    always @(posedge clk)
    begin
        if(St) Q<=1;
        else Q<=D;
    end
endmodule
```

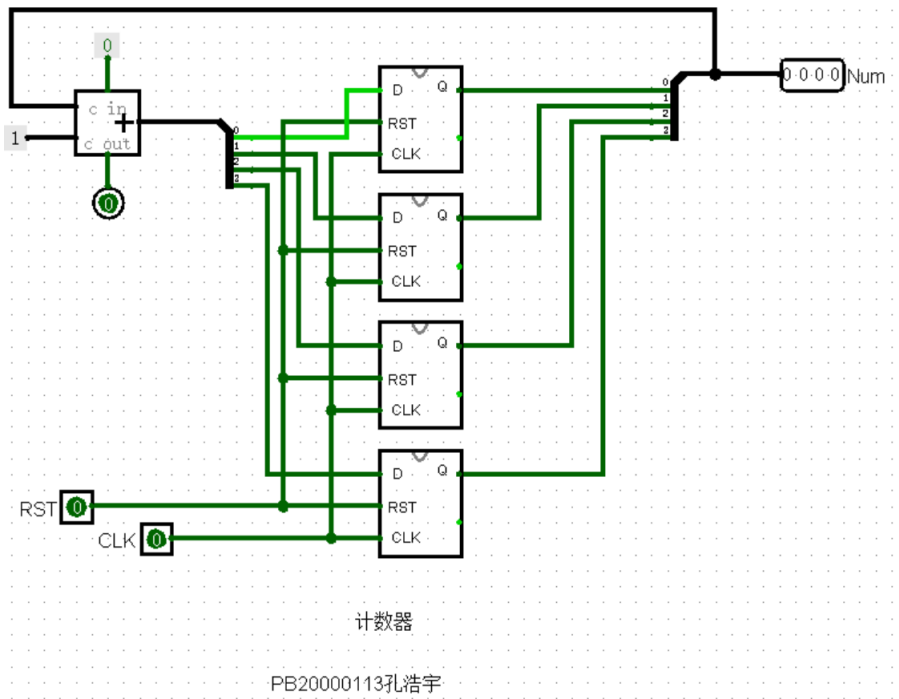
题目 3

异步复位 D 触发器如图



异步复位 D 触发器

递增计数器电路图如图



递增计数器

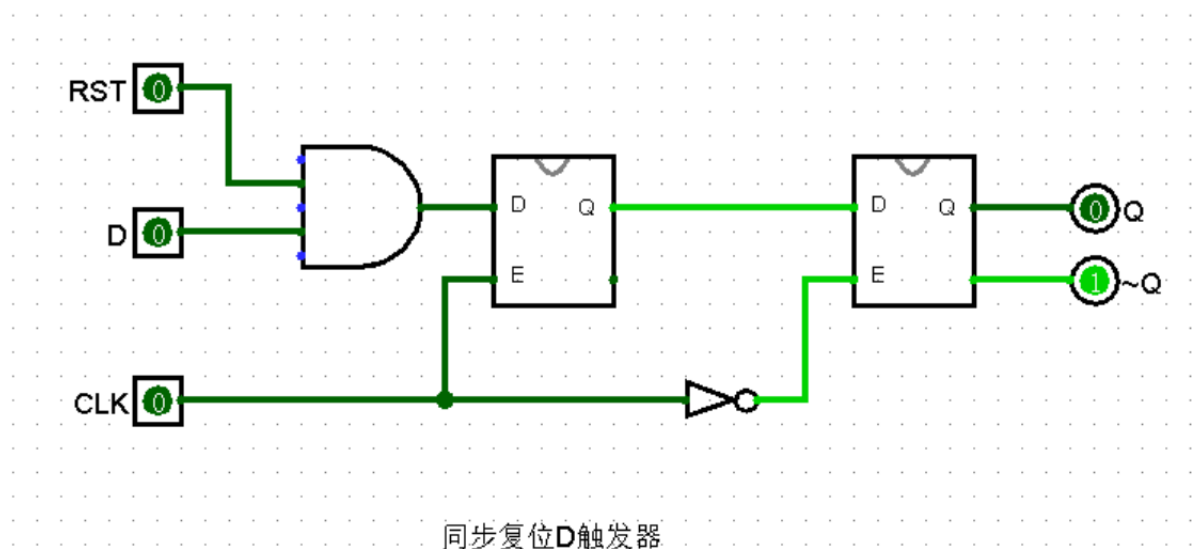
Verilog 代码如图

```
t3.v
module Counter4(CLK,RST,Num);
    input CLK,RST;
    output reg [3:0] Num;

    always @(posedge CLK or negedge RST)
    begin
        if(RST==0)
            Num <= 4'b0;
        else
            Num <= Num + 4'b1;
        end
    endmodule
```

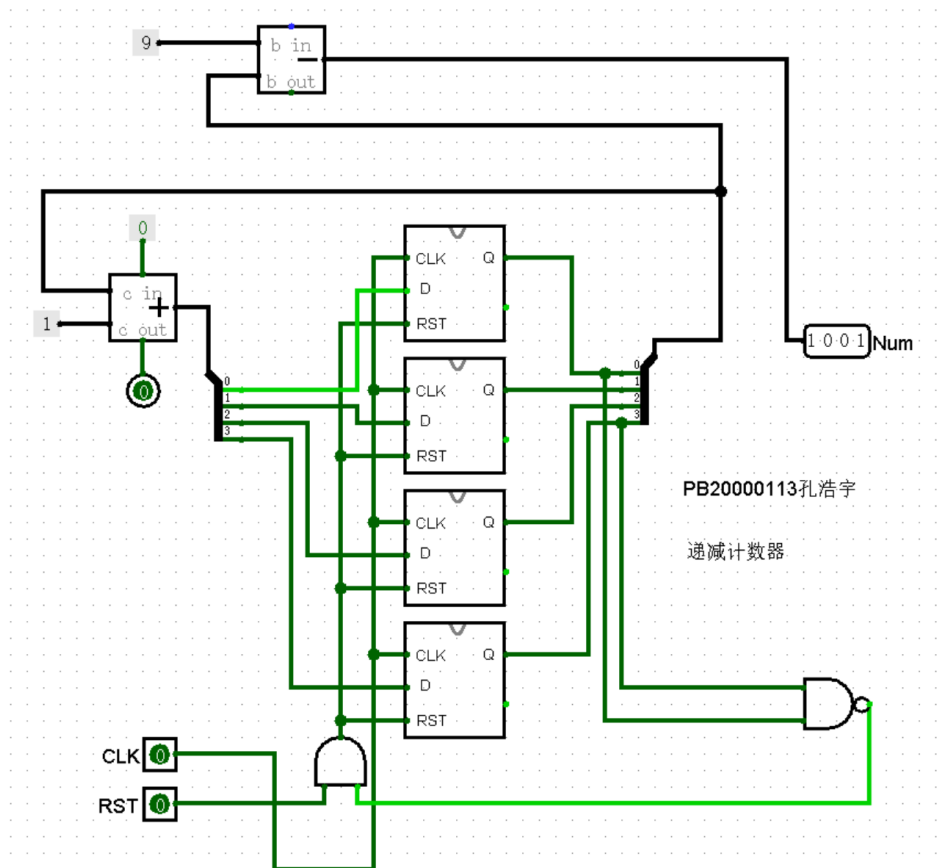
题目 4

首先搭建同步复位 D 触发器



同步复位 D 触发器

递减计数器如图



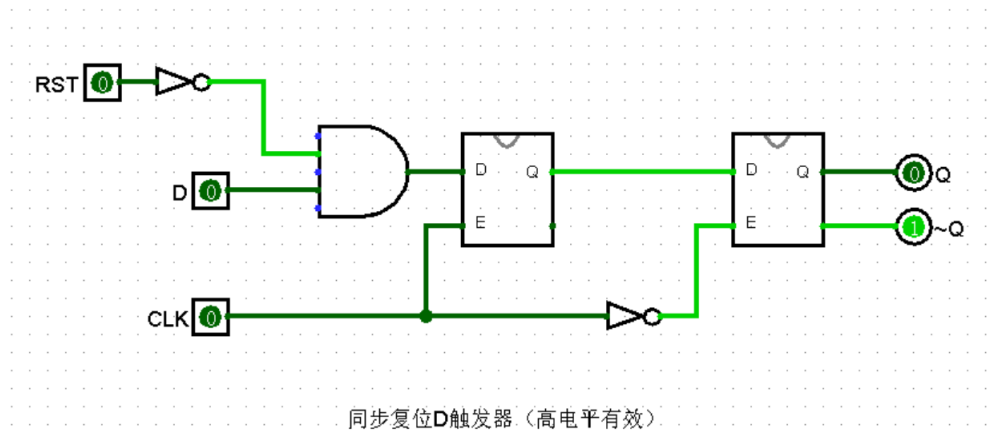
Verilog 代码如图

```
≡ t4.v
module counter_neg(CLK,RST,Num);
    input CLK,RST;
    output reg [3:0] Num;

    always @(posedge CLK)
    begin
        if(RST==0)
            Num <= 4'b1001;
        else if(Num==4'b0)
            Num <= 4'b1001;
        else
            Num <= Num-4'b0001;
    end
endmodule
```

题目 5

如图



Verilog 代码如图

```
t5.v
module DFF_HR(CLK,D,RST,Q);
    input CLK,RST,D;
    output reg Q;

    always @(posedge CLK)
    begin
        if(RST==1)
            Q<=1'b0;
        else
            Q<=D;
        end
    endmodule
```


5 总结与思考

1. 学会了使用基本逻辑门搭建各类时序逻辑器件
2. 本次实验较难
3. 本次实验任务量较大
4. 经常出现奇怪的震荡错误，完全没有头绪