



# 数字电路实验报告

实验题目:	简单组合逻辑电路
学生姓名:	孔浩宇
学生学号:	PB20000113
完成日期:	2022/10/20

## 1 实验题目

简单组合逻辑电路

## 2 实验目的

- (1) 熟练掌握 Logisim 的基本用法
- (2) 进一步熟悉 Logisim 更多功能
- (3) 用 Logisim 设计组合逻辑电路并进行仿真
- (4) 初步学习 Verilog 语法

## 3 实验环境

- (1) PC 一台：Windows 操作系统/Java 运行环境 (jre)
- (2) Logisim 仿真工具 (version 2.7.1)

## 4 实验练习

### 1. 用真值表自动生成电路

(a) 在 Logisim 中放入输入输出引脚 (图 1.1)

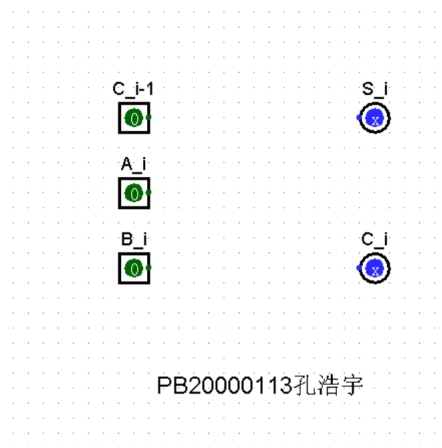


图 1.1

(b) 在菜单栏的 'Project' 选项卡中找到 'AnalyzeCircuit' 选项，选择 'Table' 选项，按照真值表修改输出值，并生成电路 (图 1.2)

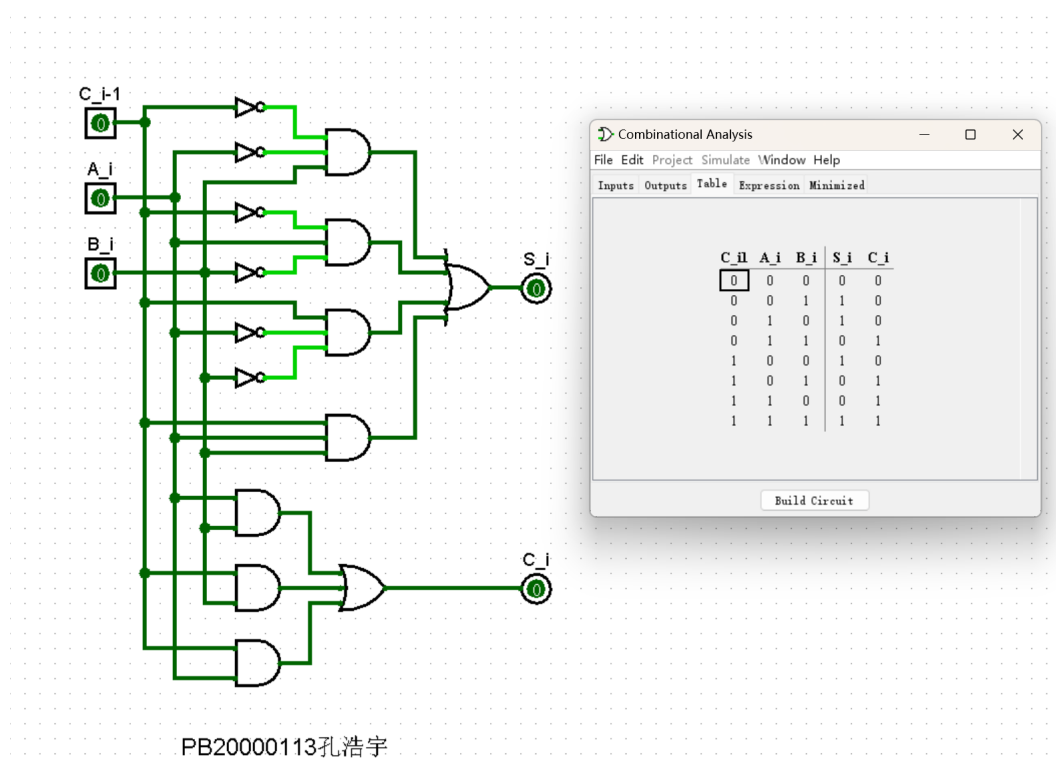


图 1.2

## 2. 用表达式自动生成电路

(a) 根据真值表写出各输出信号的表达式并借助 '*Minimized*' 进行化简 (图 2.1)

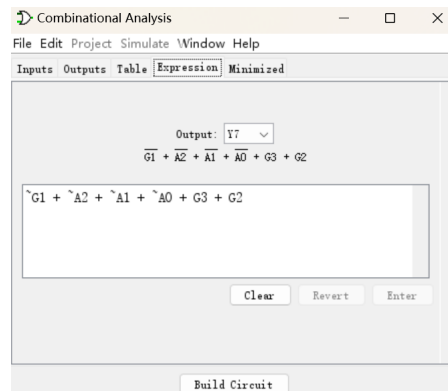


图 2.1

(b) 生成电路 (图 2.2)

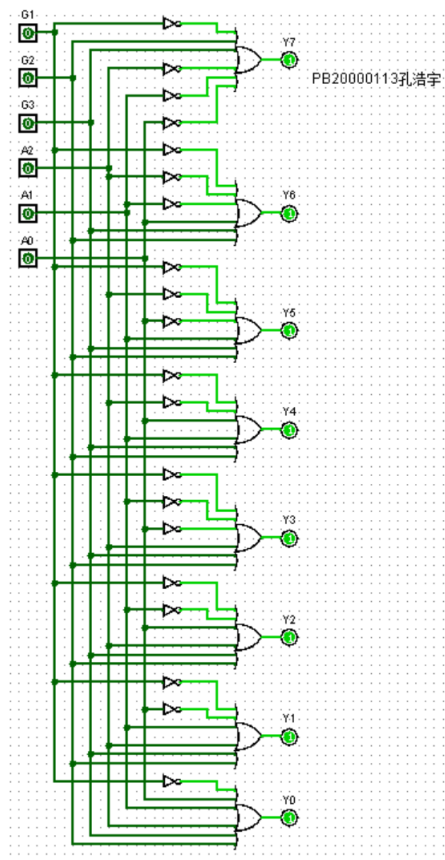


图 2.2

### 3. 二选一数据选择器

(a) 电路图如图 (图 3.1)

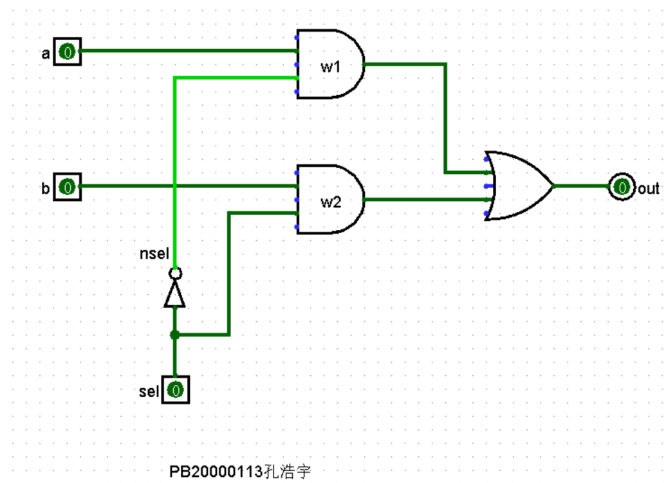


图 3.1

(b) Verilog 代码如下 (图 3.2)

```
module demo(a,b,sel,out);
    input a,b,sel;
    output out;
    wire a,b,sel,out;
    wire nsel,w1,w2;
    and (w1,a,nsel),
        (w2,b,sel);
    or (out,w1,w2);
    not (nsel,sel);
endmodule
```

图 3.2

#### 4. 四选一数据选择器

(a) 将二选一选择器电路进行封装 (图 4.1)

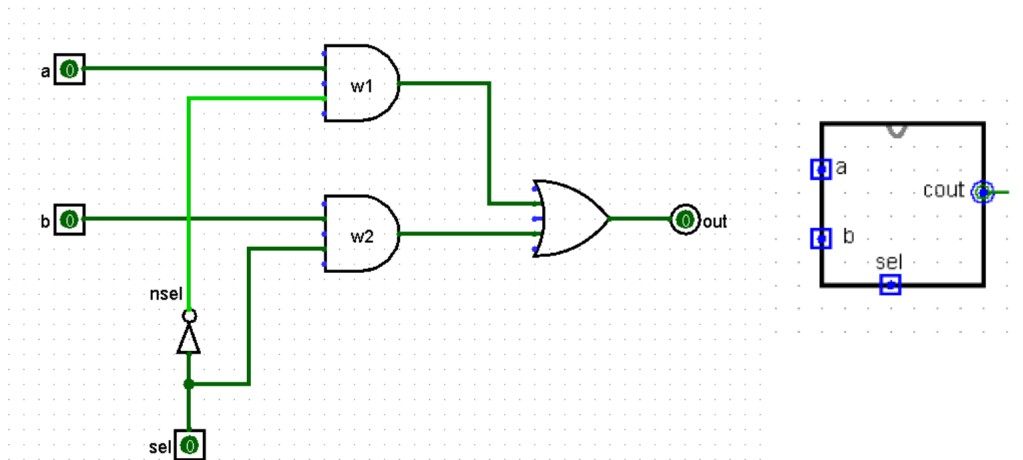


图 4.1

(b) 绘制四选一数据选择器 (图 4.2)

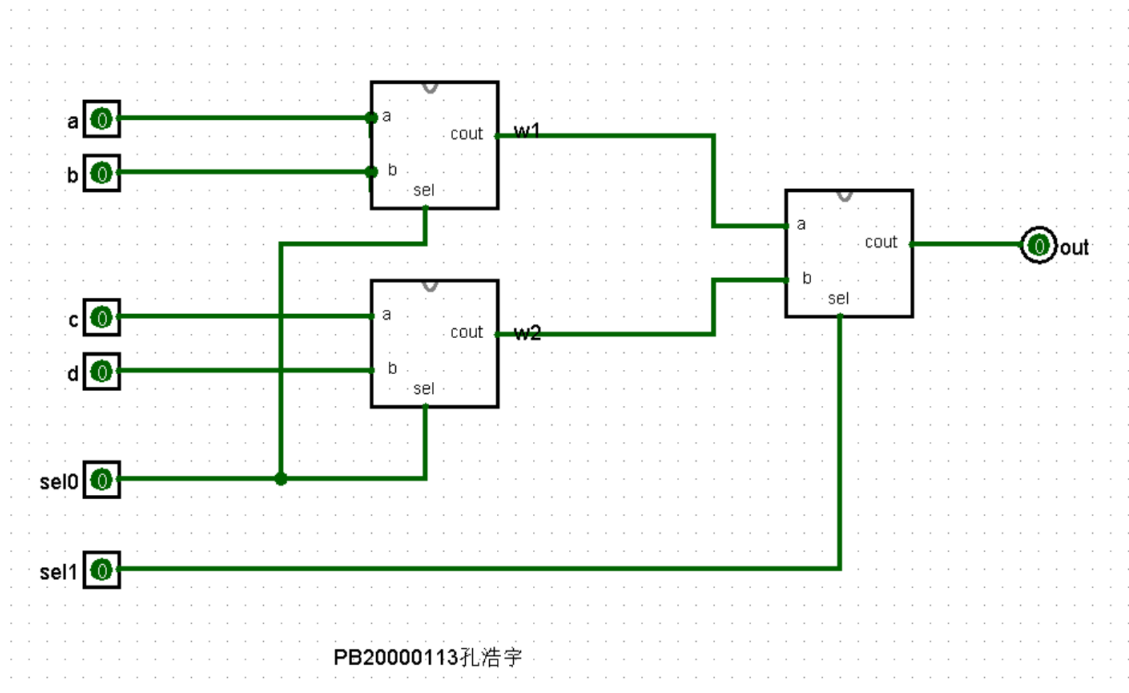


图 4.2

(c) 编写 Verilog 代码 (图 4.3)

```

module tco(a,b,sel,out);
    input a,b,sel;
    output out;
    wire a,b,sel,out;
    wire nsel,w1,w2;
    and (w1,a,nsel),
        (w2,b,sel);
    or (out,w1,w2);
    not (nsel,sel);
endmodule

module fco(a,b,c,d,sel1,sel0);
    input a,b,c,d,sel1,sel0;
    output out;
    wire w1,w2;
    tco fco1(
        .a(a),
        .b(b),
        .sel(sel0),
        .out(w1)
    );
    tco fco2(
        .a(c),
        .b(d),
        .sel(sel0),
        .out(w2)
    );
    tco fco3(
        .a(w1),
        .b(w2),
        .sel(sel1),
        .out(out)
    );
endmodule

```

图 4.3

## 5. 八位优先编码器 Verilog 代码

Verilog 代码如下 (图 5.1)

```
module item5(i,y);
    input i;
    output y;
    wire [7:0]i;
    wire [2:0]y;
    assign y[2]= i[7] | ( ~i[7] & i[6] ) | ( ~i[7] & ~i[6] & i[5] ) | ( ~i[7] & ~i[6] & ~i[5] & i[4] ) ;
    assign y[1]= i[7] | ( ~i[7] & i[6] ) | ( ~i[7] & ~i[6] & ~i[5] & ~i[4] & i[3] ) | ( ~i[7] & ~i[6] & ~i[5] & ~i[4] & ~i[3] & i[2] ) ;
    assign y[0]= i[7] | ( ~i[7] & ~i[6] & i[5] ) | ( ~i[7] & ~i[6] & ~i[5] & ~i[4] & i[3] ) | ( ~i[7] & ~i[6] & ~i[5] & ~i[4] & ~i[3] & ~i[2] & i[1] ) ;
endmodule
```

图 5.1

## 6. 阅读 verilog 代码画电路

(a) 绘制电路图如下 (图 6.1)

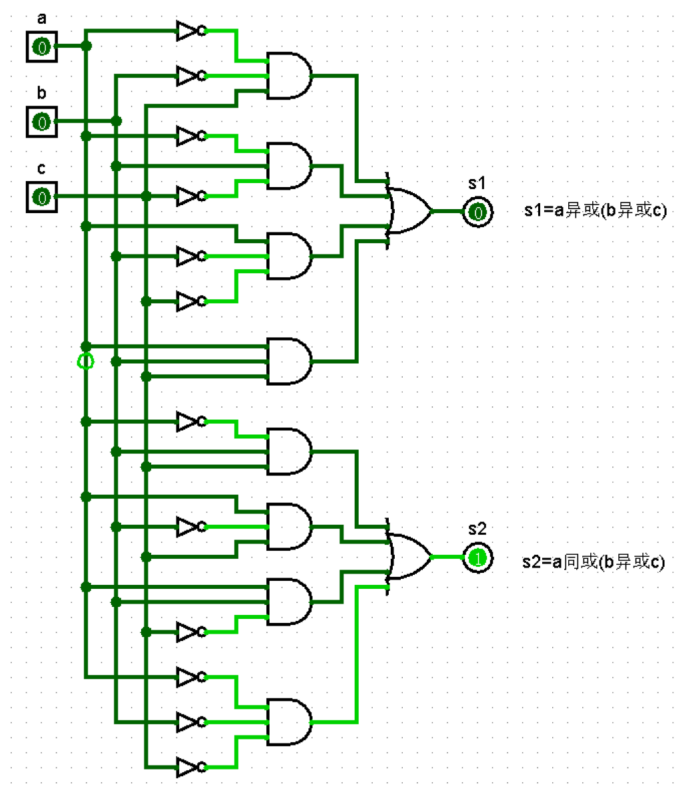


图 6.1

(b) 当 abc 中 1 的个数为奇数时, s1 为 1, s2 为 0; 1 的个数为偶数时, s2 为 1, s1 为 0.



## 5 总结与思考

- 学会了使用真值表和表达式生产电路
- 初步学习了 Verilog 语法
- 本次实验难易程度适中，任务量适中
- 对 Verilog 代码编写不熟练，暂不知道如何判断正误