



数字电路实验报告

实验题目:	使用 Vivado 进行仿真
学生姓名:	孔浩宇
学生学号:	PB20000113
完成日期:	2022/11/9

1 实验题目

使用 Vivado 进行仿真

2 实验环境

(1) vlab.ustc.edu.cn

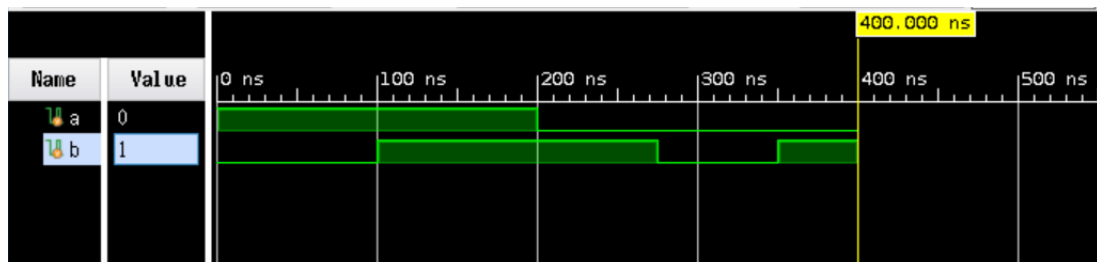
3 实验练习

题目 1

约束文件如图

```
module sim_1();  
    reg a,b;  
    initial begin  
        a =1;  
        b =0;  
        #100 b=~b;  
        #100 a=~a;  
        #75 b=~b;  
        #75 b=~b;  
        #50 $finish;  
    end  
endmodule
```

仿真结果如图

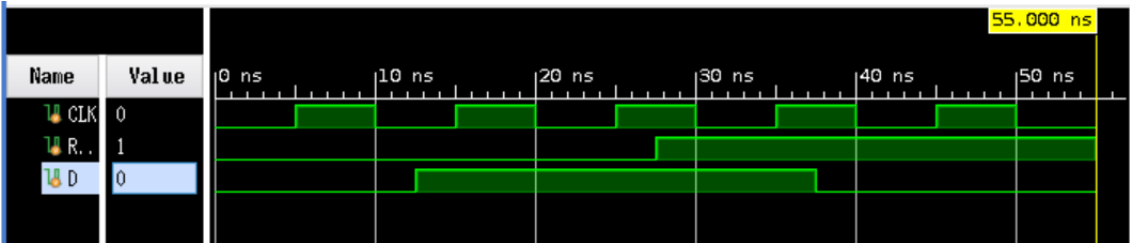


题目 2

约束文件如图

```
module t2( );
    reg CLK,RST_N,D;
    initial
    begin
        CLK=0;
        forever begin
            #5 CLK=~CLK;
        end
    end
    initial
    begin
        RST_N =0;
        D=0;
        #12.5 D=1;
        #15 RST_N=1;
        #10 D=0;
        #17.5 $finish;
    end
end
endmodule
```

仿真结果如图



题目 3

设计文件如图

```
module t3(  
    input clk,rst_n,d,  
    output reg q  
);  
always@(posedge clk)  
begin  
    if(rst_n==0)  
        q<=1'b0;  
    else  
        q<=d;  
    end  
end  
endmodule
```

初始状态未定义

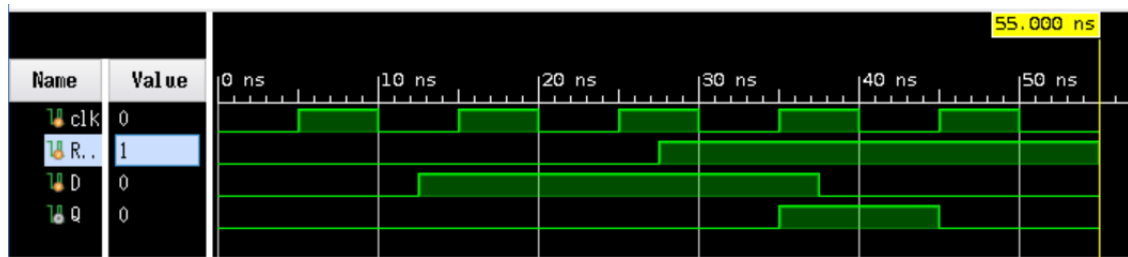
```
module t3(  
    input clk,rst_n,d,  
    output reg q  
);  
always@(*)  
begin  
    if(rst_n==0)  
        q<=1'b0;  
    end  
always@(posedge clk)  
begin  
    if(rst_n==0)  
        q<=1'b0;  
    else  
        q<=d;  
    end  
end  
endmodule
```

初始状态Q设为0

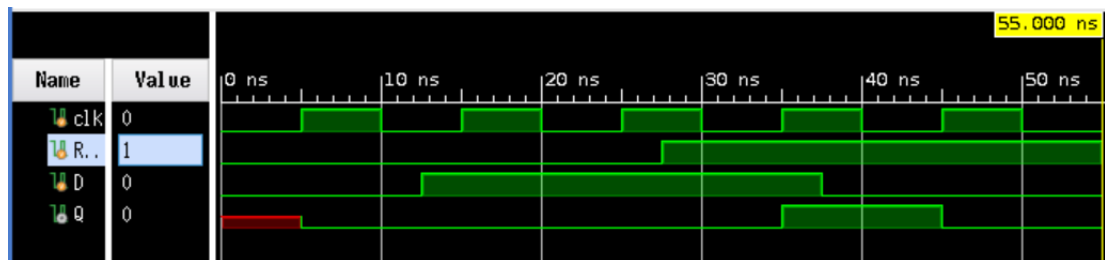
约束文件如图

```
module sim3( );  
    reg clk,RST_N,D;  
    wire Q;  
    t3 t3(.clk(clk), .rst_n(RST_N), .q(Q), .d(D));  
    initial begin  
        clk=0;  
        forever #5 clk=~clk;  
    end  
    initial begin  
        RST_N=0;  
        D=0;  
        #12.5 D=1;  
        #15 RST_N=1;  
        #10 D=0;  
        #17.5 $finish;  
    end  
end  
endmodule
```

仿真结果如图



初始状态为 0



初始状态未知

题目 4

设计文件如图

```
module t4(
    input E3,E2_l,E1_l,
    input [2:0] A,
    output reg [7:0] Y
);
always@(*)begin
    if(E3 && ~E2_l && ~E1_l)
        case(A)
            3'b000 : Y=8'b01111111;
            3'b001 : Y=8'b10111111;
            3'b010 : Y=8'b11011111;
            3'b011 : Y=8'b11101111;
            3'b100 : Y=8'b11110111;
            3'b101 : Y=8'b11111011;
            3'b110 : Y=8'b11111101;
            3'b111 : Y=8'b11111110;
            default : Y=8'b11111111;
        endcase
    else
        Y=8'b11111111;
    end
endmodule
```

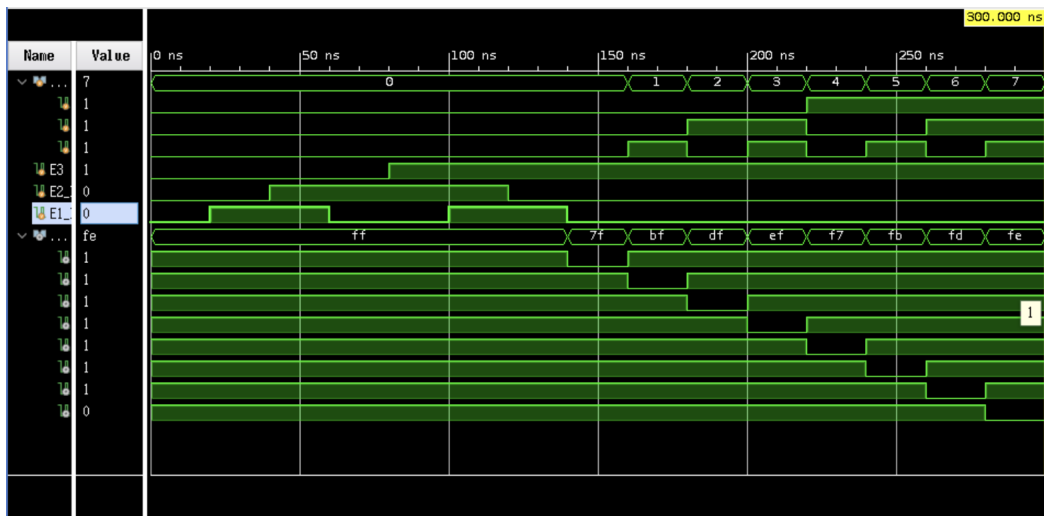
约束文件如图

```

module s1( );
    reg [2:0] A;
    reg E3,E2_l,E1_l;
    wire [7:0] Y;
    t4 t4(.E3(E3), .E2_l (E2_l) , .E1_l (E1_l) , .A(A), .Y (Y));
    initial begin
        E3=1;
        E2_l=0;
        E1_l=0;
        A=3'b000;
        #20 A=3'b001;
        #20 A=3'b010;
        #20 A=3'b011;
        #20 A=3'b100;
        #20 A=3'b101;
        #20 A=3'b110;
        #20 A=3'b111;
        #20 $finish;
    end
endmodule

```

仿真结果如图



4 总结与思考

1. 学会了用 vivado 仿真
2. 本次实验难度适中
3. 本次实验任务量适中
4. 可以多给点实例