

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA

FACULTAD DE INGENIERÍA

ORGANIZACIÓN COMPUTACIONAL

CATEDRÁTICO: ING. OTTO RENE ESCOBAR LEIVA

TUTOR ACADÉMICO: JUAN JOSUE ZULETA BEB



PRÁCTICA 2

| Nombre | Carné |
|---------------------------------|--------------|
| Enner Esaí Mendizabal Castro | 202302220 |
| Esteban Sánchez Túchez | 202300769 |
| Juan José Sandoval Ruiz | 202300710 |
| Brandon Antonio Marroquin Pérez | 202300813 |
| David Estuardo Barrios Ramírez | 202300670 |

GUATEMALA, 08 DE MARZO DEL 2,025

ÍNDICE

| | |
|---|----|
| INTRODUCCIÓN | 4 |
| OBJETIVOS | 5 |
| Objetivo general..... | 5 |
| Objetivos Específicos | 5 |
| CONTENIDO | 6 |
| DIAGRAMAS DE DISEÑO DEL CIRCUITO | 8 |
| DIAGRAMA DE CIRCUITO DE LA SUMA..... | 8 |
| DIAGRAMA DE CIRCUITO DE LA RESTA..... | 9 |
| DIAGRAMA DE CIRCUITO DE LA MULTIPLICACIÓN | 9 |
| DIAGRAMA DE CIRCUITO DE LA POTENCIA 3 | 10 |
| DIAGRAMA DE CIRCUITO DE LA POTENCIA 2 | 10 |
| DIAGRAMA DE CIRCUITO DE LA SALIDA ARITMÉTICA..... | 11 |
| DIAGRAMA DE CIRCUITO DE LA UNIDAD COMPARATIVA | 11 |
| DIAGRAMA DE CIRCUITO DE LA UNIDAD LOGICA | 12 |
| DIAGRAMA DE CIRCUITO DEL CONTROLADOR..... | 12 |
| DIAGRAMA DE CIRCUITO DE LA ENTRADA | 13 |
| EQUIPO UTILIZADO | 13 |
| PRESUPUESTO..... | 14 |
| APORTE INDIVIDUAL DE CADA INTEGRANTE..... | 0 |
| Aporte de Enner Mendizabal - 202302220..... | 0 |
| Aporte de Esteban Sánchez Túchez..... | 0 |
| Aporte de Juan José Sandoval Ruiz..... | 0 |
| Aporte de David Estuardo Barrios Ramírez | 0 |
| Aporte de Brandon Antonio Marroquin Pérez | 1 |
| CONCLUSIONES | 2 |

ANEXOS3

 APORTE DE TODOS LOS INTEGRANTES DEL GRUPO3

 DIAGRAMA DEL CIRCUITO IMPRESO5

 FOTOGRAFIA DE LOS CIRCUITOS FISICOS6

INTRODUCCIÓN

En el desarrollo de sistemas digitales modernos, el diseño de circuitos capaces de realizar operaciones aritméticas, lógicas y comparativas es fundamental para comprender el funcionamiento de las computadoras y microprocesadores. Uno de los componentes esenciales en este tipo de sistemas es la Unidad Aritmética Lógica (ALU), la cual es responsable de ejecutar cálculos matemáticos básicos y operaciones lógicas. Esta práctica tiene como objetivo principal diseñar e implementar una ALU combinacional que permita realizar diversas operaciones con dos números binarios de 4 bits, utilizando únicamente compuertas lógicas y componentes MSI (Medium Scale Integration).

En esta practica, se desarrollará un prototipo llamado "LogicCalc", el cual emulará el funcionamiento de una ALU simplificada. El diseño debe ser capaz de ejecutar ocho operaciones distintas, divididas en tres categorías principales: operaciones aritméticas (suma, resta, multiplicación y potenciación), operaciones lógicas (AND, OR, NAND y XNOR) y comparación de valores. El usuario podrá seleccionar la operación a realizar mediante un controlador de 3 bits, y los resultados se mostrarán de manera clara a través de displays de 7 segmentos y LEDS.

La práctica no solo se limita a la simulación digital, sino que también requiere la implementación física del circuito. Para ello, es necesario construir dos placas específicas que ejecuten las operaciones designadas, garantizando una presentación clara a través de un encapsulamiento. Este enfoque permite comprender cómo funcionan los circuitos reales, reforzando la relación entre la teoría digital y su aplicación práctica.

OBJETIVOS

Objetivo general

Diseñar e implementar una Unidad Aritmética Lógica (ALU) combinacional controlada por 4 bits, capaz de realizar operaciones aritméticas, lógicas y comparativas entre dos números binarios de 4 bits, utilizando exclusivamente compuertas lógicas básicas y circuitos MSI permitidos, asegurando su correcto funcionamiento en una simulación digital y una implementación física.

Objetivos Específicos

- Desarrollar un controlador de 4 bits que permita seleccionar y ejecutar diversas operaciones (suma, resta, multiplicación, potenciación, AND, OR, NAND, XNOR), asegurando la correcta interpretación de las combinaciones de entrada.
- Implementar las unidades aritméticas, lógica y comparativa utilizando únicamente compuertas lógicas básicas, optimizando el diseño para reducir el uso de componentes adicionales y garantizar la correcta visualización de los resultados en displays de 7 segmentos y LEDS.
- Construir un circuito físico encapsulado que integre las distintas unidades operativas, asegurando que el sistema responda de manera eficiente a las señales del controlador y que cada operación se muestre en su respectiva salida, manteniendo la exclusividad entre las unidades.

CONTENIDO

POTENCIA CUADRATICA

Para esta potencia se hizo uso de un circuito combinacional con 4 entradas y 8 salidas donde 4 de estas serían usados para tener la parte de las decenas y las otras 4 salidas restantes serian usadas para las unidades, eso con el fin de poder mostrar un numero de 2 dígitos en un display debido a que cada display solo puede mostrar del 0 al 9

| PONDERADO DECIMAL | VARIABLES INDEPENDIENTES | | | | j ² | DECODER 7448 DECENAS | | | | DECODER 7448 UNIDADES | | | |
|-------------------|--------------------------|-----|-----|-----|----------------|----------------------|-----|-----|-----|-----------------------|-----|-----|-----|
| j | A | B | C | D | | D3 | D2 | D1 | D0 | U3 | U2 | U1 | U0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 4 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 9 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 4 | 0 | 1 | 0 | 0 | 16 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 25 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 | 36 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 | 49 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 8 | 1 | 0 | 0 | 0 | 64 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 81 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 100 | X | X | X | X | X | X | X | X |
| ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... |
| 15 | 1 | 1 | 1 | 1 | 225 | X | X | X | X | X | X | X | X |

Para dicha tabla aquí se encuentran sus respectivos mapas de karnaugh los cuales se utilizaron para simplificar las combinaciones hasta lo más simple posible

MAPAS DE KARNAUGH

PARA U0: $U0 = D$

PARA U1: $U1 = B D'$

| CD \ AB | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | x | x | x | x |
| 10 | 0 | 0 | x | 0 |

PARA U1: $U2 = A D' + B C' + C D' = D' (A + C) + B C'$

| CD \ AB | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | 0 | 0 | 0 | 1 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | x | x | x | x |
| 10 | 1 | 0 | x | x |

PARA U3: $U3 = C D$

| CD \ AB | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 0 | 0 | 1 | 0 |
| 11 | x | x | x | x |
| 10 | 0 | 0 | x | x |

PARA D0: $D0 = B \quad D' = U1$

| CD \ AB | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | x | x | x | x |
| 10 | 0 | 0 | x | 0 |

PARA D1: $D1 = A D' + B (C \oplus D)$

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | x | x | x | x |
| 10 | 1 | 0 | x | x |

PARA D2: $D2 = A D' + B C D$

| CD AB | 00 | 01 | 11 | 10 |
|----------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 1 | 0 |
| 11 | x | x | x | x |
| 10 | 1 | 0 | x | x |

PARA D3: $D3 = AD$

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | x | x | x | x |
| 10 | 0 | 1 | x | x |

POTENCIA CUBICA

Para esta potencia se hizo uso de un circuito combinatorial (decodificador) con 4 entradas y 8 salidas donde 4 de estas expresan a las decenas y otras 4 las unidades, eso con el fin de poder mostrar un número de 2 dígitos en un display debido a que cada display solo puede mostrar del 0 al 9.

[illegible]

La reducción de la tabla anterior para las Unidades y las Decenas son las siguientes (se usaron mapas de Karnaugh):

$$D0=0$$

$$D1 = B'CD + BC'D' = B'CD + D2$$

$$D2 = BC'D'$$

$$D3 = 0$$

$$U0 = B'C'D$$

$$U1 = B'CD$$

$$U2 = D1$$

$$U3 = B'CD'$$

DIAGRAMAS DE DISEÑO DEL CIRCUITO

DIAGRAMA DE CIRCUITO DE LA SUMA

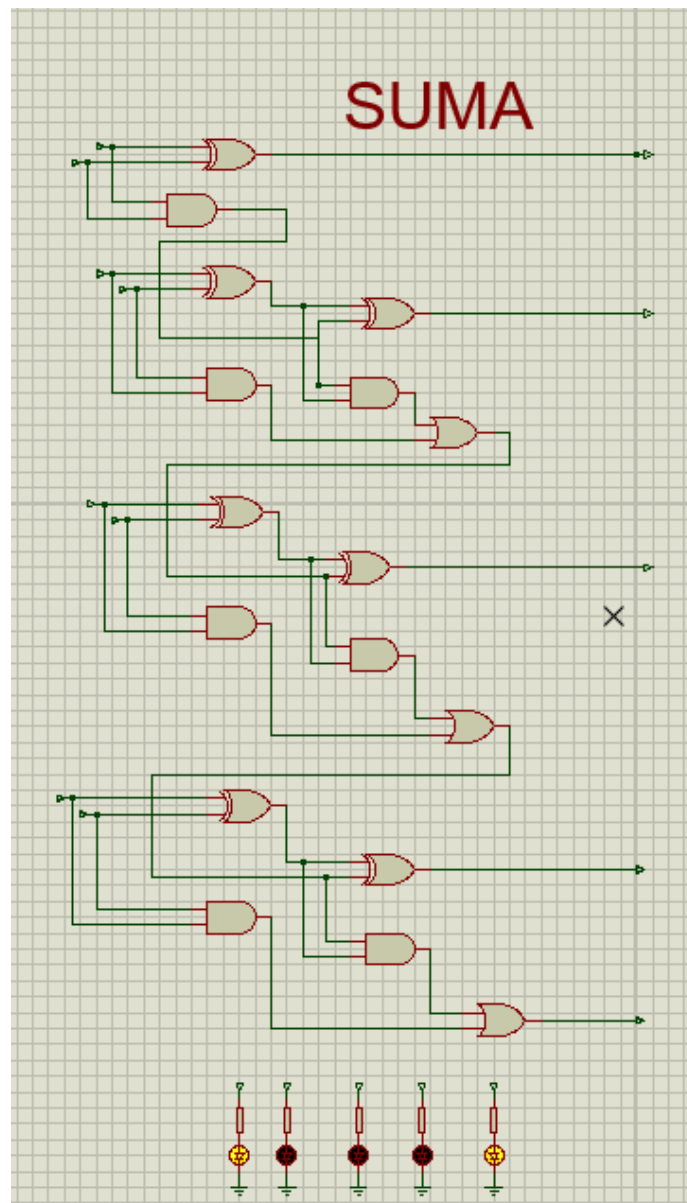


DIAGRAMA DE CIRCUITO DE LA RESTA

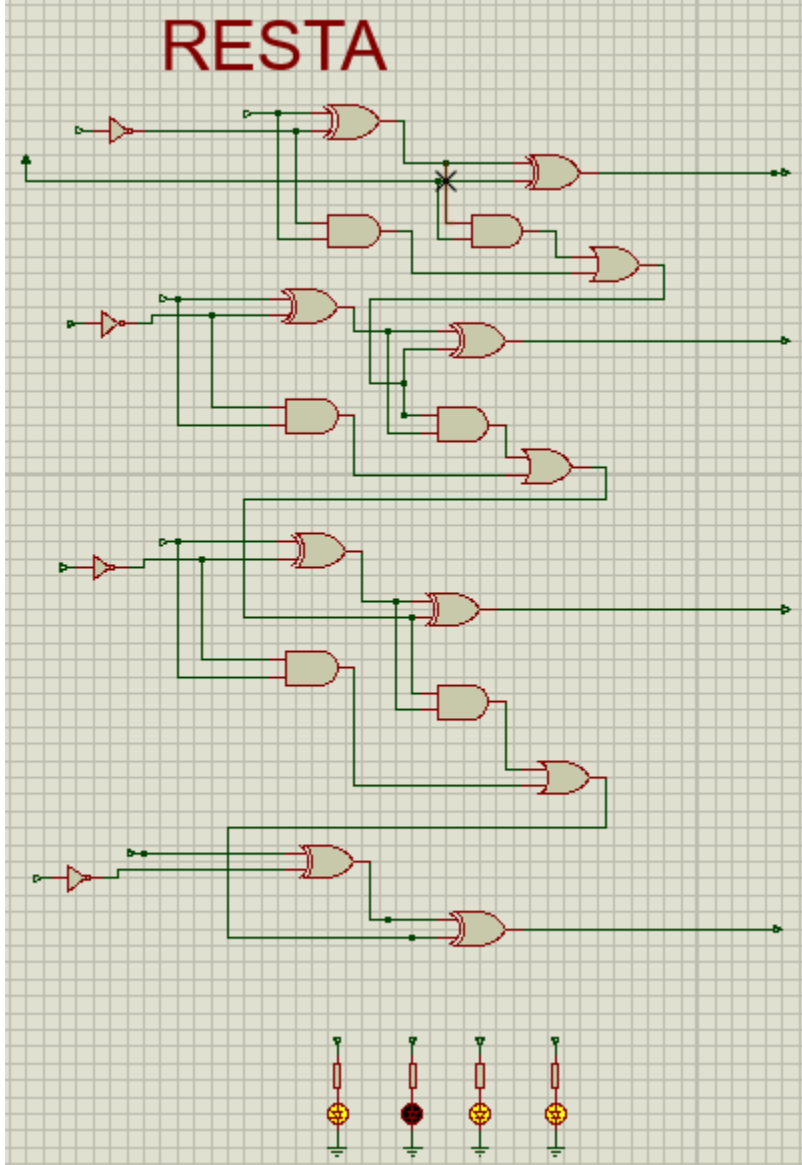


DIAGRAMA DE CIRCUITO DE LA MULTIPLICACIÓN

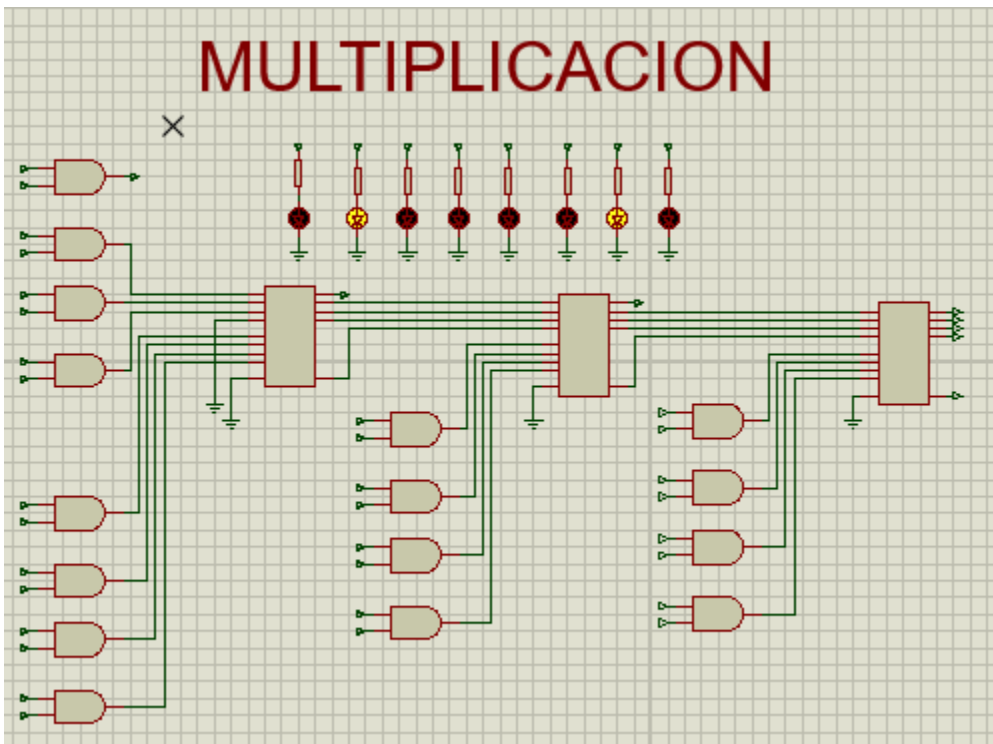


DIAGRAMA DE CIRCUITO DE LA POTENCIA 3

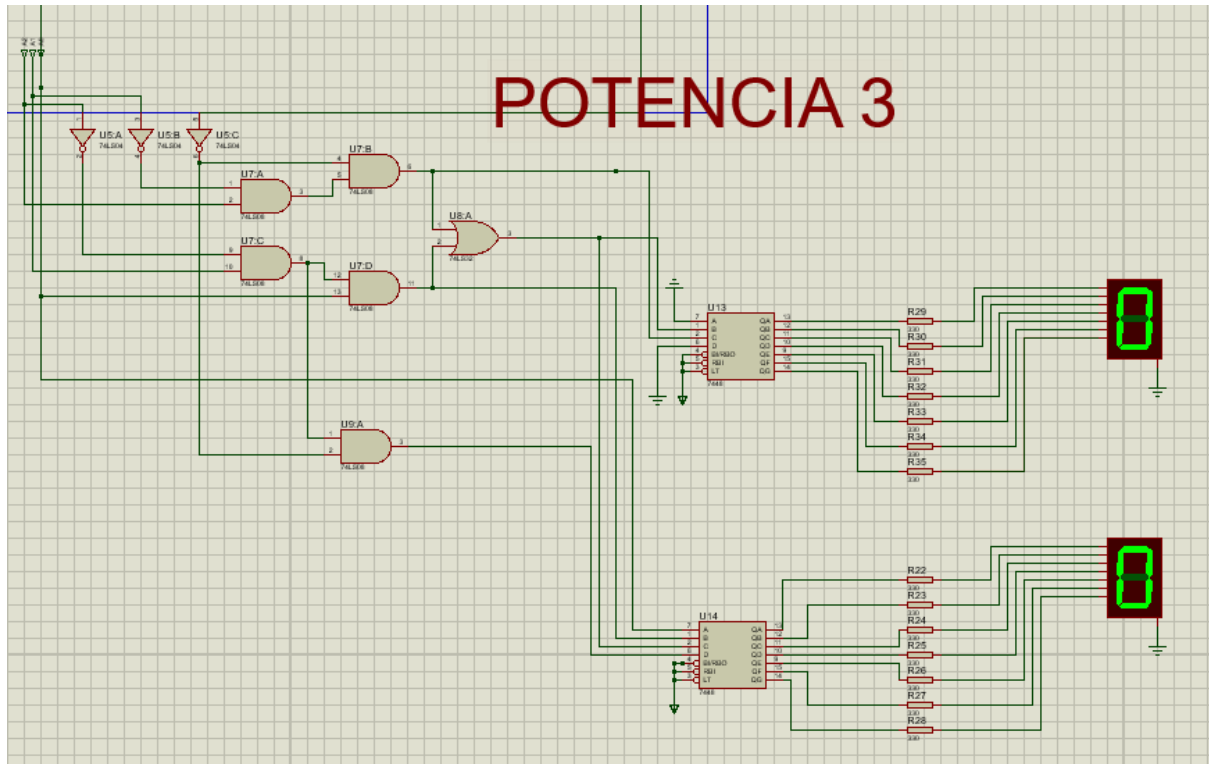


DIAGRAMA DE CIRCUITO DE LA POTENCIA 2

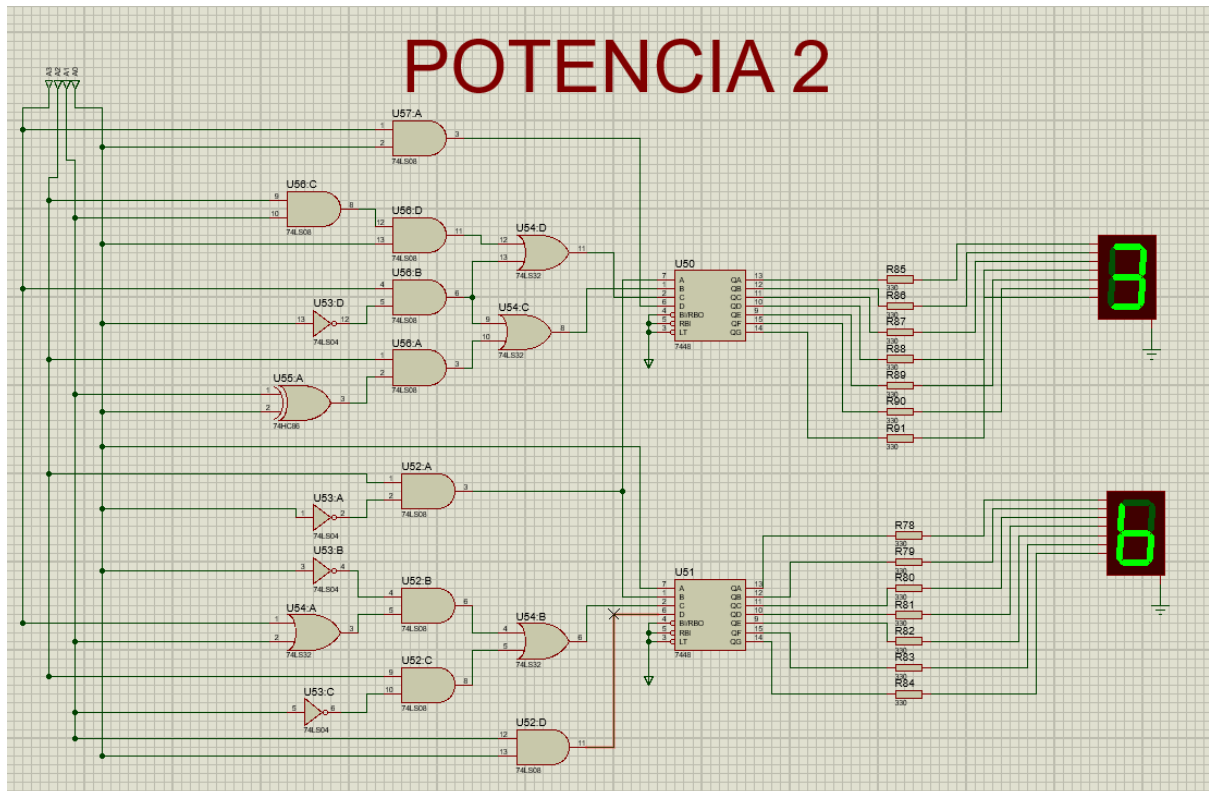


DIAGRAMA DE CIRCUITO DE LA SALIDA ARITMÉTICA

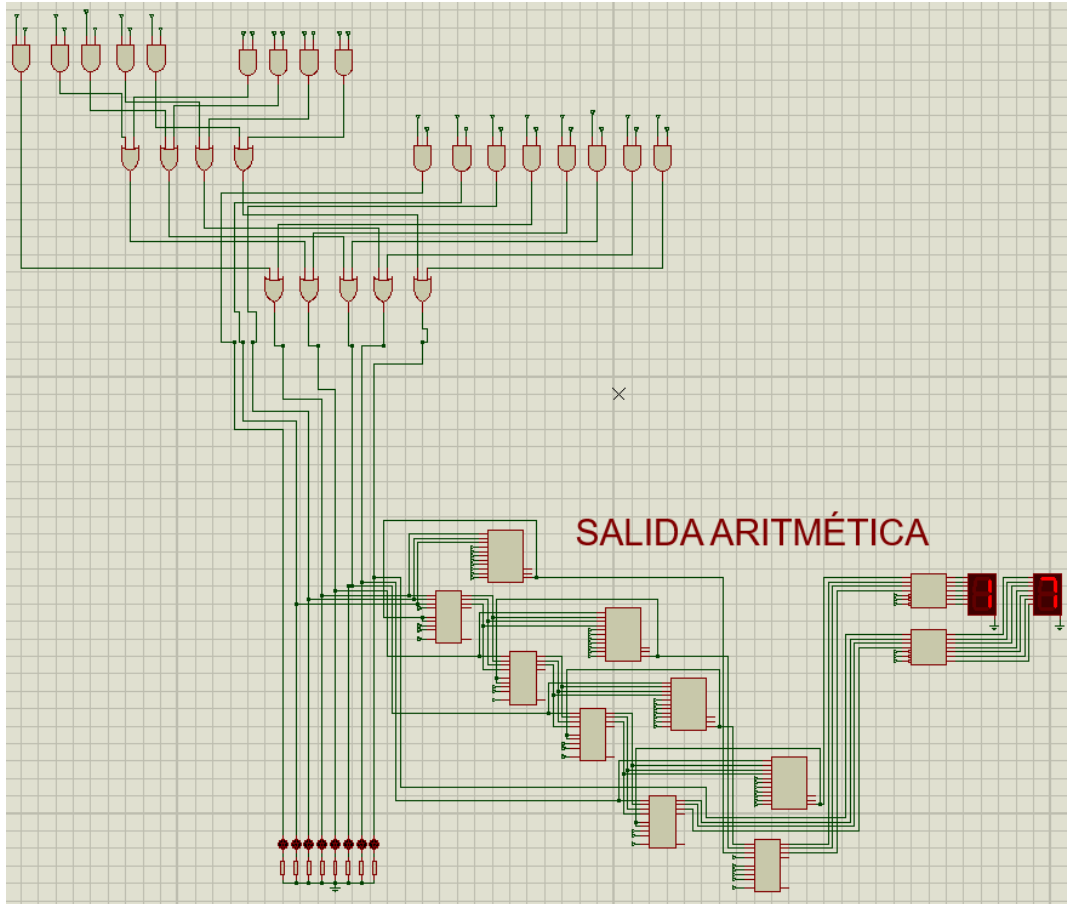


DIAGRAMA DE CIRCUITO DE LA UNIDAD COMPARATIVA

UNIDAD COMPARATIVA

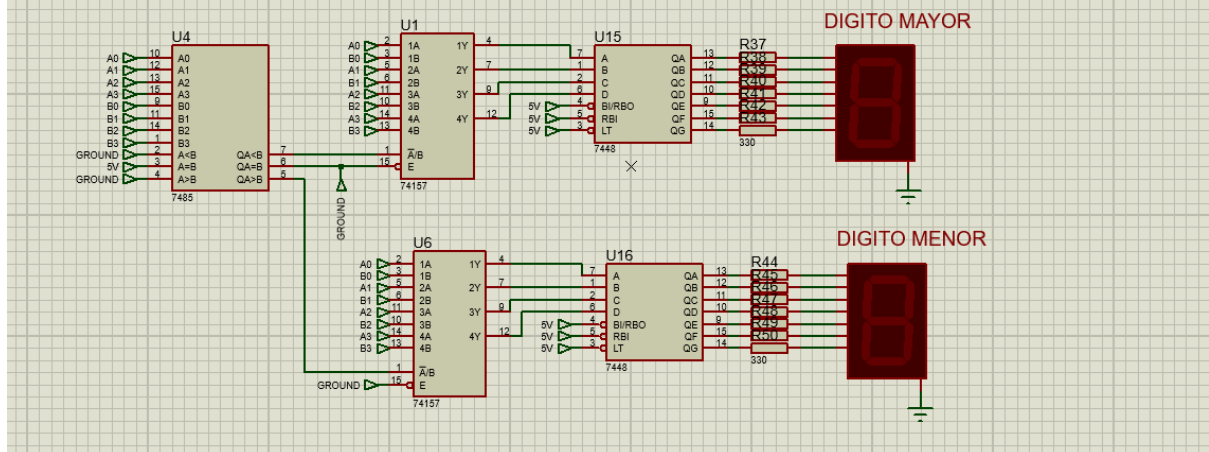


DIAGRAMA DE CIRCUITO DE LA UNIDAD LOGICA

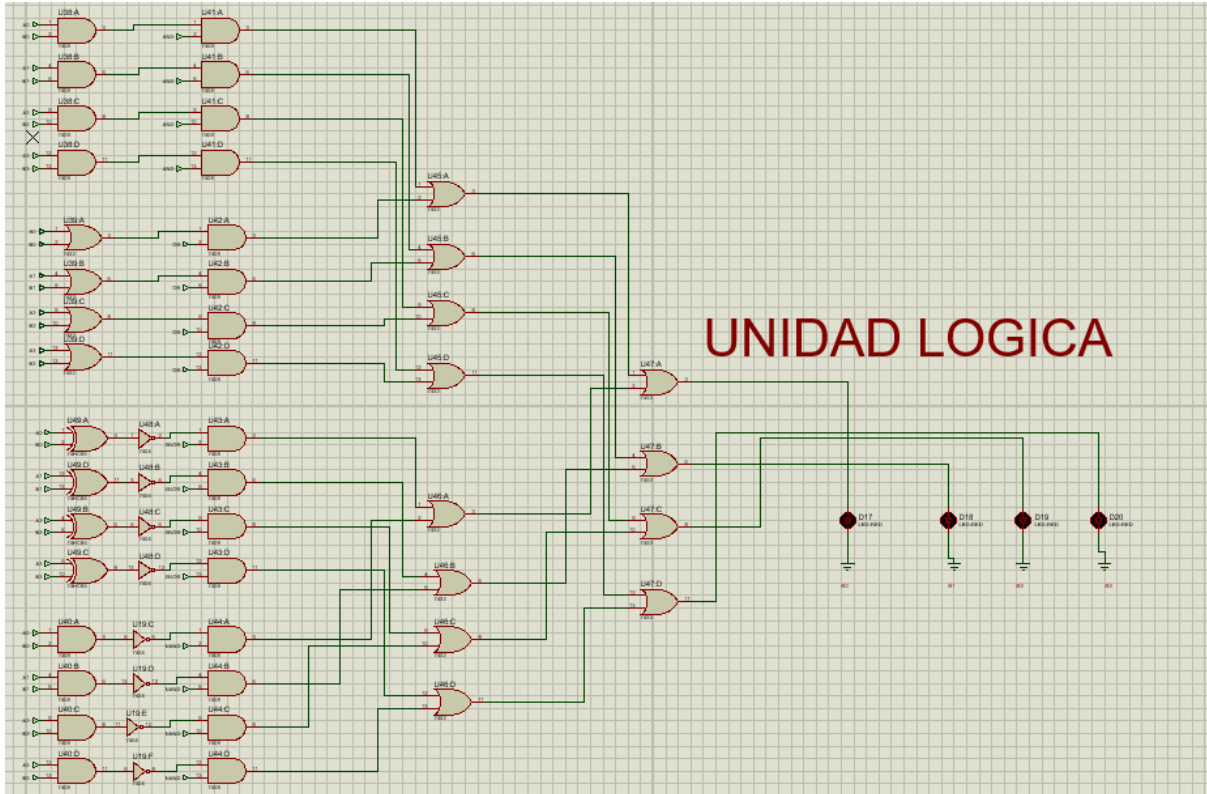


DIAGRAMA DE CIRCUITO DEL CONTROLADOR

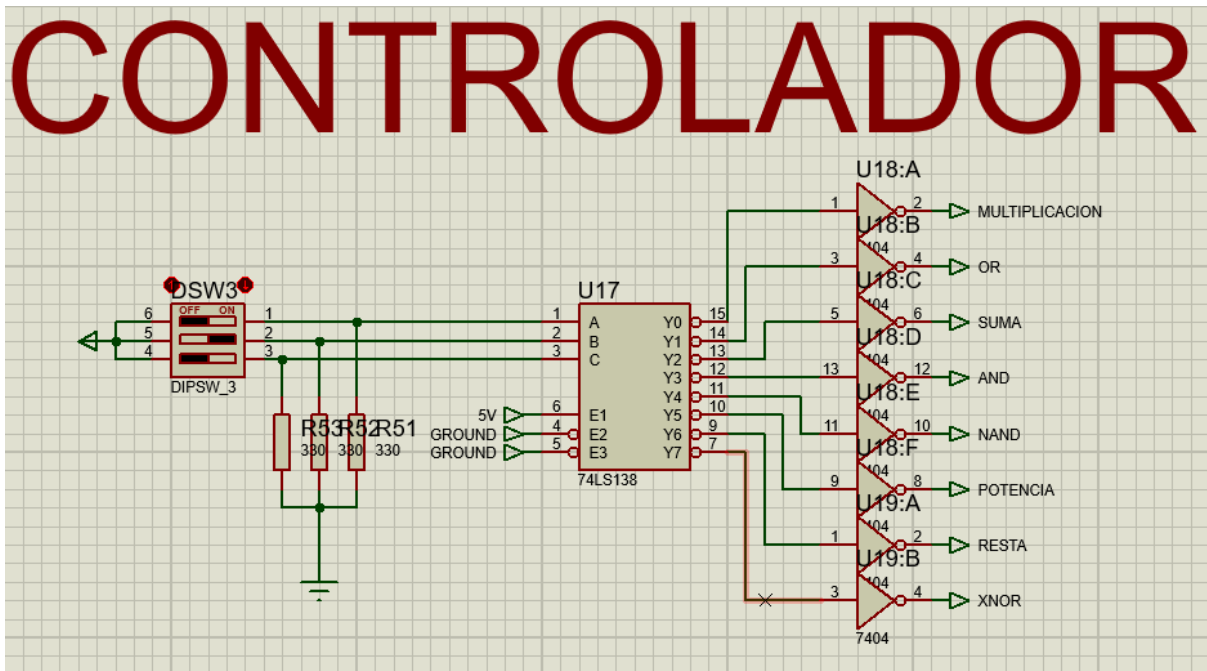
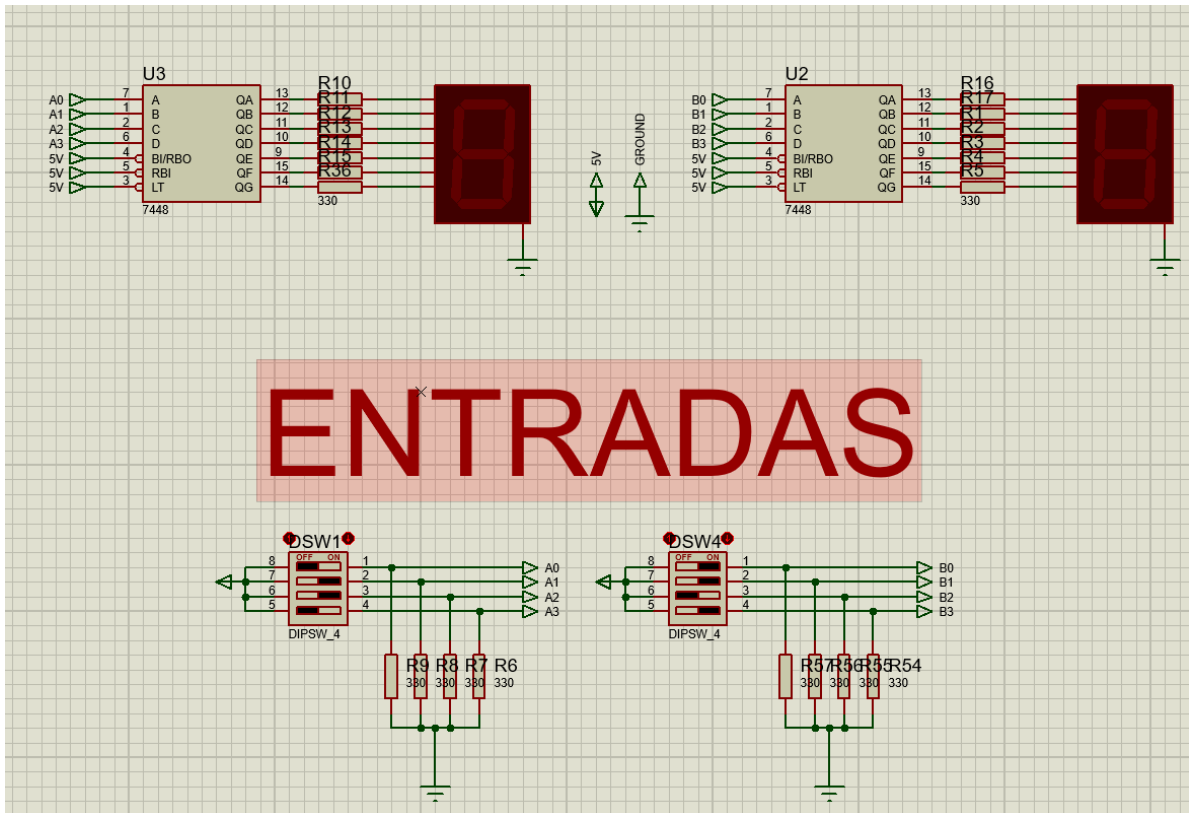


DIAGRAMA DE CIRCUITO DE LA ENTRADA



EQUIPO UTILIZADO

El equipo utilizado para la realización del proyecto, tanto adquirido como proporcionado por los miembros del equipo son:

- Cautín de 60 watts
- Taladro con broca de 1/32
- Compuertas lógicas de la serie 74 (74ls08, 74ls32, 74ls04)
- Transistores 2n2222a
- Resistencias varias
- Multímetro
- Luces led color rojo
- Dip Switch
- Borneras de 2 y 3 terminales
- Estaño
- Esponja para limpiar estaño
- Arduino UNO
- Cable para protoboard
- Protoboard

- Placas de fibra de vidrio
- Duroport
- Carritos de juguete
- Multiplexor
- Comparador
- DECODIFICADOR 7 SEGMENTOS

PRESUPUESTO

| Fecha | Presupuesto | Q |
|-----------|---|---------|
| 3/03/2025 | 8 SUMADOR 74LS88 | Q120.00 |
| | 1 COMPARADOR 74LS85 | Q11.00 |
| | 2 74LS157 MULTIPLEXOR | Q14.00 |
| | 2 DECODIFICADOR 7 SEGMENTOS 74LS48 | Q22.00 |
| | 4 DISPLAY DE 7 SEGMENTOS CATODO COMÚN | Q20.00 |
| | 2 DISPSWITCH DE 4 POSICIONES | Q7.50 |
| | 18 COMPUERTA LOGICA AND | Q80.00 |
| | 7 COMPUERTA LOGICA OR | Q35.00 |
| | 6 COMPUERTA LOGICA XOR | Q72.00 |
| | 4 COMPUERTA LOGICA NOT | Q20.00 |
| | 3 PROTOBOARD | Q102.00 |
| | 5 METROS ALAMBRE AZUL PARA PROTOBOARD | Q15.00 |
| | 5 METROS ALAMBRE BLANCO PARA PROTOBOARD | Q15.00 |
| | OTROS VARIOS | Q118.50 |
| | subtotal | Q652.00 |
| 4/03/2025 | 2 PROTOBOARD | Q68.00 |
| | 20 RESISTENCIAS 330 Ohm | Q10.00 |
| | 2 DECODIFICADOR 7 SEGMENTOS 74LS48 | Q22.00 |
| | 1 PELA CABLES | Q39.00 |
| | subtotal | Q139.00 |
| 5/03/2025 | 4 DECODIFICADOR 7 SEGMENTOS 74LS48 | Q44.00 |
| | 3 DISPLAY DE 7 SEGMENTOS CATODO COMÚN | Q15.00 |
| | 7 COMPUERTA LÓGICA AND 74LS08 | Q35.00 |
| | 1 PROTOBOARD | Q46.00 |
| | 2 COMPUERTA LOGICA AND | Q10.00 |
| | 2 COMPUERTAS XOR | Q24.00 |

| | | |
|-----------|---------------------------------------|---------|
| | subtotal | Q174.00 |
| 6/03/2025 | 5 COMPUERTA LÓGICA AND 74LS08 | Q25.00 |
| | OTROS VARIOS | Q25.00 |
| | subtotal | Q50.00 |
| 7/03/2025 | 8 COMPUERTA LÓGICA AND 74LS08 | Q40.00 |
| | 4 PLACAS DE COBRE PEQUEÑAS | Q20.00 |
| | 4 PLACAS DE COBRE | Q36.00 |
| | 15 CAMAS LOGICAS | Q30.00 |
| | METRO DE ESTAÑO 0.8mm | Q2.50 |
| | 5 BROCAS DE 1/32 | Q47.50 |
| | IMPRESIÓN DE LA UNIDAD LOGICA Y RESTA | Q20.00 |
| | ESPONJAS PARA LIMPIAR CAUTÍN Y ESTAÑO | Q28 |
| | 10 METROS DE CABLE | Q20.00 |
| | CLORURO FÉRICO | Q18.00 |
| | CAUTIN DE 60 WATTS | Q60.00 |
| | subtotal | Q322.50 |
| | TOTAL ABSOLUTO | Q1,337 |

APORTE INDIVIDUAL DE CADA INTEGRANTE

Aporte de Enner Mendizabal - 202302220

Coordinador de grupo, participó activamente en la creación de la mitad de los circuitos en Proteus, asegurando que cada diseño cumpliera con los requisitos técnicos del proyecto. Además, se encargó de la construcción del comparador en físico, realizando los hoyos necesarios en las placas y supervisando el proceso de soldadura de los componentes. Su labor incluyó la colaboración en la organización de las tareas, garantizando que todo el trabajo se realizara de manera eficiente y dentro de los plazos establecidos.

Aporte de Esteban Sánchez Túchez

Contribuyó al desarrollo completo de la multiplicación en el ámbito físico funcional. Participó activamente en la creación del circuito de potencia física y en el diseño y construcción del circuito de la unidad lógica, incluyendo la impresión y ensamblaje de esta. Además, tuvo una participación clave en la creación y optimización del circuito de potencia física. Su aporte también fue esencial en el diseño y la construcción del circuito de la unidad lógica, no solo en la parte técnica, sino también en la impresión y el ensamblaje final, asegurando que todas las piezas encajaran perfectamente y funcionaran de manera óptima.

Aporte de Juan José Sandoval Ruiz

Participó en la creación del circuito de potencia 3 en el ámbito físico funcional, contribuyendo con ideas clave en su diseño y ejecución. Además, jugó un papel fundamental en el desarrollo del circuito de la resta en el ámbito físico, brindando apoyo técnico y estratégico. También colaboró en la creación del controlador físico, aportando valiosas ideas y sugerencias que fueron cruciales para optimizar su rendimiento y asegurar el éxito del proyecto.

Aporte de David Estuardo Barrios Ramírez

Colaboró en la creación de todos los circuitos en Proteus, asumiendo una parte significativa del trabajo en el diseño y simulación de estos, incluyendo la creación del circuito de suma. Además, participó activamente en la construcción del

circuito de la resta en el ámbito físico, asegurando que todos los componentes funcionaran correctamente. También desempeñó un papel importante en la creación de la salida aritmética en físico, aportando soluciones innovadoras y realizando ajustes que optimizaron el rendimiento y la eficiencia de los circuitos en general.

Aporte de Brandon Antonio Marroquin Pérez

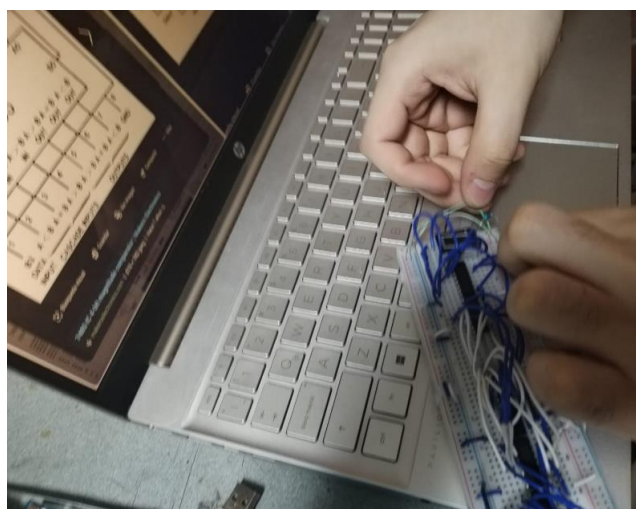
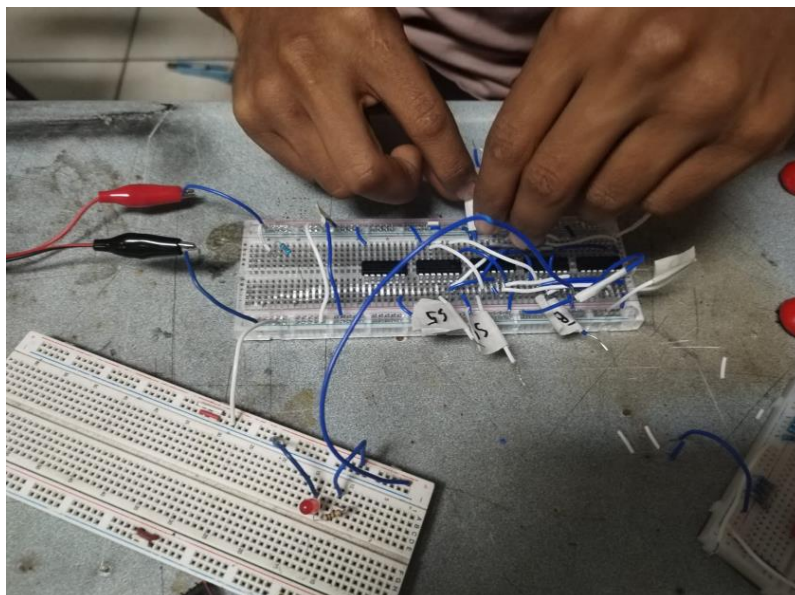
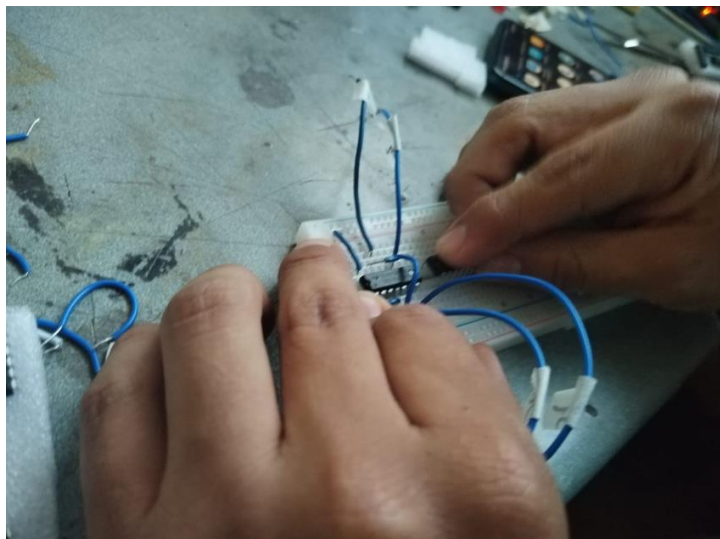
Se encargó del manejo del presupuesto del grupo, asegurando la correcta asignación de recursos. Además, fue responsable de la creación del informe del grupo, documentando cada etapa del proceso. Contribuyó en la creación de la salida del circuito aritmético en el ámbito físico y asumió la responsabilidad de todo lo relacionado con las placas, desde el planchado y colocación en el ácido hasta la pulida y acabado final, garantizando la calidad y precisión en cada detalle.

CONCLUSIONES

- La simulación del circuito en Proteus fue esencial para validar el funcionamiento de la ALU antes de la implementación física, permitiendo corregir errores y optimizar el diseño.
- La práctica permitió entender la importancia de los comparadores lógicos en la identificación del mayor y menor número entre dos entradas, mostrando los resultados correctamente en los displays de 7 segmentos.
- Se logró reducir el número de componentes utilizados en la ALU sin afectar su funcionalidad, aplicando principios de diseño eficiente en circuitos digitales.

ANEXOS

APORTE DE TODOS LOS INTEGRANTES DEL GRUPO



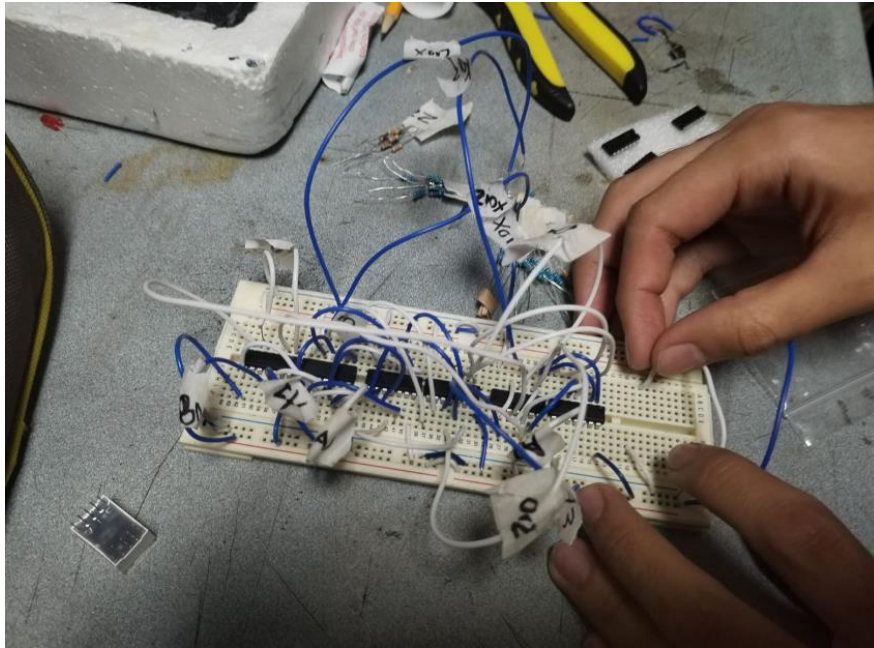
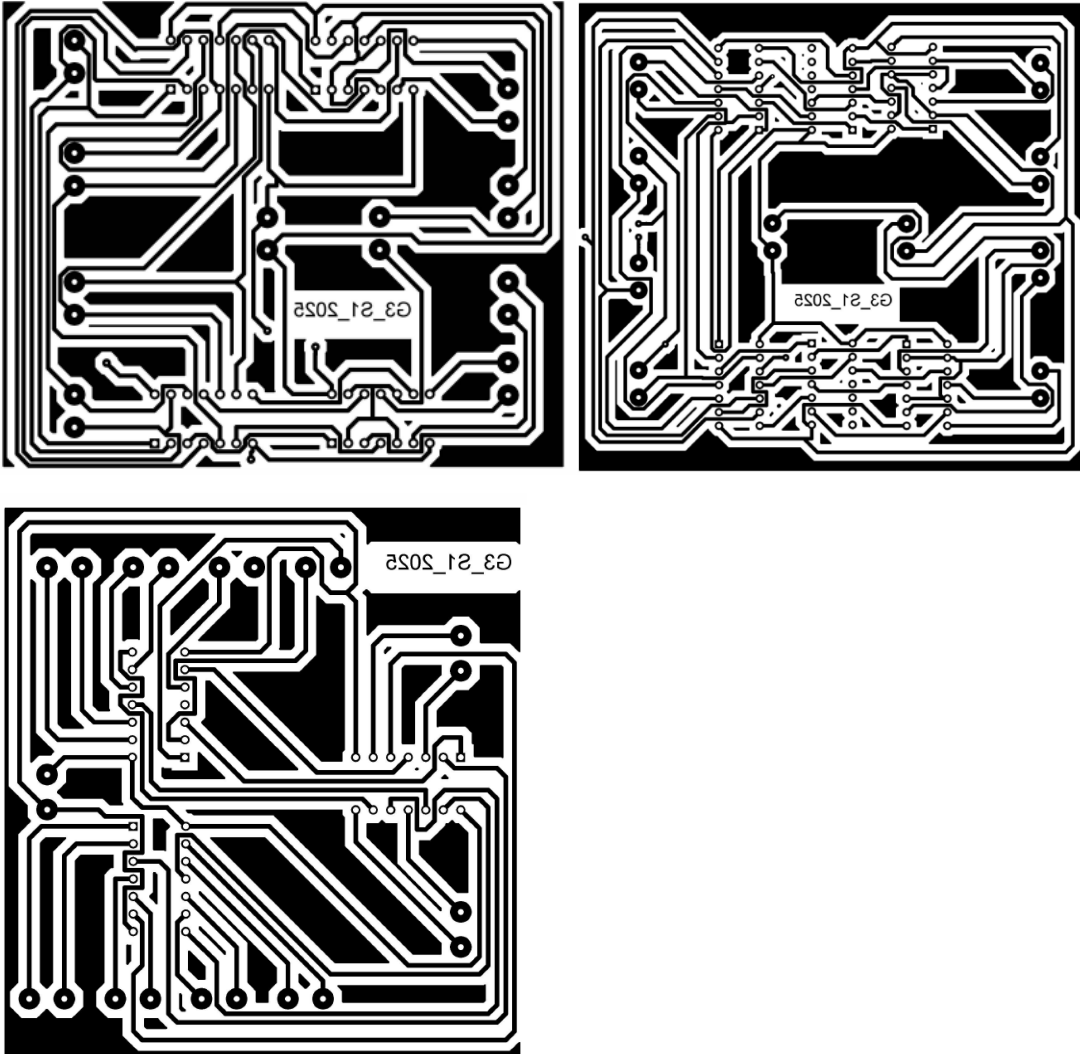
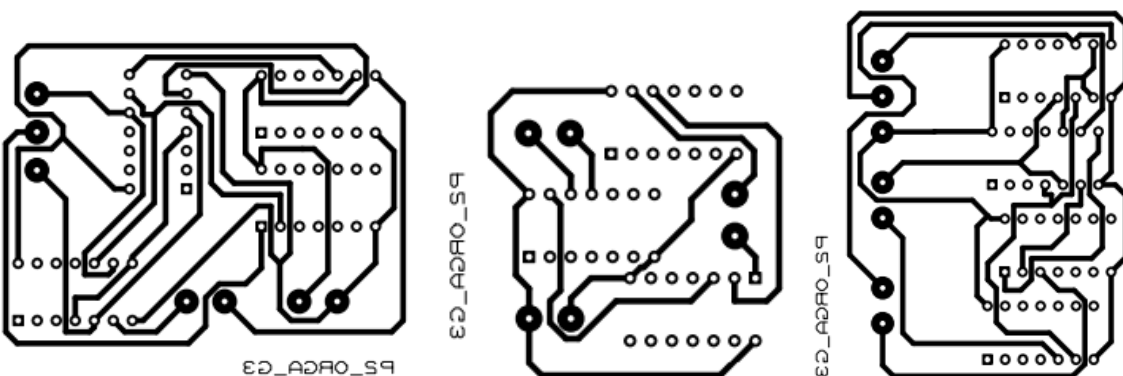


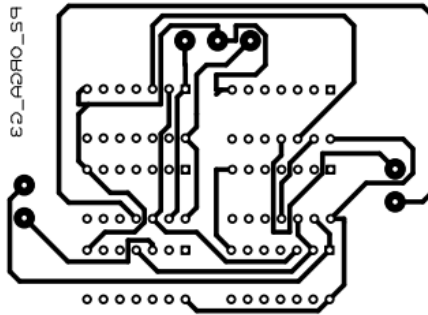
DIAGRAMA DEL CIRCUITO IMPRESO

UNIDAD LOGICA



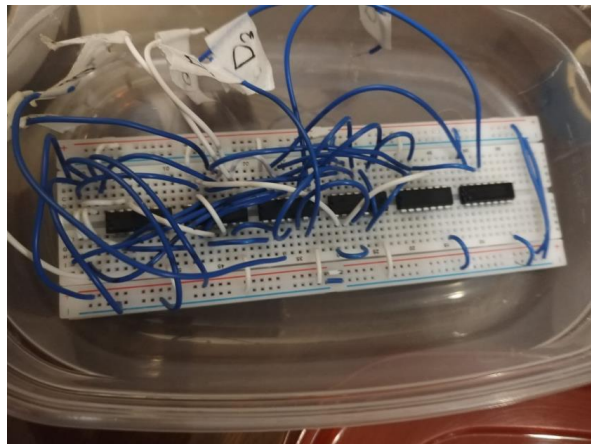
CIRCUITO DE LA RESTA



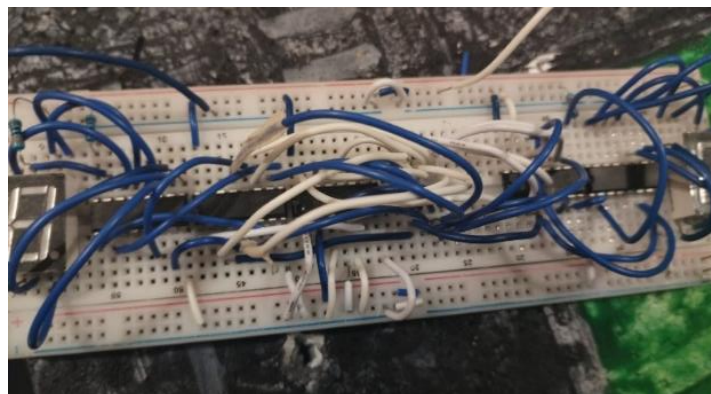


FOTOGRAFIA DE LOS CIRCUITOS FISICOS

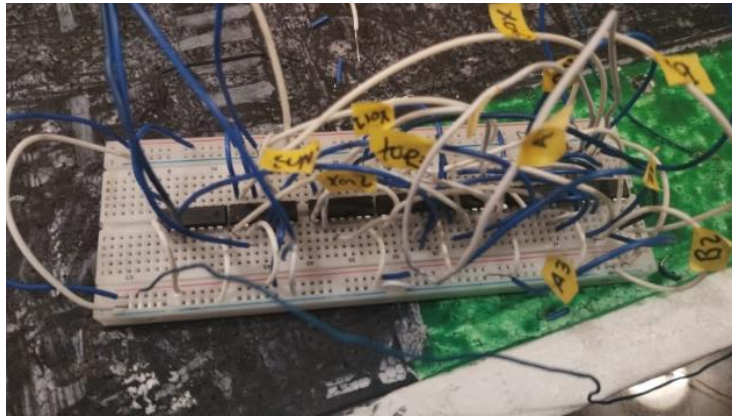
Potencia 2



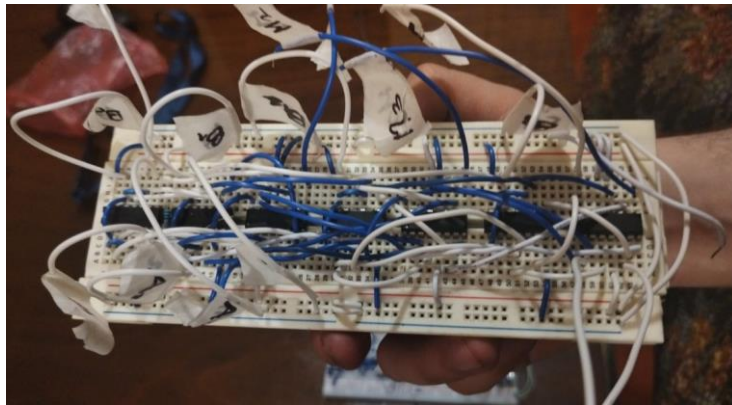
Comparador



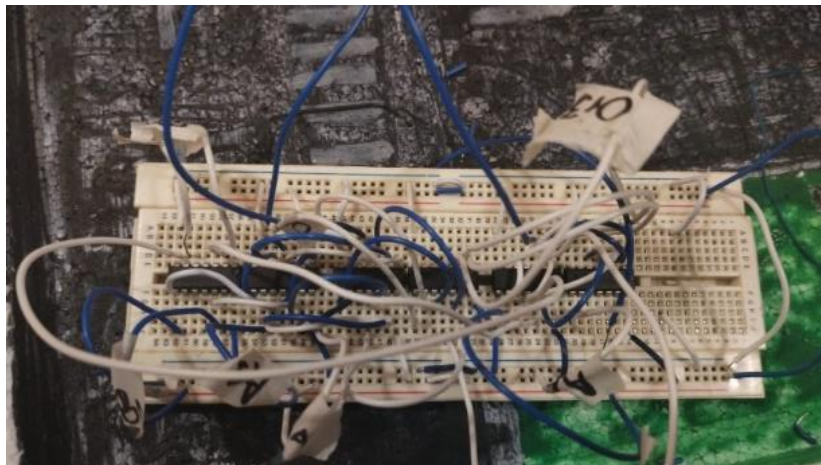
Suma



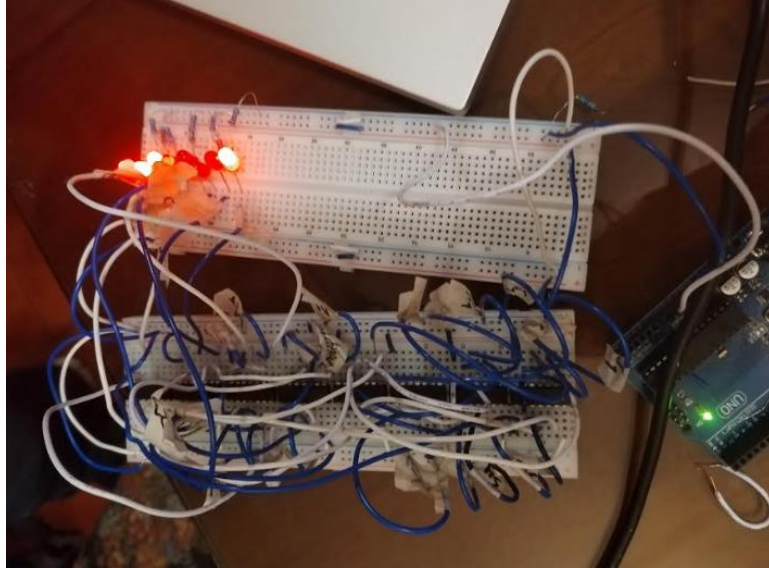
Multipliación



Resta



Unidad Aritmética



Potencia 3

