UNIVERSIDAD DE SAN CARLOS DE GUATEMALA

FACULTAD DE INGENIERÍA

ORGANIZACIÓN COMPUTACIONAL

CATEDRÁTICO: ING. OTTO RENE ESCOBAR LEIVA

TUTOR ACADÉMICO: JUAN JOSUE ZULETA BEB



**PRÁCTICA 2**

|  |  |
| --- | --- |
| **Nombre** | **Carné** |
| Enner Esaí Mendizabal Castro | 202302220 |
| Esteban Sánchez Túchez | 202300769 |
| Juan José Sandoval Ruiz | 202300710 |
| Brandon Antonio Marroquin Pérez | 202300813 |
| David Estuardo Barrios Ramírez | 202300670 |

GUATEMALA, 08 DE MARZO DEL 2,025

**ÍNDICE**

[INTRODUCCIÓN 1](#_Toc191670639)

[OBJETIVOS 2](#_Toc191670640)

[Objetivo general 2](#_Toc191670641)

[Objetivos Específicos 2](#_Toc191670642)

[CONTENIDO 2](#_Toc191670643)

[EQUIPO UTILIZADO 3](#_Toc191670644)

[PRESUPUESTO 3](#_Toc191670645)

[APORTE INDIVIDUAL DE CADA INTEGRANTE 3](#_Toc191670646)

[Aporte de Enner Mendizabal - 202302220 3](#_Toc191670647)

[Aporte de Esteban Sánchez Túchez 3](#_Toc191670648)

[Aporte de Juan José Sandoval Ruiz 3](#_Toc191670649)

[Aporte de David Estuardo Barrios Ramírez 3](#_Toc191670650)

[Aporte de Brandon Antonio Marroquin Pérez 3](#_Toc191670651)

[CONCLUSIONES 4](#_Toc191670652)

[ANEXOS 4](#_Toc191670653)

# INTRODUCCIÓN

En el desarrollo de sistemas digitales modernos, el diseño de circuitos capaces de realizar operaciones aritméticas, lógicas y comparativas es fundamental para comprender el funcionamiento de las computadoras y microprocesadores. Uno de los componentes esenciales en este tipo de sistemas es la Unidad Aritmética Lógica (ALU), la cual es responsable de ejecutar cálculos matemáticos básicos y operaciones lógicas. Esta práctica tiene como objetivo principal diseñar e implementar una ALU combinacional que permita realizar diversas operaciones con dos números binarios de 4 bits, utilizando únicamente compuertas lógicas y componentes MSI (Medium Scale Integration).

En esta practica, se desarrollará un prototipo llamado "LogicCalc", el cual emulará el funcionamiento de una ALU simplificada. El diseño debe ser capaz de ejecutar ocho operaciones distintas, divididas en tres categorías principales: operaciones aritméticas (suma, resta, multiplicación y potenciación), operaciones lógicas (AND, OR, NAND y XNOR) y comparación de valores. El usuario podrá seleccionar la operación a realizar mediante un controlador de 3 bits, y los resultados se mostrarán de manera clara a través de displays de 7 segmentos y LEDS.

La práctica no solo se limita a la simulación digital, sino que también requiere la implementación física del circuito. Para ello, es necesario construir dos placas específicas que ejecuten las operaciones designadas, garantizando una presentación clara a través de un encapsulamiento. Este enfoque permite comprender cómo funcionan los circuitos reales, reforzando la relación entre la teoría digital y su aplicación práctica.

# OBJETIVOS

## Objetivo general

Diseñar e implementar una Unidad Aritmética Lógica (ALU) combinacional controlada por 4 bits, capaz de realizar operaciones aritméticas, lógicas y comparativas entre dos números binarios de 4 bits, utilizando exclusivamente compuertas lógicas básicas y circuitos MSI permitidos, asegurando su correcto funcionamiento en una simulación digital y una implementación física.

## Objetivos Específicos

* Desarrollar un controlador de 4 bits que permita seleccionar y ejecutar diversas operaciones (suma, resta, multiplicación, potenciación, AND, OR, NAND, XNOR), asegurando la correcta interpretación de las combinaciones de entrada.
* Implementar las unidades aritméticas, lógica y comparativa utilizando únicamente compuertas lógicas básicas, optimizando el diseño para reducir el uso de componentes adicionales y garantizar la correcta visualización de los resultados en displays de 7 segmentos y LEDS.
* Construir un circuito físico encapsulado que integre las distintas unidades operativas, asegurando que el sistema responda de manera eficiente a las señales del controlador y que cada operación se muestre en su respectiva salida, manteniendo la exclusividad entre las unidades.

# CONTENIDO

POTENCIA CUADRATICA

Para esta potencia se hizo uso de un circuito combinacional con 4 entradas y 8 salidas donde 4 de estas expresarian las decenas y otras 4 las unidades, eso con el fin de poder mostrar un numero de 2 digitos en un display debido a que cada display solo puede mostrar del 0 al 9

Tabla

El contenido generado por IA puede ser incorrecto.

Para dicha tabla aquí se encuentran sus respectivos mapas de karnaugh los cuales se utilizaron para simplificar las combinaciones hasta lo que se pueda.

Tabla

El contenido generado por IA puede ser incorrecto.

Tabla

El contenido generado por IA puede ser incorrecto.

Tabla

El contenido generado por IA puede ser incorrecto.

POTENCIA CUBICA

Para esta potencia se hizo uso de un circuito combinacional(decoder) con 4 entradas y 8 salidas donde 4 de estas expresar a las decenas y otras 4 las unidades, eso con el fin de poder mostrar un numero de 2 dígitos en un display debido a que cada display solo puede mostrar del 0 al 9.

Calendario

El contenido generado por IA puede ser incorrecto.

# EQUIPO UTILIZADO

BFGH

# PRESUPUESTO

|  |  |  |  |
| --- | --- | --- | --- |
| **Fecha** | **Presupuesto** | |  |
|  |
| **3/03/2025** | **8 SUMADOR 74LS88** | **Q120.00** |  |
|  | **1 COMPARADOR 74LS85** | **Q11.00** |  |
|  | **2 74LS157 MULTIPLEXOR** | **Q14.00** |  |
|  | **2 DECODIFICADOR 7 SEGMENTOS 74LS48** | **Q22.00** |  |
|  | **4 DISPLAY DE 7 SEGMENTOS CATODO COMÚN ROJO** | **Q20.00** |  |
|  | **2 DISPSWITCH DE 4 POSICIONES** | **Q7.50** |  |
|  | **18 COMPUERTA LOGICA AND 74LS08** | **Q80.00** |  |
|  | **7 COMPUERTA LOGICA OR 74LS32** | **Q35.00** |  |
|  | **6 COMPUERTA LOGICA XNOR 74LS266** | **Q72.00** |  |
|  | **4 COMPUERTA LOGICA NOT 74LS04** | **Q20.00** |  |
|  | **3 PROTOBOARD** | **Q102.00** |  |
|  | **5 METROS ALAMBRE AZUL PARA PROTOBOARD** | **Q15.00** |  |
|  | **5 METROS ALAMBRE BLANCO PARA PROTOBOARD** | **Q15.00** |  |
|  | **subtotal** | **Q535.50** |  |
| **04/03/2025** | **2 PROTOBOARD** | **Q68.00** |  |
|  | **20 RESISTENCIAS 330 Ohm** | **Q10.00** |  |
|  | **2 DECODIFICADOR 7 SEGMENTOS 74LS48** | **Q22.00** |  |
|  | **1 PELA CABLES** | **Q39.00** |  |
|  | **subtotal** | **Q139.00** |  |
|  |  | **Q20.00** |  |
|  |  | **Q21.00** |  |
|  |  | **Q13.00** |  |
|  |  | **Q8.00** |  |
|  |  | **Q5.00** |  |
|  |  | **Q4.00** |  |
|  |  | **Q2.50** |  |
|  |  | **Q5.00** |  |
|  |  | **Q15.00** |  |
|  |  | **Q18.00** |  |
|  |  | **Q6.00** |  |
|  |  | **Q6.00** |  |
|  |  | **Q145.60** |  |
|  |  | **Q20.00** |  |
|  |  | **Q38.00** |  |
|  |  | **Q5.00** |  |
|  |  | **Q20.00** |  |
|  |  | **Q83.00** |  |
|  |  | **Q14.25** |  |
|  |  | **Q168.00** |  |
|  |  | **Q182.25** |  |
|  |  | **Q28.50** |  |
|  |  | **Q41.50** |  |
|  |  | **Q70.00** |  |
|  |  | **Q7.50** |  |
|  |  | **Q7.50** |  |
|  |  | **Q98.00** |  |
|  |  | **Q17.50** |  |
|  |  | **Q19.00** |  |
|  |  | **Q134.50** |  |
|  |  | **Q36.00** |  |
|  |  | **Q36.00** |  |
|  |  | **Q924.85** |  |

# APORTE INDIVIDUAL DE CADA INTEGRANTE

## Aporte de Enner Mendizabal - 202302220

XCVBXCBCVBCV

## Aporte de Esteban Sánchez Túchez

XCVCXVBCVB

## Aporte de Juan José Sandoval Ruiz

XCVXCBCXVB

## Aporte de David Estuardo Barrios Ramírez

CXVBXCVBCXVB

## Aporte de Brandon Antonio Marroquin Pérez

TCXVBCXVBCVXBCVB

# CONCLUSIONES

* DFGHGFHFGH

# ANEXOS

1. **ENLACE AL VIDEO GRUPAL DE LOS CIRCUITOS FÍSICOS**