

FINAL 10/07/2012

- 1) [1,5 ptos]** Indique gráficamente en el esquema de la máquina Abacus cuál es la compuerta que permite que se cumpla el principio de ruptura de secuencia de Von Neumann. Dar ejemplo de una instrucción
 - 3) [1,5 ptos]** Mencione al menos 3 modos de direccionamiento presentes en la arquitectura Intel x86 dando un ejemplo de uso de cada uno en una instrucción.
 - 4) [1 pto]** Explique claramente qué es el fenómeno de “thrashing” y qué lo puede originar.
 - 5) [1,5 ptos]** ¿Cuáles son las ventajas del nivel 5 de la arquitectura de discos RAID con respecto al nivel 4? Grafique la distribución de la información en los discos en ambos niveles.
 - 6) [1,5 ptos]** Mencione al menos 3 ventajas de los discos SSD frente a los discos duros mecánicos.
-

FINAL 13/02/2013

- 1) [1,5 ptos]** ¿Qué mecanismos provee el estándar IEEE 754 para el manejo de operaciones matemáticas con resultados indeterminados o indefinidos? De ejemplos de dichas operaciones e indique cuál sería la configuración en el formato para representar dichos resultados.
 - 3) [1 pto]** Enuncie al menos 4 características de la arquitectura de procesadores CISC.
 - 4) [1,5 pto]** ¿Qué ventajas provee la administración de memoria paginada frente a otros mecanismos más sencillos? ¿Qué desventaja presenta frente a la administración paginada por demanda?
 - 5) [1,5 pto]** ¿Cuáles son las ventajas del nivel 1 de la arquitectura de discos RAID respecto al nivel 0? Grafique la distribución de la información en los discos en ambos niveles.
-

FINAL 10/07/2013

- 1) [1,5 ptos]** Indique gráficamente en el esquema de la maquina Abacus cuál es la compuerta que permite que se cumpla el principio de ruptura de Von Neumann. Dar ejemplo de una instrucción Abacus.
 - 3) [1 ptos]** ¿Por qué se dice que los formatos de instrucción de la arquitectura Intelx86 son variables? De algún ejemplo que justifique su respuesta.
 - 4) [1,5 ptos]** ¿Cuáles son las limitaciones de la administración de memoria por asignación particionada en relación al resto de los mecanismos más avanzados?
 - 5) [1,5 ptos]** ¿Qué ventajas incorporan los canales o procesadores de E/S a los mecanismos más básico de interconexión de dispositivos periféricos con el computador?
 - 6) [1,5 ptos]** 2 desventajas que aun hoy persisten en los discos SSD frente a los discos duros mecánicos.
-

FINAL 12/02/2014

- 1) [1,5 ptos]** Explique cuáles son los modos de direccionamiento, formatos de instrucción y tipos de datos presentes en la maquina Súper Abacus. De ejemplos de cada uno de ellos.
- 3) [1 ptos]** ¿Qué ventajas presenta el modo de direccionamiento por desplazamiento (relativo al PC/referencia al programa) frente al direccionamiento directo?

4) [1,5 ptos] En un sistema de memoria, ¿Qué función cumple la memoria caché? ¿En qué principio se basa su efectividad? Grafique un ejemplo de la arquitectura de cache de 3 niveles.

5) [1,5 ptos] Explique claramente cuáles son los eventos temporales presentes a la hora de almacenar o recuperar información en un disco magnético sectorizado. Especifique como haría el cálculo de lectura de un archivo con una distribución aleatoria de la información en el disco. Ejemplifique de ser necesario.

6) [1,5 ptos] ¿Cómo funciona el mecanismo de inhibición de interrupciones y para que se usa? ¿Qué desventaja tiene?

FINAL 15/07/2014

1) [1,5 ptos] Explique cuáles son los modos de direccionamiento presentes en la máquina SuperAbacus. Dé ejemplos de cada uno de ellos

3) [1 pto] Enumere por lo menos 4 elementos presentes en la arquitectura de programación (ISA) de un computador. Dé ejemplos de dichos elementos en alguna de las arquitecturas vistas en clase.

4) [1,5 ptos] ¿Qué es un “page fault” y cuándo ocurre?

5) [1,5 ptos] ¿Cuáles son las ventajas y desventajas del nivel 6 de la arquitectura de discos RAID respecto al nivel 5? Grafique la distribución de la información en los discos en ambos niveles.

6) [1,5 ptos] Explique claramente cuáles son las ventajas y desventajas de la organización tradicional de discos magnéticos versus la organización multizona. Grafique ambas organizaciones.

FINAL 29/07/2014

1) [1,5 ptos] Indique cuales son las microinstrucciones necesarias para ejecutar la instrucción SUMAR 3,20(4) en una maquina SuperAbacus, siendo 3 y 4 registros de uso general y 20 un offset en base 10. Se pide además graficar en el esquema el flujo de apertura de compuertas usadas en la fase de ejecución de dicha instrucción.

3) [1 pto] Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo a la ubicación de los operandos. Ejemplifique y/o grafique cada uno.

4) [1,5 ptos] Explique claramente cuáles son las características del modo de acceso asociativo y que tipo de memoria está presente.

5) [1,5 ptos] En la arquitectura de discos RAID de nivel 3: ¿Qué ocurre si un disco queda inhabilitado? ¿Cómo se puede recuperar la información perdida?

6) [1,5 ptos] ¿Para que existen las interrupciones? ¿Qué es lo que tratan de mejorar?

FINAL 18/02/2015

1) [1,5 ptos] Explique claramente si es posible implementar en la maquina SuperAbacus la instruccion SUMAR DI(RI), DII(RII) donde DI, RI y DII, RII hacen referencia a dos operandos de memoria. Justifique su respuesta usando el gráfico de la máquina.

2) [1,5 puntos] Mencione al menos 3 modos de direccionamiento presentes en la arquitectura Intel x86 dando un ejemplo de uso de cada uno en una instrucción.

3) [1,5 puntos] ¿Qué ventajas provee la administración de memoria paginada frente a otros mecanismos más sencillos? ¿Qué desventaja presenta frente a la administración paginada por demanda?

4) [1,5 ptos] En la arquitectura de discos RAID de nivel 3: ¿qué ocurre con las peticiones de E/S mientras un disco queda inutilizable? Explique además el algoritmo que permite recuperar la información perdida.

5) [1,5 ptos] Explique cuál es el principio de grabación de un CD-R y cuál es la diferencia con la grabación de un CD-ROM.

FINAL 03/07/2019

1) [1,5 ptos] Ventajas y desventajas Harvard vs Von Neumann? Grafique ambas arquitecturas y justifique.

2) [1 pto] En la arquitectura ARM de 32 bits, ¿a qué se denomina ejecución condicional de una instrucción? De un ejemplo de su uso en assembler.

3) [2 ptos] Codificar un programa en assembler ARM de 32 bits que imprima tres cadenas de caracteres (definidas en el propio programa) por la salida estándar, haciendo uso de una subrutina interna.

4) [1 pto] ¿Por qué se dice que los formatos de instrucción de la arquitectura Intel x86 son variables? De algún ejemplo que justifique su respuesta.

5) [1,5 ptos] Explique claramente cómo funciona el linking estático. Ejemplifique y grafique dicho funcionamiento.

6) [1,5 ptos] Explique claramente que es un ciclo de instrucción en un procesador, indique qué etapas contemplan que ocurre durante la ejecución de cada una.

7) [1,5 ptos] Identifique y explique cuáles son las principales desventajas del medio de almacenamiento en cinta. ¿Cuáles son sus aplicaciones actuales? ¿Qué ventaja comparativa tiene con respecto al resto de los medios de almacenamiento secundario?

FINAL 09/09/2020

1) [1,5 ptos] Indique cuales son las microinstrucciones necesarias para ejecutar la instrucción SUMAR 3,20(4) en la máquina SuperAbacus, siendo 3 y 4 registros de uso general y 20 un offset en base 10. Graficar en el esquema de la máquina el flujo de apertura de compuertas usadas en la fase de ejecución de dicha instrucción.

2) [1 pto] Explique claramente y ejemplifique al menos cuatro modos de direccionamiento presentes en la arquitectura ARM 32 bits.

3) [2 ptos] Codificar un programa en assembler ARM de 32 bits que imprima tres cadenas de caracteres (definidas en el propio programa) por la salida estándar, haciendo uso de una subrutina interna.

4) [1 pto] Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo a la ubicación de los operandos. Ejemplifique y/o grafique cada una.

5) [1,5 ptos] Explique claramente cómo funciona el linking estático. Ejemplifique y grafique dicho funcionamiento.

6) [1,5 ptos] Explique claramente de que se trata la técnica de procesamiento en paralelo por pipelining en un procesador. Que complejidades pueden presentarse en el manejo de instrucciones y quienes pueden resolverlas. Grafique un pipeline de 5 stages

7) [1,5 ptos] En la arquitectura de discos RAID de nivel 3: ¿qué ocurre con las peticiones de E/S mientras un disco queda inutilizable? Explique además el algoritmo que permite recuperar la información perdida.

FINAL 08/03/2021

- 1) [1,5 ptos]** Explique claramente por qué se dice que la UAL en SuperAbacus se utiliza tanto para la suma de datos como de direcciones. Justifíquelo con microinstrucciones y el gráfico de la máquina.
- 2) [1 pto]** Explique claramente que es y cómo funciona el modo de direccionamiento post-indexado autoindexado (registro indirecto con post-incremento) en la arquitectura ARM de 32 bits. De un ejemplo concreto con una instrucción.
- 3) [2 ptos]** Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y genere un nuevo vector formado por elementos que resultan de sumar pares de elementos del vector original. Ej. vector original {1,2,5,6}, vector nuevo {3,11}
- 4) [1 pto]** Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo al número de direcciones. Ejemplifique cada una.
- 5) [1,5 ptos]** Grafique el esquema general de un archivo de código objeto e identifique y explique cada una de sus secciones, indicando para que se usan.
- 6) [1,5 ptos]** En un sistema de memoria, ¿qué función cumple la memoria cache? ¿En qué principio se basa su efectividad? Grafique un ejemplo de arquitectura de cache de 3 niveles.
- 7) [1,5 ptos]** ¿Qué es la codificación 8-14 (EFM) y para qué se usa? ¿Por qué es necesaria?

FINAL 10/03/2021

- 1) [1,5 ptos]** Indique cuales son las microinstrucciones necesarias para ejecutar la instrucción SUMAR 3,20(4) en la máquina SuperAbacus, siendo 3 y 4 registros de uso general y 20 un offset en base 10. Graficar en el esquema de la máquina el flujo de apertura de compuertas usadas en la fase de ejecución de dicha instrucción.
- 2) [1 pto]** Explique claramente que es y cómo funciona el barrel shifter en la arquitectura ARM de 32 bits. De ejemplos concretos con instrucciones assembler.
- 3) [2 ptos]** Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y los imprima por la salida estándar agregando la leyenda "PAR" a continuación de todos aquellos números que así lo sean.
- 4) [1 pto]** ¿Por qué se dice que los formatos de instrucción de la arquitectura Intel x86 son variables? De algún ejemplo que justifique su respuesta.
- 5) [1,5 ptos]** Indique claramente que es el linking dinámico en tiempo de ejecución y cuáles son las diferencias frente al linking estático.
- 6) [1,5 ptos]** Explique claramente de que se trata la técnica de procesamiento en paralelo por pipelining en un procesador. Que complejidades pueden presentarse en el manejo de instrucciones y quienes pueden resolverlas. Grafique un pipeline de 5 stages
- 7) [1,5 ptos]** En la arquitectura de discos RAID de nivel 3: ¿qué ocurre con las peticiones de E/S mientras un disco queda inutilizable? Explique además el algoritmo que permite recuperar la información perdida.

FINAL 14/12/2022

- 1)** Explique claramente si es posible implementar en la máquina SuperAbacus la instrucción SUMAR DI(RI), DII(RII) donde DI, RI y DII, RII hacen referencia a dos operandos de memoria. Justifique su respuesta usando el gráfico de la máquina.
 - 2)** Mencionar cuatro modos de direccionamiento presentes en la arquitectura ARM 32 bits
 - 3)** Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y genere un archivo de salida con el resultado de aplicar la función AND en cada uno de los elementos del vector original contra una constante.
 - 4)** Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo al número de direcciones. Ejemplifique cada una.
 - 5)** Indique que es el linking dinámico en tiempo de carga y cuáles son las diferencias frente al linking estático
 - 6)** En un sistema de memoria, ¿qué función cumple la memoria cache? ¿En qué principio se basa su efectividad? Grafique un ejemplo de arquitectura de cache de 3 niveles
 - 7)** ¿Cuáles son las ventajas del nivel 5 de la arquitectura de discos RAID con respecto al nivel 4? ¿En qué casos lo usaría? Grafique la distribución de la información en los discos en ambos niveles.
-

FINAL 05/07/23

- 1) [1,5 ptos]** Indique cuales son las microinstrucciones necesarias para las fases de busqueda y ejecucion de la instruccion SUMAR 300 en la maquina Abacus, siendo 300 la direccion de una celda en base 16. Graficar en el esquema de la máquina el flujo de apertura de compuertas usadas en ambas fases de dicha instruccion.
 - 2) [1 pto]** Explique claramente y ejemplifique al menos cuatro modos de direccionamiento presentes en la arquitectura ARM 32 bits.
 - 3) [2 ptos]** Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y genere un archivo de salida con el resultado de aplicar la función OR en cada uno de los elementos del vector original contra una constante.
 - 4) [1 pto]** Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo al número de direcciones. Ejemplifique cada una
 - 5) [1,5 ptos]** Indique que es el linking dinámico en tiempo de carga y cuáles son las diferencias frente al linking estático.
 - 6) [1,5 ptos]** En un sistema de memoria, ¿a que se denomina jerarquía de memoria? Indique claramente los elementos que la componen y las características que identifican a cada uno. Grafiquela.
 - 7) [1,5 ptos]** Cuáles son las ventajas del nivel 5 de la arquitectura de discos RAID con respecto al nivel 4? ¿En qué casos lo usaría? Grafique la distribución de la información en los discos en ambos niveles.
-

FINAL 21/02/24

- 1) [1,5 ptos]** Indique cuales son las microinstrucciones necesarias para ejecutar la instrucción SUMAR 3,4 en una maquina SuperAbacus, siendo 3 y 4 registros de uso general. Graficar en el esquema, el flujo de apertura de compuertas usadas en la fase de ejecución de dicha instrucción.

- 2) [1 ptos]** Explique claramente qué es y cómo funciona el modo de direccionamiento post-indexado autoindexado (registro indirecto con post-incremento) en la arquitectura ARM de 32 bits. De un ejemplo concreto con una instrucción.
- 3) [2 ptos]** Codificar un programa en assembler ARM de 32 bits que recorra a un vector de enteros y genere un archivo de salida con el resultado de aplicar la función AND en cada uno de los elementos del vector original contra una constante
- 4) [1 ptos]** Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo con la ubicación de los operandos. Ejemplifique y/o grafique cada uno.
- 5) [1,5 ptos]** Grafique el esquema general de un archivo de código objeto e identifique y explique cada una de sus secciones, indicando para que se usan
- 6) [1,5 ptos]** Definir el pipelining, su desventaja y quién la debería resolver, y graficar un pipeline de 5 stages
- 7) [1,5 ptos]** ¿Qué es la codificación 8-14(EFM) y para que se usa? ¿Por qué es necesaria?
-

FINAL 28/02/24

- 1) [1,5 ptos]**Cuál es la finalidad de la existencia de los números desnormalizados en el formato IEEE 754? Grafique los valores extremos del rango de números desnormalizados y de sus configuraciones en hexadecimales en el formato
- 2) [1 punto]** En la arquitectura ARM de 32 bits, ¿a qué se denomina ejecución condicional de una instrucción? De un ejemplo de su uso en assembler
- 3) [2 puntos]** Codificar un programa en Assembler ARM de 32 bits que lea desde un archivo números enteros e imprima por la salida estándar la productoria de aquellos números que sean positivos.
- 4) [1,5 puntos]** ¿Qué es un “page fault” y cuando ocurre? ¿Quién lo gestiona?
- 5) [1,5 ptos]** ¿Cuáles son las ventajas del nivel 6 de la arquitectura de discos RAID con respecto al nivel 5? En qué caso lo usaría? Grafique la distribución de la información en los discos en ambos niveles.
- 6) [1,5 ptos]** ¿Qué es el linking dinámico en tiempo de carga? ¿Qué ventajas tiene frente al estático?
- 7) [1 pto]** Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo al número de direcciones. Ejemplifique cada una.
-

FINAL 06/03/24

- 1) [1,5 ptos]** Indique gráficamente en el esquema de la máquina Abacus cuál es la compuerta que permite que se cumpla el principio de ruptura de secuencia de Von Neumann. De un ejemplo de una instrucción en donde se aplique este principio.
- 2) [1 pto]** Explique claramente qué es y cómo funciona el modo de direccionamiento post-indexado autoindexado (registro indirecto con post-incremento) en la arquitectura ARM de 32 bits. De un ejemplo concreto con una instrucción.
- 3) [2 ptos]** Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y genere un nuevo vector formado por elementos que resultan de sumar pares de elementos del vector original. Ej. vector original {2,4,5,6}, vector nuevo {-1,1}

4) [1 pto] Explique claramente qué significan los términos big y little endian, en qué contexto se aplican y qué los diferencia. De ejemplos de arquitecturas en donde se use cada uno.

5) [1,5 ptos] Explicar la segunda pasada del proceso de ensamblado

6) [1,5 ptos] Cuales son las clasificaciones de procesamiento en paralelo de datos (2 métodos)

7) [1,5 ptos] Identifique y explique cuáles son las principales desventajas del medio de almacenamiento en cinta. ¿Cuáles son sus aplicaciones actuales? ¿Qué ventaja comparativa tiene con respecto al resto de los medios de almacenamiento secundario?

FINAL 10/07/24

1) [1,5 ptos] Explique cuáles son los modos de direccionamiento, formatos de instrucción y tipos de datos presentes en la máquina SuperAbacus. De ejemplos de cada uno de ellos.

2) [1,5 ptos] Explique claramente de qué se trata la técnica de procesamiento en paralelo Superscalar en un procesador. Grafique en forma esquemática cómo funciona dicha técnica y dé un ejemplo de algún procesador comercial que la incluya

3) [1 pto] Explique claramente qué es y cómo funciona el modo de direccionamiento pre-indexado autoindexado (registro indirecto con pre-incremento) en la arquitectura ARM de 32 bits. De un ejemplo

4) [2 ptos] Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y los imprima por la salida estándar agregando la leyenda "PAR" a continuación de todos aquellos números que así lo sean.

5) [1 pto] Explique claramente qué significan los términos big y little endian, en qué contexto se aplican y qué los diferencia. De ejemplos de arquitecturas en donde se use cada uno

6) [1,5 ptos] Grafique el esquema general de un archivo de código objeto e identifique y explique cada una de sus secciones, indicando para que se usan

7) [1,5 ptos] En la arquitectura de discos RAID de nivel 3: ¿qué ocurre con las peticiones de E/S mientras un disco queda inutilizable?

FINAL 30/07/24

1) [1,5 ptos] Explique claramente cuáles son los pasos necesarios para actualizar el valor de la dirección de la próxima instrucción a ejecutarse en Abacus y SuperAbacus, en que se diferencian? especifique además las microinstrucciones necesarias en cada caso

2) [1 pto] Explique claramente qué es y cómo funciona el barrel shifter en la arquitectura ARM de 32 bits. De ejemplos concretos con instrucciones assembler.

3) [2 ptos] Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y genere un nuevo vector formado por elementos que resultan de sumar pares de elementos del vector original. Ej. vector original {1,2,5,6}, vector nuevo {3,11}

4) [1 pto] Indique al menos 4 características que identifiquen a los procesadores de la arquitectura Intel como procesadores de CISC. De ejemplos de esas características en dicha arquitectura

5) [1,5 ptos] Explicar la segunda pasada del proceso de ensamblado

6) [1,5 ptos] Explicar el procesamiento en paralelo por multiprocesadores

7) [1,5 ptos] ¿Cuáles son las ventajas del nivel 1 de la arquitectura de discos RAID respecto al nivel 0? Grafique la distribución de la información en los discos en ambos niveles.

FINAL 06/08/24

- 1) [1,5 ptos]** Indique cuales son las microinstrucciones necesarias para ejecutar la instrucción SUMAR 3,20(4) en la máquina SuperAbacus, siendo 3 y 4 registros de uso general y 20 un offset en base 10. Graficar en el esquema de la máquina el flujo de apertura de compuertas usadas en la fase de ejecución de dicha instrucción
- 2) [1 pto]** Explique claramente qué es y cómo funciona el modo de direccionamiento doble registro indirecto (registro indirecto indexado) en la arquitectura ARM de 32 bits. Dar ejemplo en assembler.
- 3) [2 ptos]** Codificar un programa en assembler ARM de 32 bits que lea desde un archivo números enteros e imprima por la salida estándar la productoria de aquellos números que sean positivos
- 4) [1 pto]** Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo al número de direcciones. Ejemplifique cada una
- 5) [1,5 ptos]** En un lenguaje ensamblador. ¿Cuál es la diferencia entre una instrucción, pseudoinstrucción (directiva) y macroinstrucción? ¿Qué hace el ensamblador al procesar cada una de ellas? De ejemplos de alguna de las arquitecturas vistas en clase
- 6) [1,5 ptos]** Explique claramente de qué se trata la técnica de procesamiento en paralelo multithreading en un procesador. Explique sintéticamente la diferencia entre un thread y un proceso y como es el cambio de contexto en un caso y otro.
- 7) [1,5 ptos]** ¿Cuáles son las ventajas del nivel 6 de la arquitectura de discos RAID con respecto al nivel 5? En qué caso lo usaría? Grafique la distribución de la información en los discos en ambos niveles.

FINAL 13/08/24

- 1) [1,5 ptos]** Ventajas y desventajas de Harvard vs Von Neumann. Grafique ambas arquitecturas y justifique.
- 2) [1 pto]** Explique claramente y ejemplifique al menos cuatro modos de direccionamiento presentes en la arquitectura ARM 32 bits.
- 3) [2 ptos]** Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y genere un archivo de salida con el resultado de aplicar la función AND en cada uno de los elementos del vector original contra una constante.
- 4) [1 pto]** Indique al menos 4 características que identifiquen a los procesadores de la arquitectura ARM como procesadores de RISC. De ejemplos de esas características en dicha arquitectura
- 5) [1,5 ptos]** Explique cómo funciona el linking estático. Ejemplifique y grafique dicho funcionamiento.
- 6) [1,5 puntos]** ¿Qué es un “page fault” y cuando ocurre? ¿Quién lo gestiona?
- 7) [1,5 ptos]** Explique claramente cuáles son los eventos temporales presentes a la hora de almacenar o recuperar información en un disco magnético sectorizado. Indique cómo se calcula cada uno de ellos

FINAL 19/12/24

- 1) [1,5 ptos]** Indique cuales son las microinstrucciones necesarias para las fases de búsqueda y ejecución de la instrucción SUMAR 300 en la máquina Abacus, siendo 300 la dirección de una celda

en base 16. Graficar en el esquema de la máquina el flujo de apertura de compuertas usadas en ambas fases de dicha instrucción.

2) [1 pto] Explique y ejemplifique cuatro modos de direccionamiento presentes en la arquitectura ARM 32 bits.

3) [2 ptos] Codificar un programa en assembler ARM de 32 bits que recorra un vector de enteros y genere un archivo de salida con el resultado de aplicar la función OR en cada uno de los elementos del vector original contra una constante

4) [1 ptos] Indique como se puede clasificar el repertorio de instrucciones de una arquitectura de computadores de acuerdo con la ubicación de los operandos. Ejemplifique y/o grafique cada uno.

5) [1,5 ptos] ¿Qué es el linking dinámico en tiempo de carga? ¿Qué ventajas tiene frente al estático?

6) [1,5 ptos] Explique de qué se trata la técnica de procesamiento en paralelo Superscalar en un procesador. Grafique en forma esquemática cómo funciona dicha técnica y dé un ejemplo de algún procesador comercial que la incluya

7) [1,5 ptos] ¿Cuáles son las ventajas del nivel 5 de la arquitectura de discos RAID con respecto al nivel 4? En qué caso lo usaría? Grafique la distribución de la información en los discos en ambos niveles