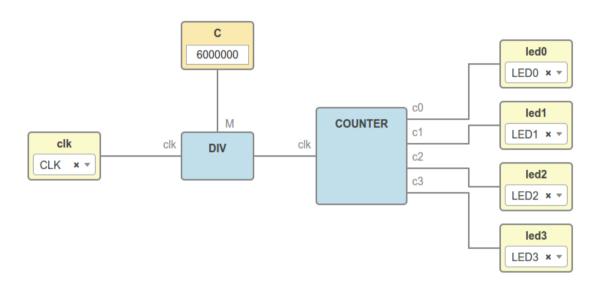
Taller – Herramientas Libres con FPGAs





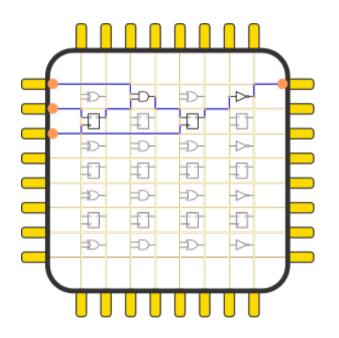
Jesús Arroyo Torrens

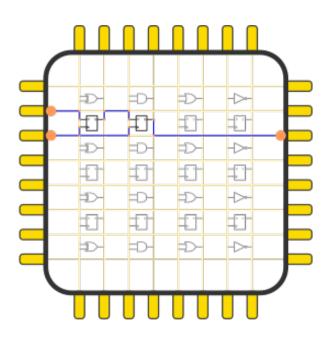
https://github.com/Jesus89





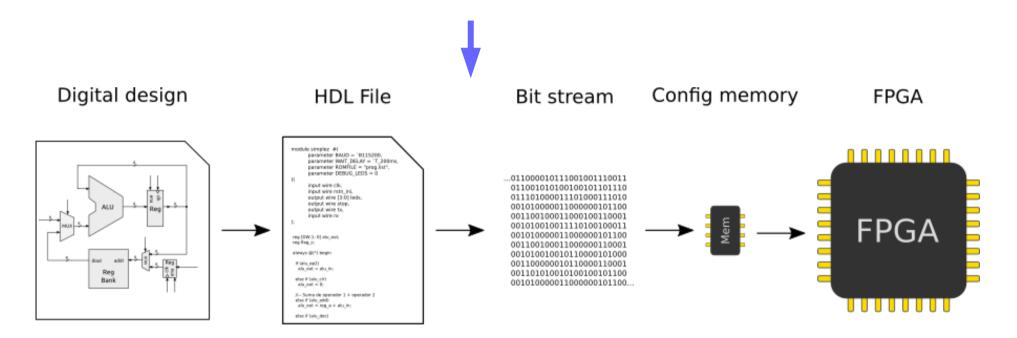
Field Programmable Gate Array





Toolchain de FPGA libre

Proyecto IceStorm por Clifford Wolf



Placas FPGA libres







<u>Icestick</u>

iCE40-HX8K Breakout Board

IceZUM Alhambra

Pila de herramientas libres

Icestorm Iverilog GTKWave

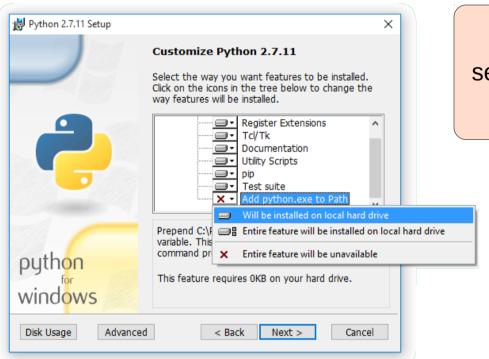
Pila de herramientas libres



Requisitos

1. Python **2.7**

https://www.python.org

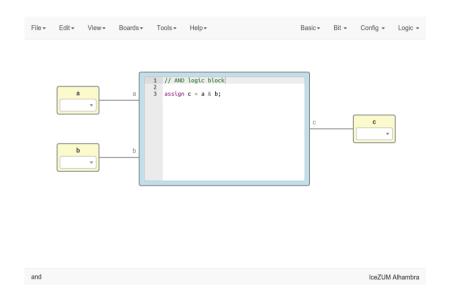


Usuarios de Windows: NO OLVIDAR seleccionar Add python.exe to Path en la ventana "Customize"

Comprobar la instalación: abre la consola y ejecuta python

https://github.com/FPGAwars/icestudio





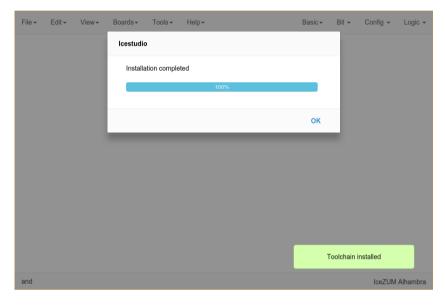
Editor gráfico experimental para FPGAs libres. Creado con HTML y JS

1. Instalar

- Copia icestudio-0.2.4-dev.zip
- Descomprime el zip
- Ejecuta icestudio

2. Configuración

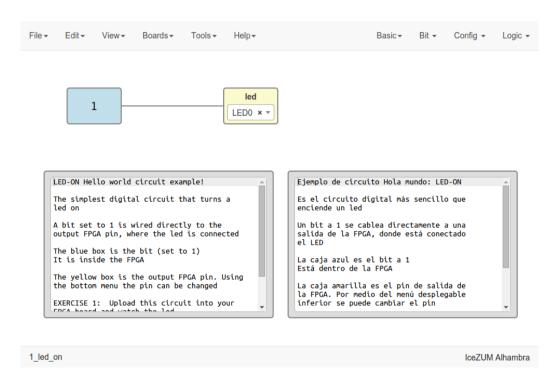
- Instala la toolchain
 Herramientas > Toolchain > Instalar
- Instala los drivers
 Herramientas > Drivers > Habilitar



La configuración de los drivers requiere permisos de administrados. Sigue las instrucciones en cada SO

3. Hola, mundo!

- Carga un ejemplo
 1. Básico > 1
- Selecciona la placa
 Placas > IceZUM
- Selecciona el pin E/S
 Editar el combo
- Carga el bit stream
 Herramientas > Cargar

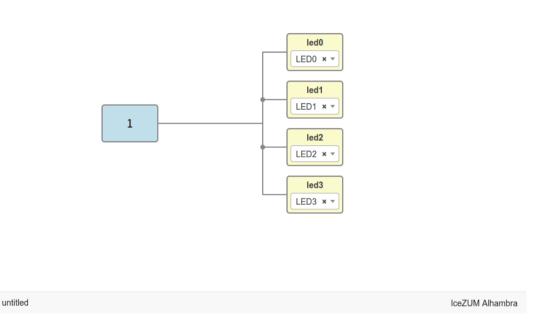


Para inspeccionar un bloque o editar su nombre utiliza doble click

4. Más leds

Crea un proyecto
 Archivo > Nuevo proyecto

- Añade los bloques
 Bit > 1
 Básico > Salida
- Conecta los cables
- Carga el bit stream
 Herramientas > Cargar

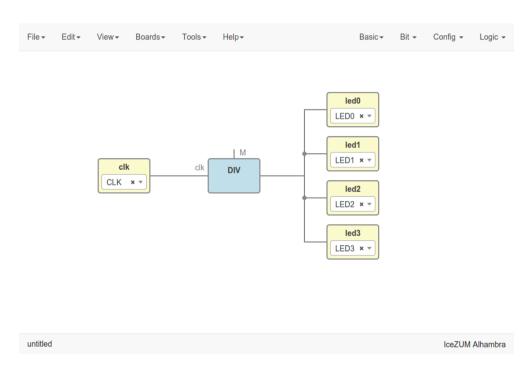


Bit → Config → Logic →

Se pueden crear múltiples bloques E/S. Por ejemplo, "led0, led1, led2"

5. Parpadeo

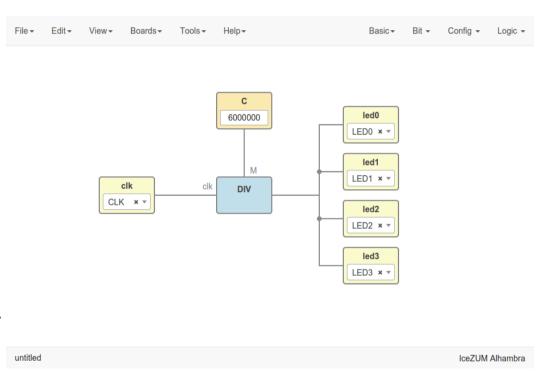
- Importa bloque DIV
 Archivo > Importar bloque
- Añade entrada de reloj
 Básico > Entrada
- Conecta los cables
- Carga el bit stream
 Herramientas > Cargar



El reloj es una señal de 12 MHz

6. Parpadeo personalizado

- Añadir constante
 Básico > Constante
- Inserta un valor 600000
- Conecta los cables
- Carga el bit stream
 Herramientas > Cargar

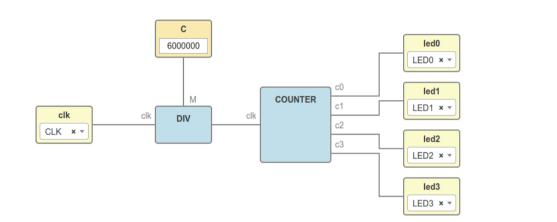


El reloj es una señal de 12 MHz

View → Boards →

7. Contador

- Importa bloque COUNTER Archivo > Importar bloque
- Reconecta los cables
- Carga el bit stream
 Herramientas > Cargar

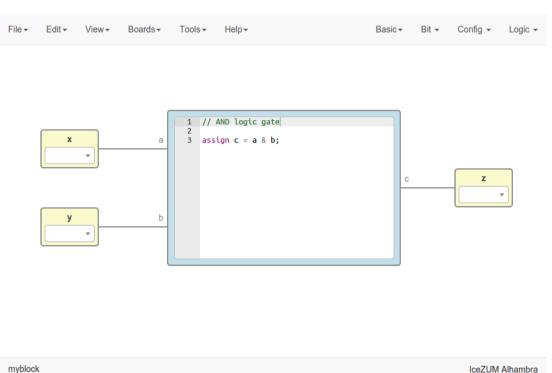


Bit ▼ Config ▼ Logic ▼

untitled IceZUM Alhambra

8. Código

- Crea un proyecto
 Archivo > Nuevo
- Añade bloques
 Básico > Código
 Básico > Entrada
 Básido > Salida
- Conecta los cables
- Verifica el diseño
 Herramientas > Verificar

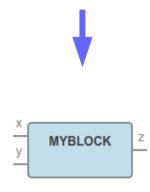


9. Bloques personalizados

Carga un proyecto
 Archivo > Abrir proyecto



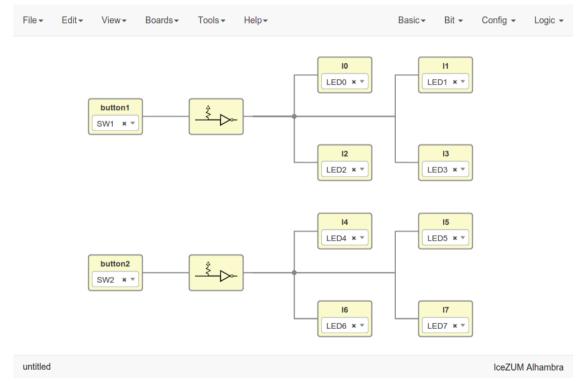
Guarda el proyecto como bloque
 Archivo > Exportar como bloque



Los pines de Entrada / Salida se convierten en los puertos del bloque

10. Utilizando botones

- Crea un proyecto
 Archivo > Nuevo
- Añade bloques
 Básico > Código
 Básico > Entrada
 Config > Pull up inv
- Conecta los cables
- Carga el bit stream
 Herramientas > Cargar



Apio

https://github.com/FPGAwars/apio



```
Terminal
 esus@ThinkPad ~
Usage: apio [OPTIONS] COMMAND [ARGS]...
 Experimental micro-ecosystem for open FPGAs
Options:
 --version Show the version and exit.
 --help
            Show this message and exit.
Code commands:
 build
            Synthesize the bitstream.
            Clean the previous generated files.
 clean
 sim
            Launch the verilog simulation.
 time
            Bitstream timing analysis.
            Upload the bitstream to the FPGA.
 upload
 verify
            Verify the verilog code.
Environment commands:
 boards
            Manage FPGA boards.
 config
            Apio configuration.
 drivers
            Manage FPGA drivers.
 examples
            Manage verilog examples.
 init
            Manage apio projects.
 install
            Install packages.
 system
            System tools.
 uninstall Uninstall packages.
 upgrade
            Check the latest Apio version.
 e<u>s</u>us@ThinkPad ~
```

Ecosistema experimental para FPGAs libres. Creado con Python

Apio

1. Instalar

- Abre la consola y ejecuta
 \$ pip install -U apio
- Comprueba apio\$ apio

2. Configuración

- Instala la toolchain
 \$ apio install --all
- Instala los drivers\$ apio drivers --enable

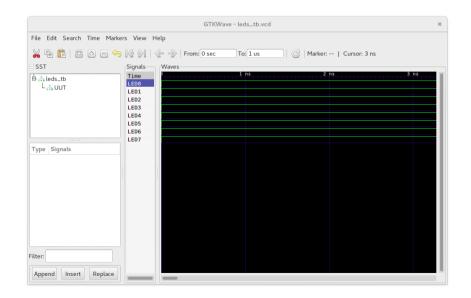
```
Terminal
 esus@ThinkPad ~
Usage: apio [OPTIONS] COMMAND [ARGS]...
 Experimental micro-ecosystem for open FPGAs
 --version Show the version and exit.
 --help
            Show this message and exit.
Code commands:
 build
            Synthesize the bitstream.
 clean
            Clean the previous generated files.
            Launch the verilog simulation.
 time
            Bitstream timing analysis.
 upload
            Upload the bitstream to the FPGA.
 verify
            Verify the verilog code.
nvironment commands:
 boards
            Manage FPGA boards.
 config
            Apio configuration.
            Manage FPGA drivers.
 drivers
 examples
            Manage verilog examples.
 init
            Manage apio projects.
            Install packages.
 install
 system
            System tools.
 uninstall Uninstall packages.
            Check the latest Apio version.
```

La configuración de los drivers requiere permisos de administrados. Sigue las instrucciones en cada SO

Apio

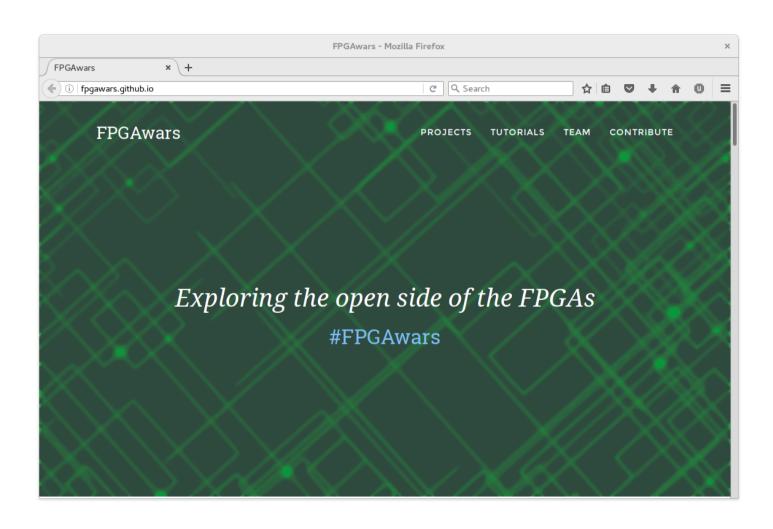
3. Hola, mundo!

- Carga un ejemplo
 - \$ apio examples -d icezum/leds
- Entra en el directorio
 - \$ cd icezum/leds
- Verifica y simula
 - \$ apio verify \$ apio sim
- Sintetiza y carga
 - \$ apio build \$ apio upload
- Análisis de tiempo
 - \$ apio time \$ apio clean



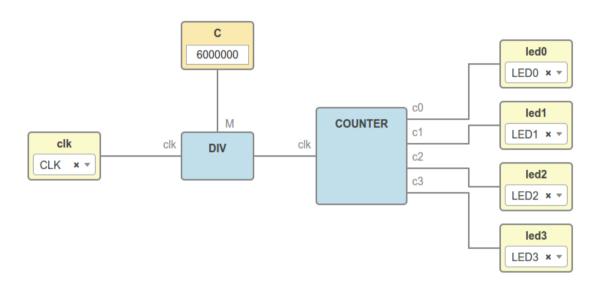
¡Quiero más!

http://FPGAwars.github.io



Taller – Herramientas Libres con FPGAs





Jesús Arroyo Torrens

https://github.com/Jesus89



