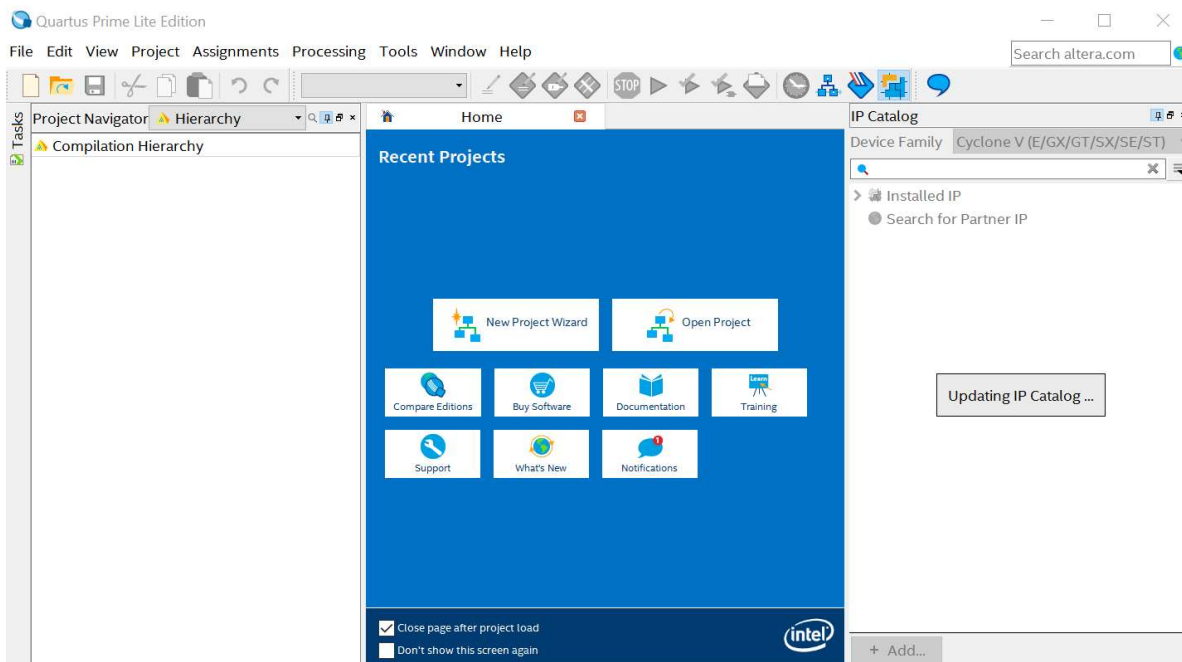
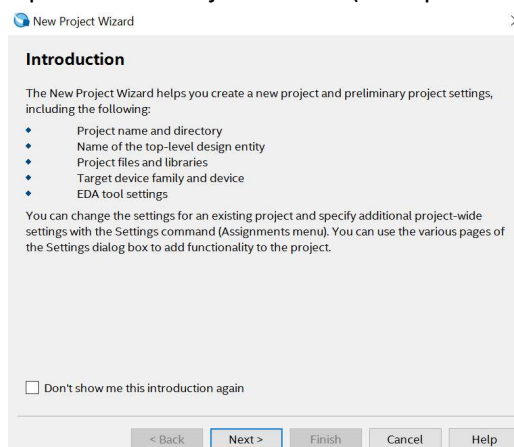


## 1. Abrir Quartus PRIME Lite Edition VER 16.0

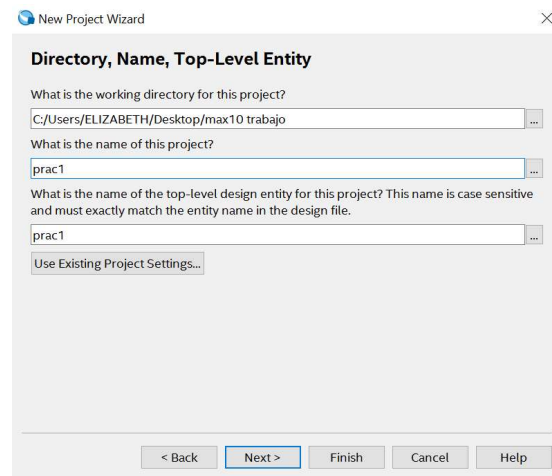
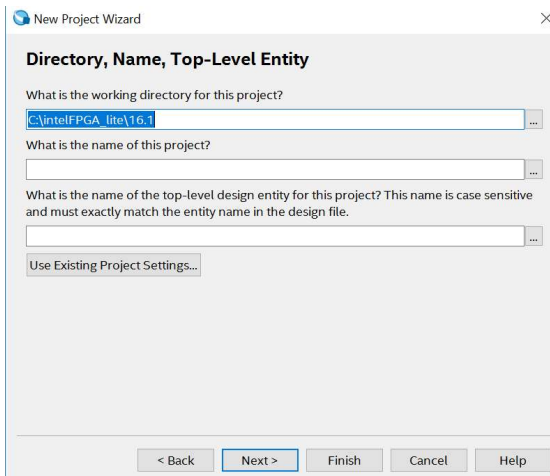


## 2. Optimizar New Project Wizard (en la parte de azul)

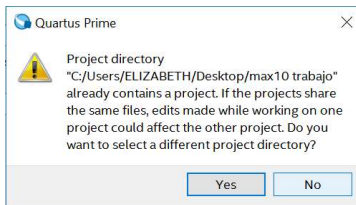


Optimizar NEXT

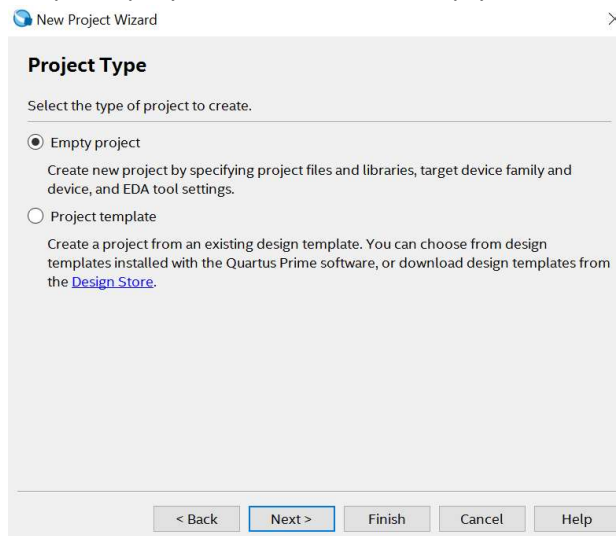
## 3. Crear un directorio externo a intelFPGA. Y colocar en el nombre del proyecto prac1. NEXT



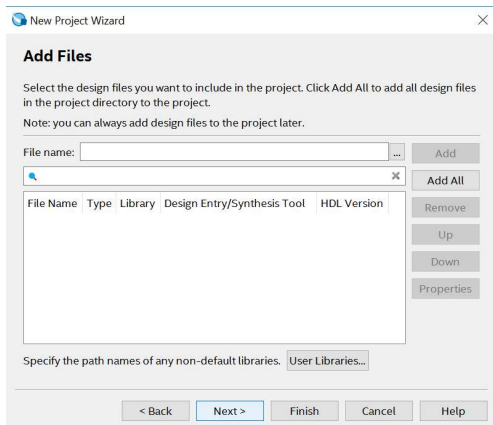
Oprimir “NO”, no queremos seleccionar otro directorio.



#### 4. El tipo de proyecto esta VACIO o “Empty”, NEXT



#### 5. No requerimos adicionar archivos. NEXT



6. Family, Escogemos “MAX 10” y luego 10M50DAF484C7G. NEXT.

## Family, Device & Board Settings

Device

Board

Select the family and device you want to target for compilation.  
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: MAX 10 (DA/DF/DC/SA/SC)
Device: All

Target device

☐ Auto device selected by the Fitter
☒ Specific device selected in 'Available devices' list
☐ Other: n/a

Show in 'Available devices' list

Package: Any
Pin count: Any
Core speed grade: Any
Name filter:
☒ Show advanced devices

Available devices:

Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multiplier 9-bit
10M40SCE144I7G	3.3V	40368	101	101	1290240	250
10M50DAF256C7G	1.2V	49760	178	178	1677312	288
10M50DAF256C8G	1.2V	49760	178	178	1677312	288
10M50DAF256C8GES	1.2V	49760	178	178	1677312	288
10M50DAF256I7G	1.2V	49760	178	178	1677312	288
10M50DAF484C6GES	1.2V	49760	360	360	1677312	288
10M50DAF484C7G	1.2V	49760	360	360	1677312	288

7. No simulación. NEXT

New Project Wizard

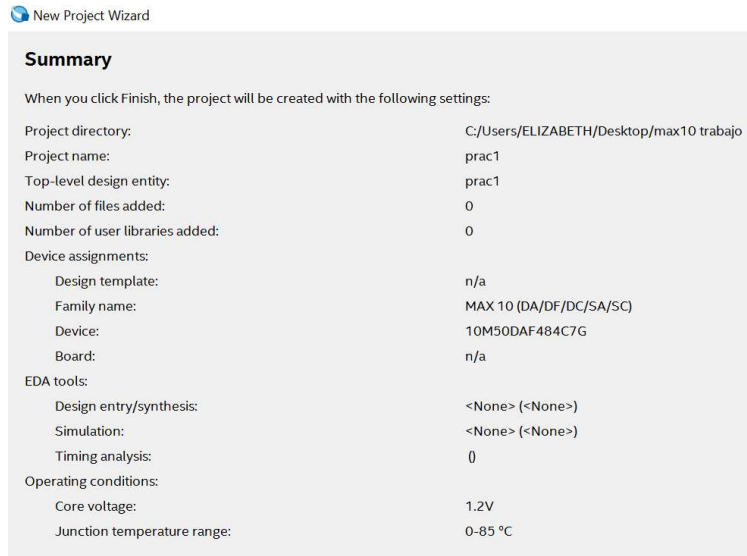
### EDA Tool Settings

Specify the other EDA tools used with the Quartus Prime software to develop your project.

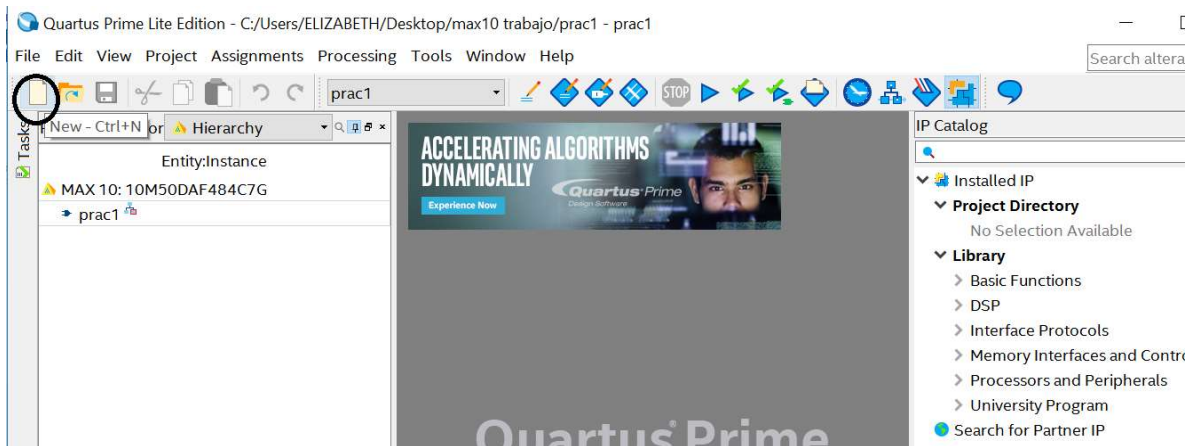
EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entr...	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation automatically
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

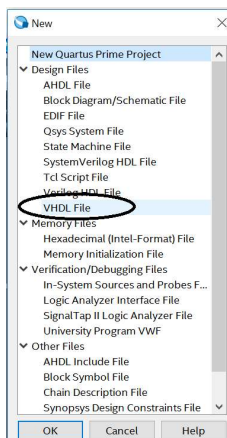
8. El resumen. FINISH.



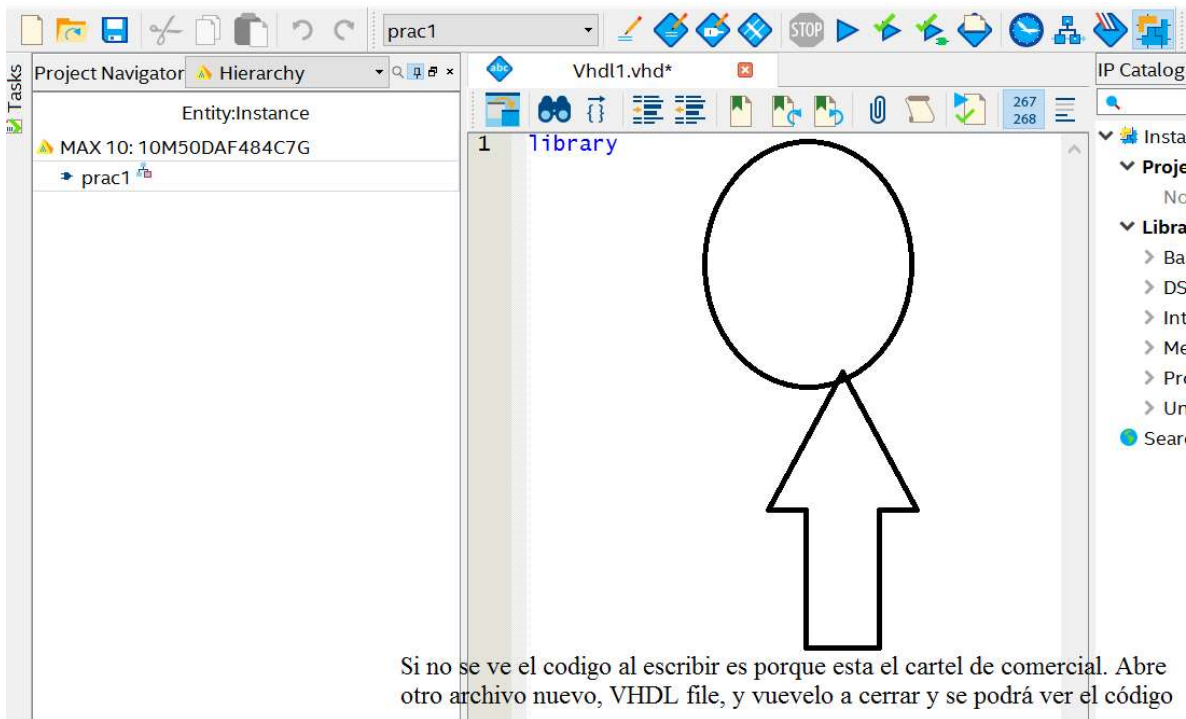
## 9. Ahora podemos comenzar a escribir el código VHDL escogiendo una hoja blanca (NEW)



Escoger VHDL File. OK

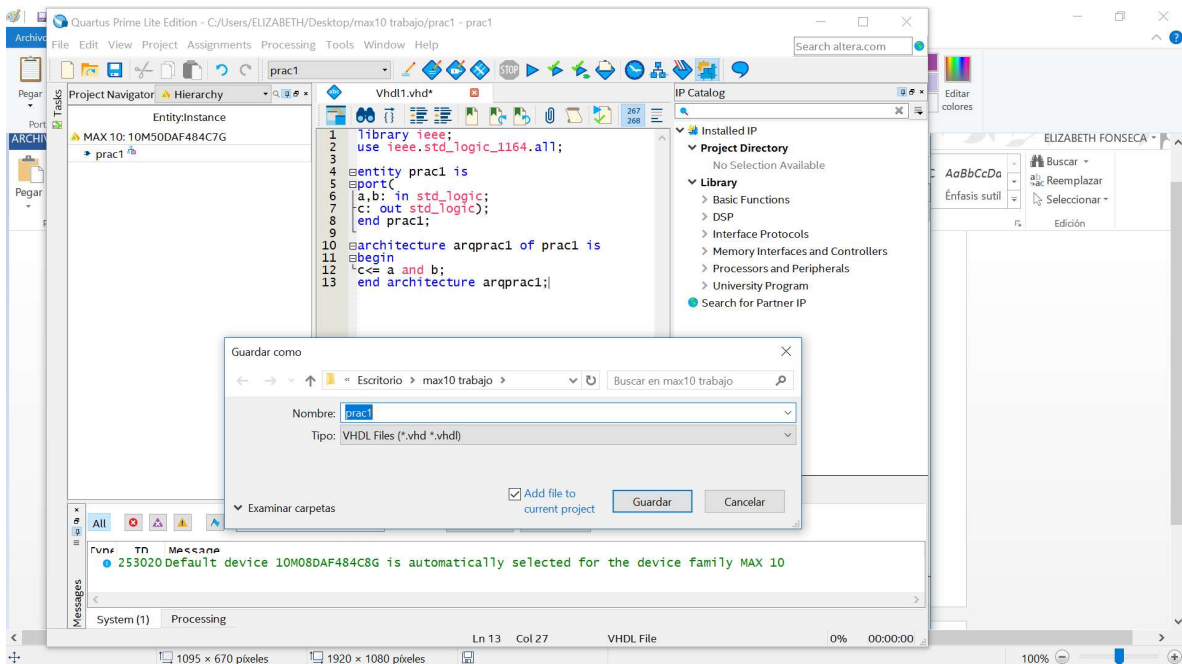


Al momento de comenzar a escribir el código a veces no se ve lo que se está escribiendo, porque quedó un comercial pegado, te siguiero abrir un VHDL File otra vez y lo vuelves a cerrar y ya se verá todo el código que se escribió. (RARO pero así lo solucione..)

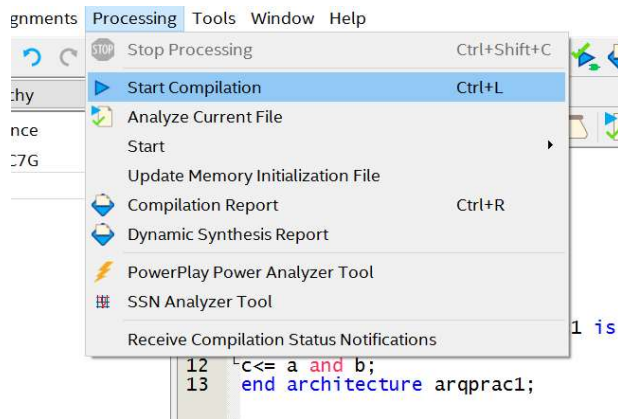


Si no se ve el código al escribir es porque esta el cartel de comercial. Abre otro archivo nuevo, VHDL file, y vuuelvo a cerrar y se podrá ver el código

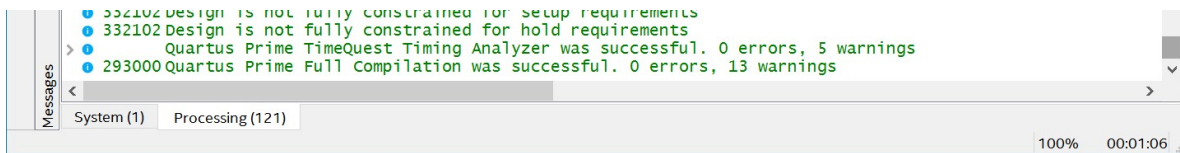
10. Escribir el código para una compuerta AND y guardarla.



11. Compilar el código. En menú "Processing" y submenú "Start Compilation".



Tarda como 1 min. La compilación, hace como 121 procesos



Si tuvo errores, darle click a los errores (que aparecen en color rojo, darle doble click, te envía a la línea a corregir), guardar y volver a compilar cuantas veces sea.

Si ya no tuvo errores procedemos a asignar pins.

## 12. Asignar PINS

Requerimos 2 dos “dipswitch” para A y B y un “LED” para C. Al final de esta práctica tenemos una copia rápida del manual.

Utilizaremos

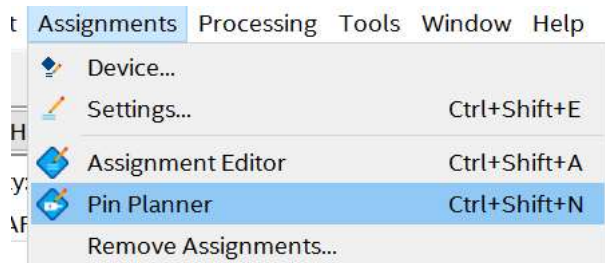
Dipswitch (0) con pin\_c10

Dipswitch(1) con pin\_c11

Y

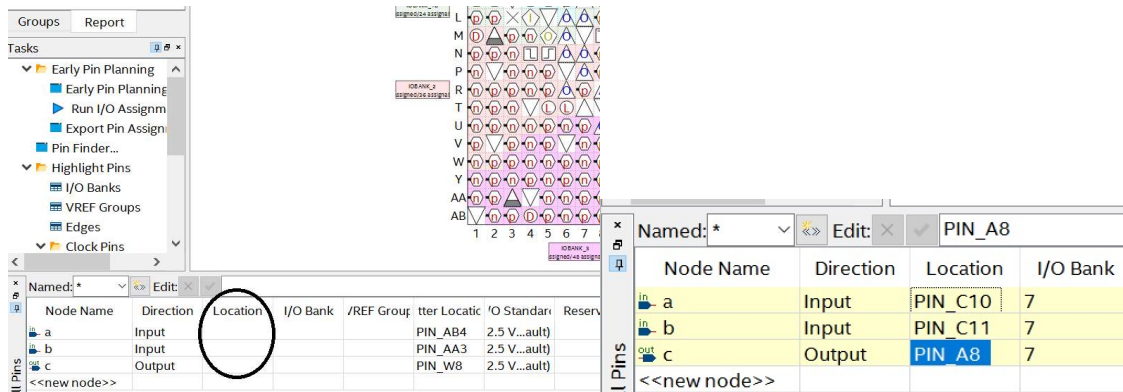
Led (0) con pin\_A8

Entonces escogemos. Menu “Assignments” y luego “pin planner”



Se colocaran los PINS en donde dice Location





Enter en cada que se escriba el pin,(porque así se guarda). Y cerrar la ventana completa de “asignar pins”.

Si quiere ver el código otra vez está aquí, pero por el momento no lo necesitamos.

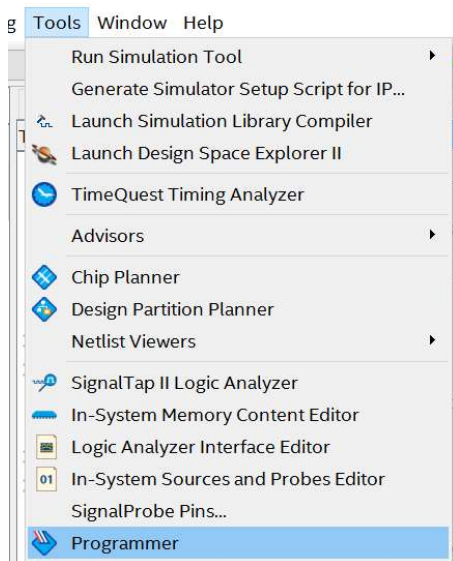


13. VOLVER A COMPILAR!!!!

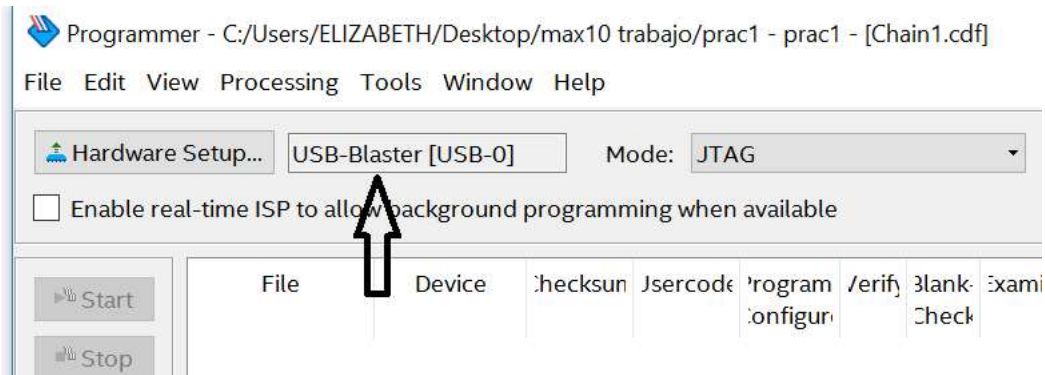
14. Descargar a tarjeta.

ANTES necesitamos conectarla a la LAPTOP y se activará el programa que viene por default en la tarjeta, prendiéndose leds y display de 7 segmentos.

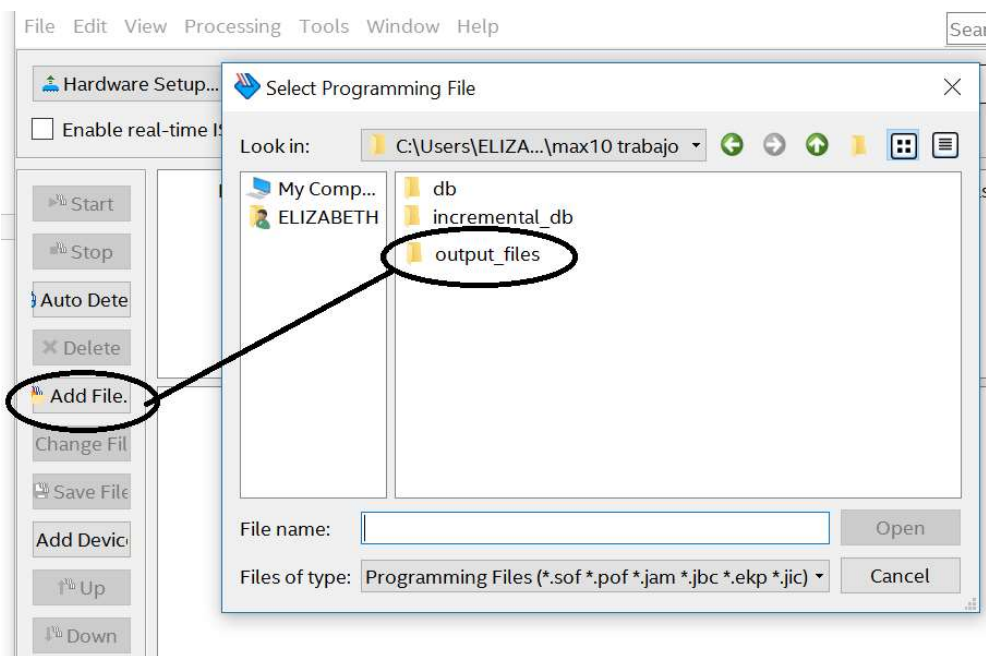
Escogemos del menú “Tools”, el submenú “Programmer”.



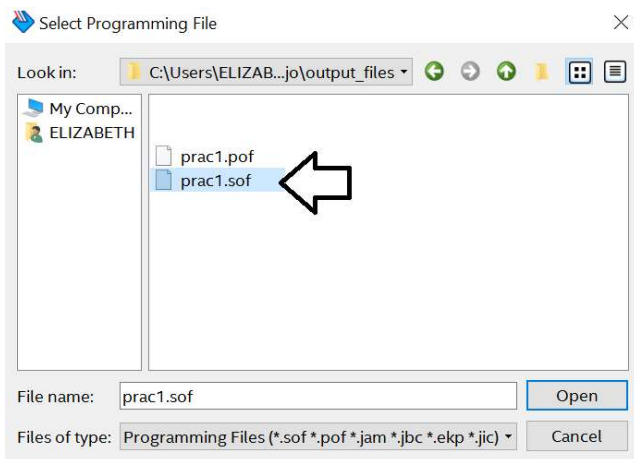
Ya reconoce el USB blaster



Entonces escogemos “ADD File”, aparece otra caja de dialogo, y escogemos “output files”

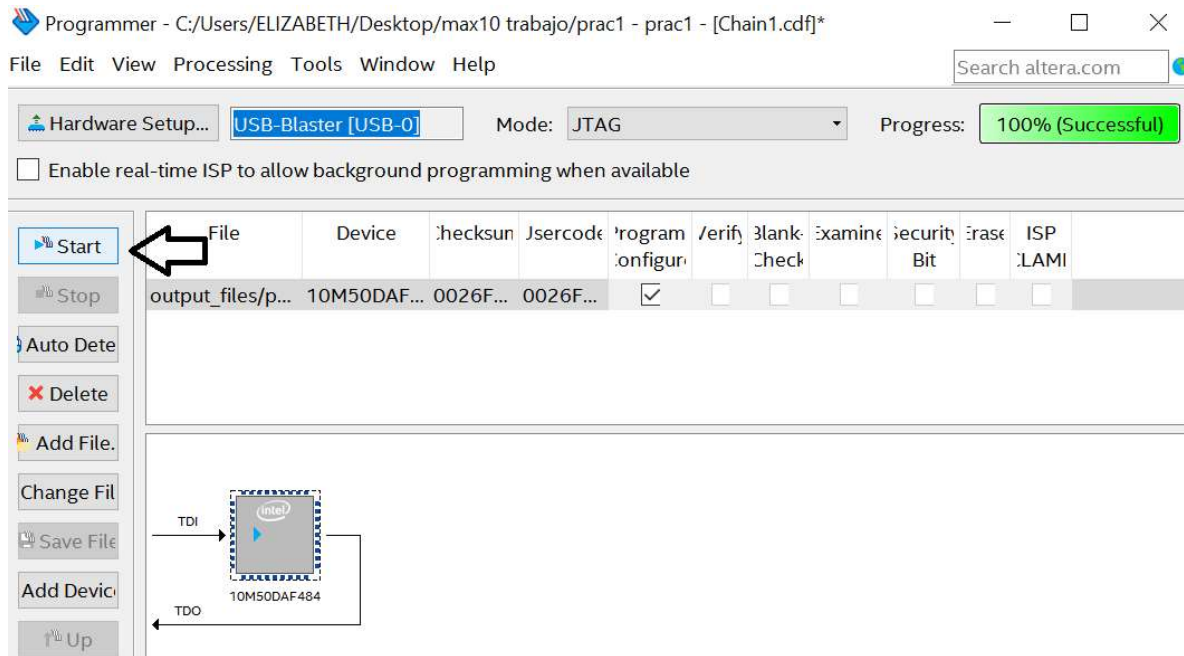


Se escogerá el archivo de nombre prac1, pero de extensión “SOF” y OPEN





Finalmente se oprime “Start” y se observará un color verde de porcentaje de descarga, cuando diga 100% esta listo.



En la tarjeta se quita el programa demo y se apagan LEDs y display de 7 segmentos. Ahora probemos nuestro código.

Te pide al final si quieres guardar la cadena de salida, podemos decirle “NO”.

Checa subiendo el dipswitc(0) y el dipswitch(1), y el ledR0 que estaba apagado prendera.

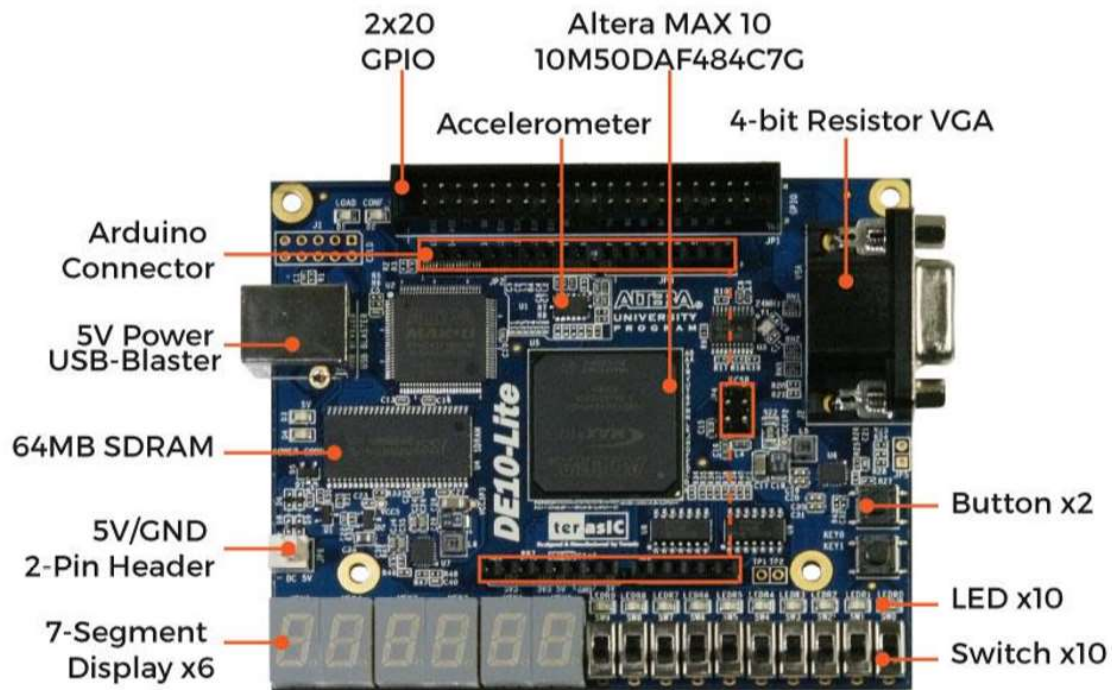
FIN

\*\*\*\*\*

### INFORMACION SINTENTIZADA DE ESTA TARJETA EXTRAIDA DE SU MANUAL

Tiene un FPGA MAX 10 10M50DAF484c7G

Todo esta información se extrajo del manual, que accesorios tiene además del FPGA



Cuales pins están conectados al FPGA?

- El dipswitch 0 tiene el pin\_c10, el dip 1 en pin\_c11, etc.

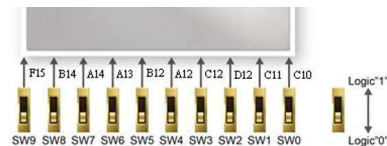


Figure 3-15 Connections between the slide switches and MAX 10 FPGA

Table 3-4 Pin Assignment of Slide Switches

Signal Name	FPGA Pin No.	Description	I/O Standard
SW0	PIN_C10	Slide Switch[0]	3.3-V LVTTTL
SW1	PIN_C11	Slide Switch[1]	3.3-V LVTTTL
SW2	PIN_D12	Slide Switch[2]	3.3-V LVTTTL
SW3	PIN_C12	Slide Switch[3]	3.3-V LVTTTL
SW4	PIN_A12	Slide Switch[4]	3.3-V LVTTTL
SW5	PIN_B12	Slide Switch[5]	3.3-V LVTTTL
SW6	PIN_A13	Slide Switch[6]	3.3-V LVTTTL
SW7	PIN_A14	Slide Switch[7]	3.3-V LVTTTL
SW8	PIN_B14	Slide Switch[8]	3.3-V LVTTTL
SW9	PIN_F15	Slide Switch[9]	3.3-V LVTTTL

El led 0 está conectado al pin\_A8 dela FPGA, el led1 al pin\_a9, etc.

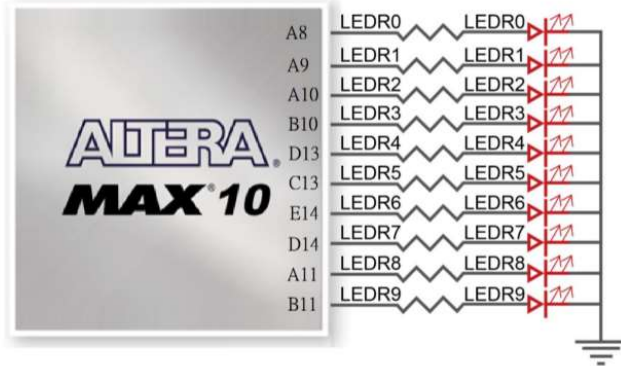


Figure 3-16 Connections between the LEDs and MAX 10 FPGA

Table 3-5 Pin Assignment of LEDs

Signal Name	FPGA Pin No.	Description	I/O Standard
LEDR0	PIN_A8	LED [0]	3.3-V LVTTTL
LEDR1	PIN_A9	LED [1]	3.3-V LVTTTL
LEDR2	PIN_A10	LED [2]	3.3-V LVTTTL
LEDR3	PIN_B10	LED [3]	3.3-V LVTTTL
LEDR4	PIN_D13	LED [4]	3.3-V LVTTTL
LEDR5	PIN_C13	LED [5]	3.3-V LVTTTL
LEDR6	PIN_E14	LED [6]	3.3-V LVTTTL
LEDR7	PIN_D14	LED [7]	3.3-V LVTTTL
LEDR8	PIN_A11	LED [8]	3.3-V LVTTTL
LEDR9	PIN_B11	LED [9]	3.3-V LVTTTL

Para los display de siete segmentos, que son

Con el primer display de sus 7 segmentos el primero está conectado así

El segmento 0 está en el pin\_c14, y el ultimo segmento 7(que es el punto) esta conectado al pin\_D15, mientras que el SIGUIENTE display su segmento 0 esta en el pin C18, y segm1 en pinD18, etc.

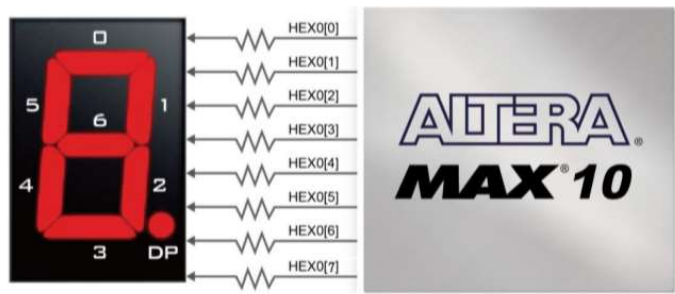


Figure 3-17 Connections between the 7-segment display HEX0 and the MAX 10 FPGA

Table 3-6 Pin Assignment of 7-segment Displays

Signal Name	FPGA Pin No.	Description	I/O Standard
HEX00	PIN_C14	Seven Segment Digit 0[0]	3.3-V LVTTTL
HEX01	PIN_E15	Seven Segment Digit 0[1]	3.3-V LVTTTL
HEX02	PIN_C15	Seven Segment Digit 0[2]	3.3-V LVTTTL
HEX03	PIN_C16	Seven Segment Digit 0[3]	3.3-V LVTTTL
HEX04	PIN_E16	Seven Segment Digit 0[4]	3.3-V LVTTTL
HEX05	PIN_D17	Seven Segment Digit 0[5]	3.3-V LVTTTL
HEX06	PIN_C17	Seven Segment Digit 0[6]	3.3-V LVTTTL
HEX07	PIN_D15	Seven Segment Digit 0[7], DP	3.3-V LVTTTL
HEX10	PIN_C18	Seven Segment Digit 1[0]	3.3-V LVTTTL
HEX11	PIN_D18	Seven Segment Digit 1[1]	3.3-V LVTTTL
HEX12	PIN_E18	Seven Segment Digit 1[2]	3.3-V LVTTTL

HEX13	PIN_B16	Seven Segment Digit 1[3]	3.3-V LVTTTL
HEX14	PIN_A17	Seven Segment Digit 1[4]	3.3-V LVTTTL
HEX15	PIN_A18	Seven Segment Digit 1[5]	3.3-V LVTTTL
HEX16	PIN_B17	Seven Segment Digit 1[6]	3.3-V LVTTTL
HEX17	PIN_A16	Seven Segment Digit 1[7], DP	3.3-V LVTTTL
HEX20	PIN_B20	Seven Segment Digit 2[0]	3.3-V LVTTTL
HEX21	PIN_A20	Seven Segment Digit 2[1]	3.3-V LVTTTL
HEX22	PIN_B19	Seven Segment Digit 2[2]	3.3-V LVTTTL
HEX23	PIN_A21	Seven Segment Digit 2[3]	3.3-V LVTTTL
HEX24	PIN_B21	Seven Segment Digit 2[4]	3.3-V LVTTTL
HEX25	PIN_C22	Seven Segment Digit 2[5]	3.3-V LVTTTL
HEX26	PIN_B22	Seven Segment Digit 2[6]	3.3-V LVTTTL
HEX27	PIN_A19	Seven Segment Digit 2[7], DP	3.3-V LVTTTL
HEX30	PIN_F21	Seven Segment Digit 3[0]	3.3-V LVTTTL
HEX31	PIN_E22	Seven Segment Digit 3[1]	3.3-V LVTTTL
HEX32	PIN_E21	Seven Segment Digit 3[2]	3.3-V LVTTTL
HEX33	PIN_C19	Seven Segment Digit 3[3]	3.3-V LVTTTL
HEX34	PIN_C20	Seven Segment Digit 3[4]	3.3-V LVTTTL
HEX35	PIN_D19	Seven Segment Digit 3[5]	3.3-V LVTTTL
HEX36	PIN_E17	Seven Segment Digit 3[6]	3.3-V LVTTTL
HEX37	PIN_D22	Seven Segment Digit 3[7], DP	3.3-V LVTTTL
HEX40	PIN_F18	Seven Segment Digit 4[0]	3.3-V LVTTTL
HEX41	PIN_E20	Seven Segment Digit 4[1]	3.3-V LVTTTL
HEX42	PIN_E19	Seven Segment Digit 4[2]	3.3-V LVTTTL
HEX43	PIN_J18	Seven Segment Digit 4[3]	3.3-V LVTTTL
HEX44	PIN_H19	Seven Segment Digit 4[4]	3.3-V LVTTTL
HEX45	PIN_F19	Seven Segment Digit 4[5]	3.3-V LVTTTL
HEX46	PIN_F20	Seven Segment Digit 4[6]	3.3-V LVTTTL
HEX47	PIN_F17	Seven Segment Digit 4[7], DP	3.3-V LVTTTL
HEX50	PIN_J20	Seven Segment Digit 5[0]	3.3-V LVTTTL
HEX51	PIN_K20	Seven Segment Digit 5[1]	3.3-V LVTTTL
HEX52	PIN_L18	Seven Segment Digit 5[2]	3.3-V LVTTTL
HEX53	PIN_N18	Seven Segment Digit 5[3]	3.3-V LVTTTL

HEX54	PIN_M20	Seven Segment Digit 5[4]	3.3-V LVTTTL
HEX55	PIN_N19	Seven Segment Digit 5[5]	3.3-V LVTTTL
HEX56	PIN_N20	Seven Segment Digit 5[6]	3.3-V LVTTTL
HEX57	PIN_L19	Seven Segment Digit 5[7], DP	3.3-V LVTTTL



Para distribución de pins listos para conectarse con otros dispositivos

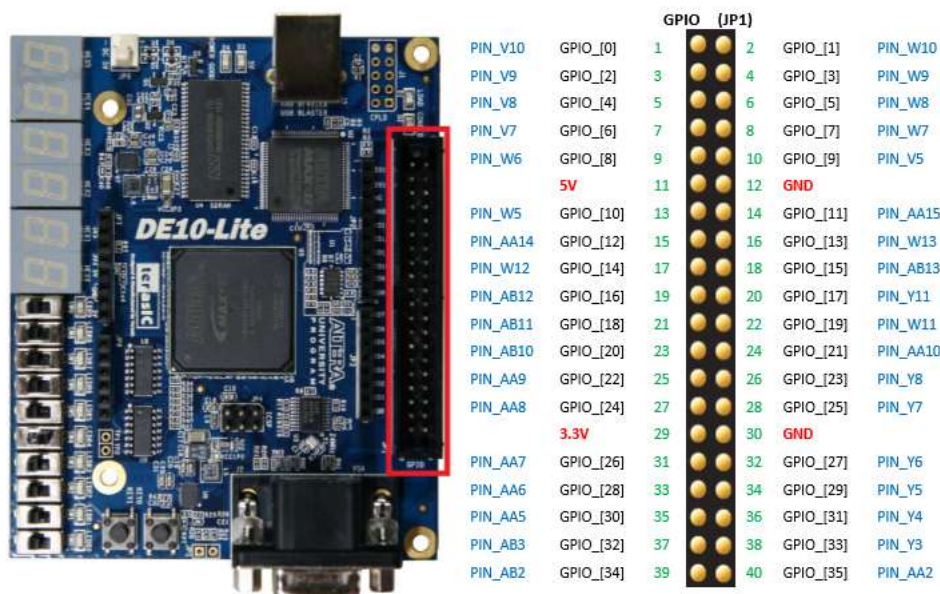


Figure 3-18 I/O distribution of the expansion headers

Y para la parte de SECUENCIALES, requerimos activar el reloj de 50MHZ, en el pin\_11

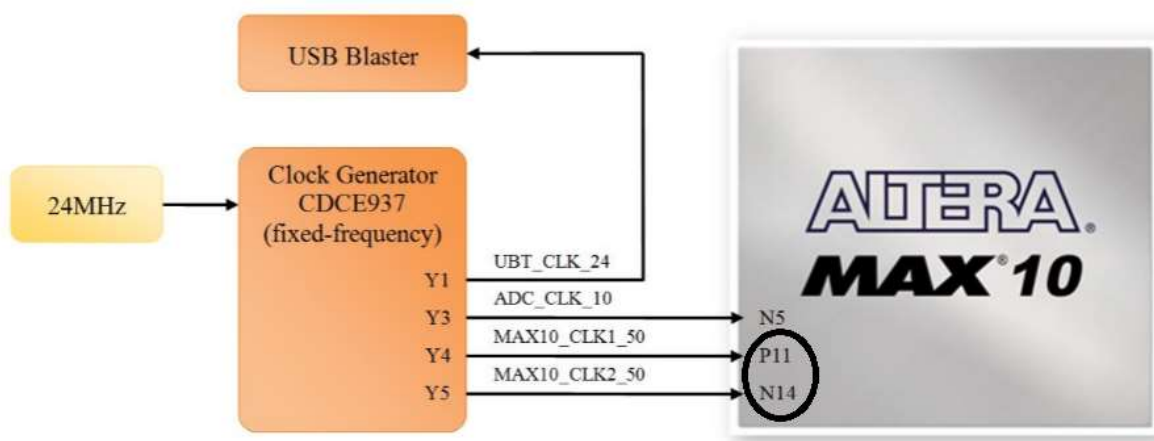


Figure 3-12 Clock circuit of the FPGA Board