

- **pclk**: segnale di clock della periferica.
- **preset**: segnale di reset della periferica.

- **paddr:** indirizzo.
- **psel:** segnale che indica se la periferica è stata selezionata.
- **penable:** segnale che indica se la periferica è stata abilitata.
- **pwrite:** segnale che indica operazioni di scrittura (1) o lettura (0) sulla periferica.
- **pdata:** dati sulla periferica da parte del Master.
- **pready:** segnale che indica che i dati per il Master sono pronti.
- **prdata:** dati sulla periferica per il Master.

III. METODOLOGIA APPLICATA

A. Struttura progetto

- **Virtual_Platform/**
 - **application/** cartella contenente il codice sorgente dell'applicazione.
 - **platform/** cartella contenente il codice sorgente di Splatters, del modulo `double_multiplier` e il `testbench`.
- **TLM/**
 - **UT/** progetto con modellazione TLM Untimed.
 - **LT/** progetto con modellazione TLM Loosely Timed.
 - **AT4/** progetto con modellazione Approximately Timed.
 - **RTL/** progetto con modellazione a livello RT. Questa versione è funzionalmente equivalente a quella dell'altro report, ma col `testbench` adattato per essere coerente con quello usato per le modellazioni TLM.
 - **script.sh** piccolo script per eseguire in automatico in tutte le cartelle i comandi `make`, `make clean` e l'esecuzione con `time`.
 - Ogni progetto presenta la seguente struttura:
 - * **Makefile:** tool per la compilazione automatica del progetto. Richiede che la variabile d'ambiente `SYSTEMC_HOME` contenga il path alla libreria di SystemC.
 - * **include:** contiene gli headers del progetto.
 - * **src:** contiene i file sorgenti del progetto.
 - * **bin:** contiene l'eseguibile generato dopo la compilazione.
 - * **obj:** contiene i file oggetto generati dopo la compilazione.

B. Virtual Platform

1) *Procedimento:* Per prendere dimestichezza con la piattaforma è stato prima integrato il modulo di moltiplicazione IEEE754 scritto in verilog sulla periferica 3. Per fare ciò è stato creato un wrapper in hardware con l'interfaccia APB slave per poterlo fare comunicare con il resto della piattaforma e un driver per poterlo utilizzare a livello software. Poi è stato integrato il modulo d'interesse cioè `double_multiplier` sulla periferica 4. Entrambi i codici sono stati testati eseguendo due semplici moltiplicazioni dove un operando è stato letto da input

2) *Wrapper double_multiplier:* I segnali del bus APB sono stati collegati nel seguente modo al `double_multiplier`:

- **pclk:** collegato a `clk`.
- **preset:** collegato a `reset`.
- **paddr:** non utilizzato.
- **psel:** non utilizzato.
- **penable:** utilizzato nella EFSM.
- **pwrite:** non utilizzato.
- **pdata:** utilizzato nella EFSM per prelevare gli operandi.
- **pready:** utilizzato nella EFSM per indicare che su **prdata** è presente un risultato.
- **prdata:** utilizzato nella EFSM per inviare il risultato al master.

Sono stati inoltre usati i seguenti segnali intermedi:

- **op1, op2:** collegati alle porte **op1** e **op2** del `double_multiplier` e utilizzati per inviare gli operandi.
- **res:** collegato alla porta **res** del `double_multiplier` e utilizzato per ricevere il risultato delle moltiplicazioni.
- **op1_tmp, op2_tmp, op3_tmp, op4_tmp:** utilizzati per memorizzare i valori degli operandi letti dal bus e poi inviarli a **op1** e **op2**.
- **res_tmp:** utilizzato per memorizzare il valore del secondo risultato da **res** e inviarlo al momento giusto sul bus.
- **ready, done:** utilizzati per il protocollo di handshake col `double_multiplier`
- **STATE, NEXT_STATE:** utilizzati per rappresentare lo stato presente e lo stato prossimo della FSM.

Avendo scelto di leggere gli operandi (e scrivere i risultati) su cicli di clock consecutivi si è stati costretti ad utilizzare molti registri per memorizzare i valori temporanei. Si può migliorare questo aspetto utilizzando *ready* e *done* diversi per le due moltiplicazioni all'interno di `double_multiplier`. Il wrapper è descritto grazie alla EFSM [Figura 2] la quale è formata da 14 stati:

- **ST_WAIT1:** stato di partenza. Qui vengono resettati i segnali interni e gli output a zero. In caso di segnale *preset* a 1 si torna in questo stato. In caso di segnale *penable* a 1, il master avrà pubblicato il valore del primo input in *pdata* e quindi si passa a **ST_READ1**.
- **ST_READ1:** qui si salva il valore di *pdata* in *op1_tmp*. In caso di segnale *penable* a 0 si passa a **ST_WAIT2**.
- **ST_WAIT2:** qui si attende che venga inviato l'operando successivo. In caso di segnale *penable* a 1, il master avrà pubblicato il valore del secondo input in *pdata* e quindi si passa a **ST_READ2**.
- **ST_READ2:** qui si salva il valore di *pdata* in *op2_tmp*. In caso di segnale *penable* a 0 si passa a **ST_WAIT3**.
- **ST_WAIT3:** qui si attende che venga inviato l'operando successivo. In caso di segnale *penable* a 1, il master avrà pubblicato il valore del terzo input in *pdata* e quindi si passa a **ST_READ3**.
- **ST_READ3:** qui si salva il valore di *pdata* in *op3_tmp*. In caso di segnale *penable* a 0 si passa a **ST_WAIT4**.
- **ST_WAIT4:** qui si attende che venga inviato l'operando successivo. In caso di segnale *penable* a 1, il master avrà pubblicato il valore del quarto input in *pdata* e quindi si passa a **ST_READ4**.

