

Modellazione e Sintesi di un Moltiplicatore Floating-point Single Precision

Enrico Sgarbanti - VR446095

Sommario—Il progetto ha 3 diversi obiettivi:

- Sviluppare in VHDL, Verilog e SystemC un componente che esegua due moltiplicazioni in virgola mobile a precisione singola
- Sintetizzare i componenti scritti in VHDL e Verilog
- Eseguire High-Level-Synthesis del moltiplicatore a precisione singola

I. INTRODUZIONE

Il sistema è composto da un modulo top-level chiamato “double_multiplier” il quale esegue la moltiplicazione di due operandi dati in input nello stesso ciclo di clock in cui ready viene posto a 1, e i due operandi passati al ciclo di clock successivo

Nell'introduzione viene descritto in maniera astratta quello che poi viene dettagliato nel seguito del report. Una buona scaletta per l'introduzione può essere la seguente:

- Descrizione ad alto livello delle principali caratteristiche del sistema che si vuole modellare.
- Descrizione delle motivazioni principali per l'utilizzo delle tecnologie descritte nel corso. Qual è il problema che si vuole risolvere?
- Descrizione dei passi utilizzati per arrivare all'implementazione finale. Descrivere la motivazione di ciascun passo. La descrizione dei passi dovrebbe formare la descrizione del flusso di lavoro svolto per completare l'assignment.
- Rapidissima descrizione dei risultati principali.

L'introduzione non dovrebbe andare oltre la metà della seconda colonna (nel caso a due colonne), o la prima pagina (nel caso a colonna singola): bisogna cercare di essere concisi (e chiari). Alla fine, l'introduzione è solo “chiacchiere”: deve semplicemente rendere chiari quali sono gli obiettivi del lavoro (e nel caso del corso, deve far capire a me che avete gli obiettivi chiari in testa). Consiglio: l'introduzione (e spesso l'abstract) è l'ultima parte che viene completata.

II. BACKGROUND

- descrivere cos'è un floating-point - descrivere la moltiplicazione - arrotondamento numero binario - handshake

Il background dovrebbe contenere una descrizione, abbastanza breve, dei concetti principali che vengono utilizzati nel lavoro. Ad esempio, può contenere una breve descrizione delle caratteristiche principali degli HDL, e delle sue estensioni. Una colonna dovrebbe bastare.

In questa sessione saranno citati anche lavori dello stato dell'arte. Ad esempio, si può usare [?] per citare SystemC. I

riferimenti bibliografici vanno inseriti ogni volta in cui si va a citare qualcosa contenuto in un documento.

Questa sessione non deve ripetere quanto detto a lezione, ma dare un overview dei concetti principali utilizzati durante lo svolgimento dell'elaborato.

III. METODOLOGIA APPLICATA

Attuando un approccio bottom-up, prima si definiscono i componenti principali cioè il *moltiplicatore* e il *doppio moltiplicatore*, descrivoli con EFSM. Dopodichè si passa all'implementazione a livello RTL in vhdL e verilog di queste e alla creazione di un piccolo testbench. A questo punto si traduce il tutto in systemC dove con la potenza del C++ si crea un testbench più complesso. Infine si procede alla sintesi e alla sintesi ad alto livello per poi confrontare i vari risultati.

I vincoli sono:

- Un moltiplicatore dovrà essere scritto in verilog e uno in VHDL.
- Gli operandi e il risultato devono essere a 32 bit.
- Deve poter essere sintetizzabile sulla FPGA xc7z020clg400-1. Essa ha disposizione solo 125 porte. Per rispettare il limite viene utilizzata la stessa porta per il risultato e due porte per gli operandi. Quindi al primo ciclo di clock con ready uguale 1, verranno trasmessi i primi due operandi e al ciclo successivo gli altri due. Dopodichè si aspetterà il complementamento delle moltiplicazioni e verrà trasmesso il primo risultato quando done varrà 1, e il ciclo di clock successivo l'altro.

A. Modellazione della EFSM del moltiplicatore Figure 1

I segnali utilizzati per la comunicazione sono:

- **rst:** (1 bit) per riportare il sistema allo stato iniziale.
- **ready:** (1 bit) per permettere al sistema di uscire dallo stato iniziale.
- **norm_again:** (1 bit) per indicare se fare un'altra normalizzazione del numero intermedio.
- **res_type:** (2 bit) per indicare se il risultato vale 0, NAN o ∞ e quindi andare direttamente allo stato finale oppure se è un numero (il caso denormalizzato viene gestito come se fosse normalizzato) e quindi proseguire nell'elaborazione.

Sono inoltre necessari 14 stati:

- **ST_START:** in cui si pone *done* e *norm_again* uguali a 0 e si ottengono le informazioni di segno, esponente e

mantissa dei due operandi. In esso si rimane finchè *ready* vale 0 altrimenti si passa a *ST_EVAL1*.

- **ST_EVAL1:** e *ST_EVAL2* in cui viene valutato il tipo dei due operandi fra *T_ZER*, *T_INF*, *T_NAN* e *T_NUM*
- **ST_EVAL3:** in cui si ricava il tipo del risultato in base al tipo degli operandi.
- **ST_CHECK1:** dove si passa a *ST_FINISH* se *res_type* è diverso da *T_NUM*.
- **ST_ELAB:** in cui si sommano i due esponenti e si sottrae 127 perchè entrambi, per lo standard, sono incrementati di 127 ($(esp + 127) = (esp1 + 127) + (esp2 - 127)$). Per compiere la somma è necessario usare una variabile “*esp_tmp*” 10 bit altrimenti si andrebbe in overflow per valori invece leciti che ritornerebbero validi dopo la sottrazione di 127. Inoltre viene eseguita anche la moltiplicazione delle due mantisse, che essendo a 23 bit più un bit che vale sempre 1, necessita di una variabile “*mant_tmp*” di 48 bit
- **ST_UNDERF:** in cui si verifica se l’esponente del risultato è in uno stato di underflow, ovvero guardando se il bit *esp_tmp[9]*, che nel complemento a 2 indica il segno, è 1. Infatti i valori disponibili per l’esponente vanno da 0 a 255.
- **ST_CHECK2** dove si passa a *ST_FINISH* se *res_type* è diverso da *T_NUM*, perchè diventato *T_ZER* per l’underflow.
- **ST_NORM1:** in cui si compie la normalizzazione della mantissa che deve sempre essere della forma *1.valori*. Essendo la virgola posta tra il 46esimo bit e il 45esimo, si verificano due casi: Se il 47esimo bit vale 1 bisogna incrementare l’esponente, altrimenti il valore è già corretto, ma viene effettuato uno shift a sinistra per trattare allo stesso modo i due casi durante l’arrotondamento.
- **ST_ROUND:** in cui si effettua l’eventuale arrotondamento dovuto al fatto che il valore della mantissa è attualmente a 48 bit, ma bisogna portarlo a 24 bit. L’arrotondamento è fatto per eccesso, quindi si incrementerà *mant_tmp[47:24]* solo se *mant_tmp[23:00]* sarà \geq a “01..1”. L’arrotondamento effettivo verrà fatto nello stato *ST_NORM2*, qui ci si limita a porre *norm_again* uguale a 1 per poterci andare.
- **ST_CHECK3:** dove si passa a *ST_NORM2* se *norm_again* è uguale a 1 altrimenti a *ST_OVERF* per il controllo di eventuali overflow
- **ST_NORM2:** in cui si effettua il vero arrotondamento della mantassina. Bisogna tenere conto del caso in cui sia della forma “1..1” e che quindi con l’incremento vada a “0..0” e venga incrementato l’esponente.
- **ST_OVERF:** in cui si verifica se l’esponente del risultato è in uno stato di overflow, ovvero guardando se il bit *esp_tmp[8]* vale 1 ovvero se corrisponde ad un valore maggiore di 255.
- **ST_FINISH:** in cui si pone *done* uguale 1, si ricava *res[31]*, ovvero il segno del risultato facendo lo XOR fra i segni degli operandi, e in base al valore di *res_type* si ottiene il resto. Dopodichè si torna allo stato iniziale

B. Modellazione della EFSM del doppio moltiplicatore (Figure 2)

I segnali utilizzati per la comunicazione sono:

- **rst:** (1 bit) per riportare il sistema allo stato iniziale .
- **ready:** (1 bit) per permettere al sistema di uscire dallo stato iniziale .
- **done1:** (1 bit) che indica quando il valore attuale di “*res1*” è il risultato della moltiplicazione.
- **done2:** (1 bit) che indica quando il valore attuale di “*res2*” è il risultato della moltiplicazione.

Sono inoltre necessari 8 stati:

- **ST_START:** in cui si pone *done*, *ready1* e *ready2* uguali a 0 e si inizializzano *op1_tmp1* e *op2_tmp1* rispettivamente con i valori di *op1* e *op2* i quali serviranno per il primo moltiplicatore. In esso si rimane finchè *ready* vale 0 altrimenti si passa a *ST_RUN1*.
- **ST_RUN1:** in cui si pone *ready1* uguale a 1, attivando quindi il primo moltiplicatore, e si inizializzano *op1_tmp2* e *op2_tmp2* rispettivamente con i valori di *op1* e *op2* i quali serviranno per il secondo moltiplicatore.
- **ST_RUN2:** in cui si pone *ready1* uguale a 0 e *ready2* uguale a 1, attivando quindi il secondo moltiplicatore
- **ST_WAIT:** in cui si pone *ready2* uguale a 0 e si aspetta che *done1* o *done2* diventino 1.
- **ST_WAIT1:** si arriva in questo stato se *done2* vale 1, cioè se il secondo moltiplicatore ha finito e si resta qui finchè non finisce anche il primo.
- **ST_WAIT2:** si arriva in questo stato se *done1* vale 1, cioè se il primo moltiplicatore ha finito e si resta qui finchè non finisce anche il secondo.
- **ST_RET1:** si arriva in questo stato quando entrambi i moltiplicatore hanno finito. Qui si pone *done* uguale a 1 e *res* uguale al risultato del primo moltiplicatore cioè *res1*.
- **ST_RET2:** ora si pone *res* uguale al risultato del secondo moltiplicatore cioè *res2* e si ritorna allo stato iniziale.

C. Implementazione RTL

L’interfaccia del *double_multiplier* è formata dai segnali di input: *clk*, *rst*, *ready*, *op1*, *op2*; E i segnali di output *res*, *done*. L’interfaccia del *multiplier* è formata anch’essa dai segnali di input: *clk*, *rst*, *ready*, *op1*, *op2*; E i segnali di output *res*, *done*, dove:

- *clk*, *rst* sono collegati ai segnali analoghi del *double_multiplier*.
- *ready* è collegato al segnale interno del *double_multiplier* *ready1*, per multiplier1 e *ready2* per multiplier2.
- *op1* e *op2* sono collegati ai segnali interni del *double_multiplier* *op1_tmp1*, *op2_tmp1*, per multiplier1 e *op1_tmp1*, *op2_tmp2* per multiplier2.
- *res* è collegato al segnale interno del *double_multiplier* *res1*, per multiplier1 e *res2* per multiplier2.
- *done* è collegato al segnale interno del *double_multiplier* *done1*, per multiplier1 e *done2* per multiplier2.

op1_tmp1, *op2_tmp1*, *op1_tmp2*, *op2_tmp2* sono necessari al fine di conservare i valori della prima coppia di operandi e

della seconda, che verranno passati ai moltiplicatori dei cicli di clock dopo.

La FSM D è realizzata con due processi:

- **fsm:** processo asincrono attivato con la variazione di qualche segnale interno. Esso ha il compito di calcolare e aggiornare lo stato prossimo "NEXT_STATE".
- **datapath:** processo sincrono che ha il compito di aggiornare lo stato attuale, elaborare gli output. Esso viene anche attivato dal fronte di salita del reset al fine di riportare lo stato a quello iniziale.

D. Implementazione RTL con Verilog e VHDL

Si creano i seguenti files:

- **verilog_multiplier:** implementazione verilog del moltiplicatore (sintetizzabile)
- **vhdl_multiplier:** implementazione vhdl del moltiplicatore (sintetizzabile)
- **double_multiplier:** implementazione verilog del doppio moltiplicatore (sintetizzabile)
- **testbench:** implementazione verilog di un testbench da usare solo in simulazione

In *verilog_multiplier* e *double_multiplier*

- Sono definiti come "wire" tutti i segnali collegati alle porte di input mentre come "reg" tutti quelli collegati alle porte di output.
- Sono definiti come "reg" tutti i segnali interni di comunicazione.
- Gli stati e *op1_type*, *op2_type*, *res_type* sono stati definiti come "parameter".

In *vhdl_multiplier*:

- Sono usate le librerie "IEEE.STD_LOGIC_1164.ALL" per abilitare i tipi *std_logic* e "use IEEE.NUMERIC_STD.ALL" per usare funzioni aritmetiche con valori signed e unsigned
- Sono definiti come "signal" tutti i segnali collegati alle porte di input e output.
- Sono definiti come "signal" tutti i segnali interni di comunicazione.
- Sono definite come "variable" *sign1*, *sign2*, *esp1*, *esp2*, *esp_tmp*, *mant1*, *mant2*, *mant_tmp*, *op1_type*, *op2_type* perchè utilizzati solo all'interno del processo "datapath".
- Gli stati e *op1_type*, *op2_type*, *res_type* sono stati definiti all'interno del *package* rispettivamente come "MULT_STATE" e "MULT_TYPE".
- L'architettura utilizzata segue lo stile "behavioral", cioè quello più "program-like" in quanto più semplice e chiaro per descrivere una FSM D con due processi.

E. Implementazione RTL con SystemC

Si creano i seguenti files e directory:

- **Makefile:** tool per la compilazione automatica del progetto. Richiede che la variabile d'ambiente SYSTEMC_HOME contenga il path alla libreria di SystemC.

- **bin:** directory che contiene l'eseguibile *double_multiplier_RLT.x* (generato dopo la compilazione) e *wave.vcd* (generato dopo l'esecuzione dell'eseguibile).
- **obj:** directory che contiene i files oggetto (generati dopo la compilazione)
- **include:** directory che contiene gli headers *double_multiplier_RTL.hh*, *multiplier_RTL.hh*, *testbench_RTL.hh*. Qui sono definite tutte le porte, segnali, variabili ed enumerazioni dei vari componenti
- **testbench:** directory che contiene i files sorgenti *double_multiplier_RTL.cc*, *multiplier_RTL.cc*, *testbench_RTL.cc* e *main_RTL.cc*.

In *double_multiplier_RTL.hh*

- Sono definiti come "sc_signal" tutti i segnali collegati alle porte di input e output.
- Sono definiti come "sc_signal" tutti i segnali interni di comunicazione.
- Gli stati sono stati definiti come "enumerazioni".

In *multiplier_RTL.hh*

- Sono definiti come "sc_signal" tutti i segnali collegati alle porte di input e output.
- Sono definiti come "sc_signal" tutti i segnali interni di comunicazione.
- Sono definite come variabili di SystemC *sign1*, *sign2*, *esp1*, *esp2*, *esp_tmp*, *mant1*, *mant2*, *mant_tmp*, *op1_type*, *op2_type* perchè utilizzati solo all'interno del processo "datapath".
- Gli stati e *op1_type*, *op2_type*, *res_type* sono stati definiti come "enumerazioni".

A differenza di verilog e VHDL, in SystemC è necessario un file "main" che contenga il metodo *sc_main* e che permetta di collegare il componente da testare con il testbench. In esso si utilizza *sc_create_vcd_trace_file* per salvare le tracce necessarie a lanciare una simulazione con tools come gtkwave.

IV. RISULTATI

Il testbench verilog, *Figure 3*, aspetta un po di tempo, perchè altrimenti si verificherebbero problemi dovuti allo startup della FPGA nella simulazione post-sintesi, e poi esegue due volte il *double_multiplier*, prima con due coppie di operandi che danno come risultato dei numeri normali, e poi con due coppie di operandi che danno come risultati dei casi speciali.

Il testbench in SystemC mette a disposizione tre thread da attivare togliendo i commenti nel costruttore del "TestbenchModule":

- **targeted_test:** che analogamente a quello in Verilog, testa due volte il *double_multiplier*. *Figure 4*.
- **rnd_test:** che prova *TESTS_NUM* moltiplicazioni generate casualmente tra un intervallo modificabile. *Figure 5*.
- **run_all:** che prova tutte le possibili combinazioni cioè $2^{32} * 2^{32}$. Si può limitare il numero di combinazioni evitando di contare il bit del segno, in quanto il calcolo è un semplice xor. Poi si possono escludere tutti i numeri

denormalizzati. Ma anche così il tempo necessario a completarlo è troppo elevato per la mia macchina.

Questa sezione può contenere anche riflessioni personali sui risultati ottenuti. Importante: tutte le affermazioni devono essere supportate da numeri¹.

V. CONCLUSIONI

Le conclusioni dovrebbero riassumere in poche righe tutto ciò che è stato fatto. Un paio di righe descrivono i risultati osservati, in modo da introdurre poi la conclusione “vera e propria”. Nel caso del corso, la “lezione da portare a casa” sarà quello che si è imparato svolgendo l’elaborato.

APPENDICE

¹Richard Feynman on Scientific Method (1964) - <https://www.youtube.com/watch?v=OL6-x0modwY>

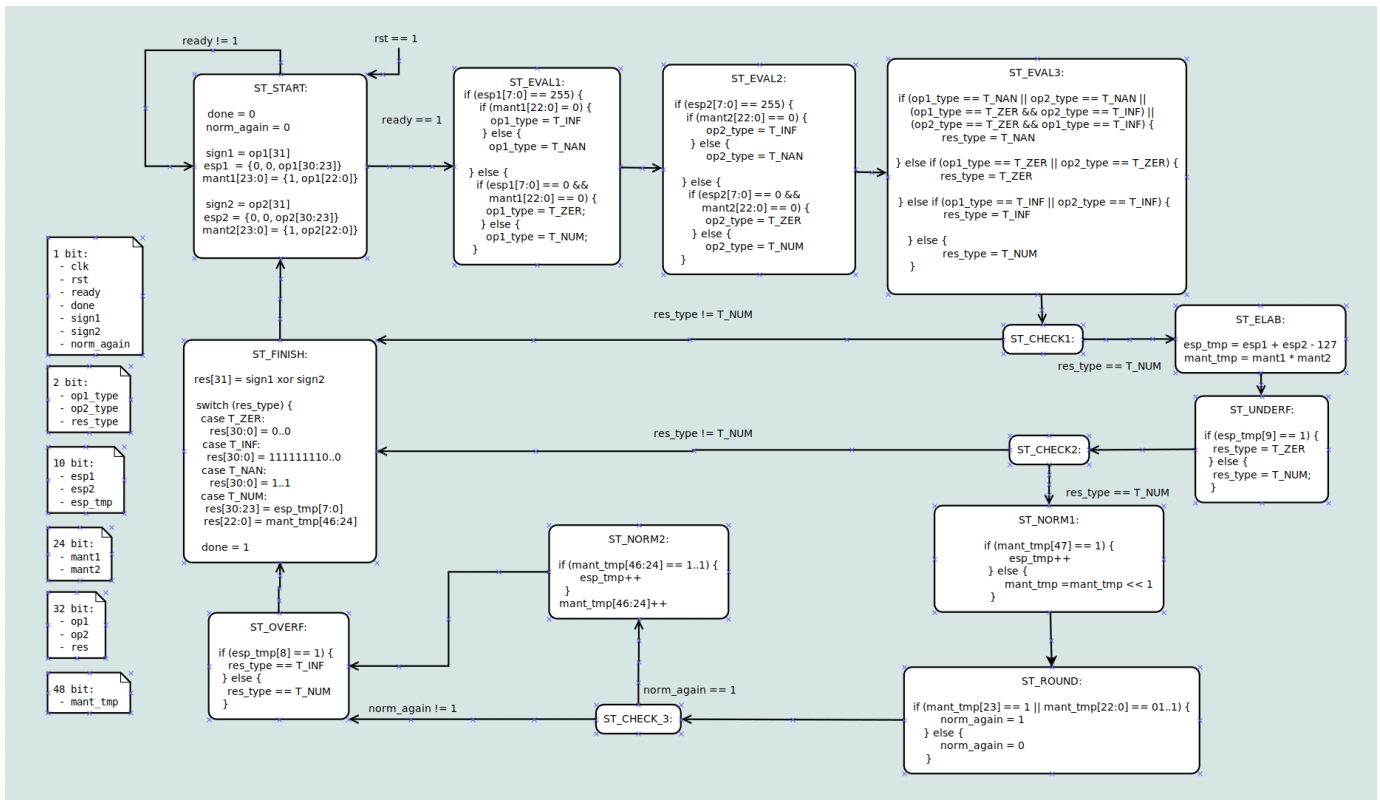


Figura 1. EFSM del multiplier

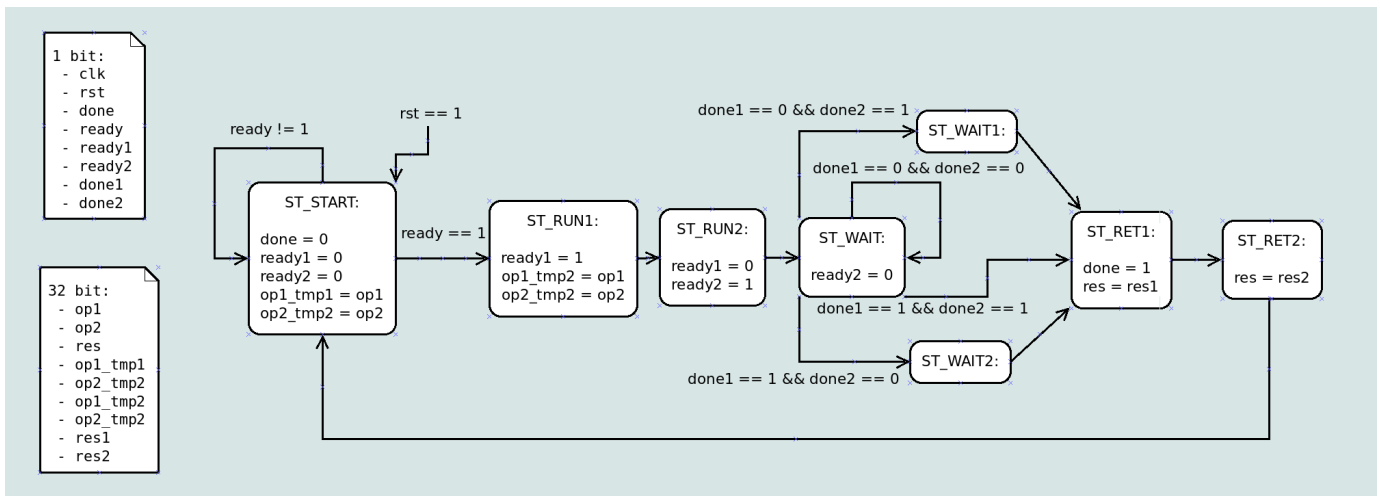


Figura 2. EFSM del double_multiplier

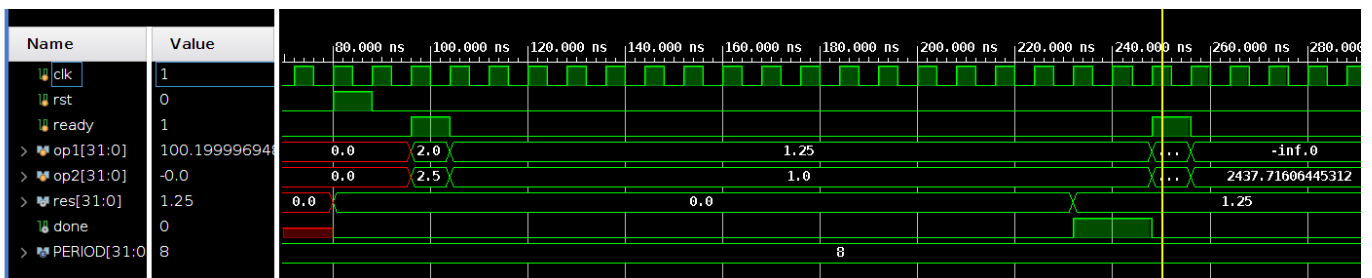


Figura 3. Simulazione in Verilog

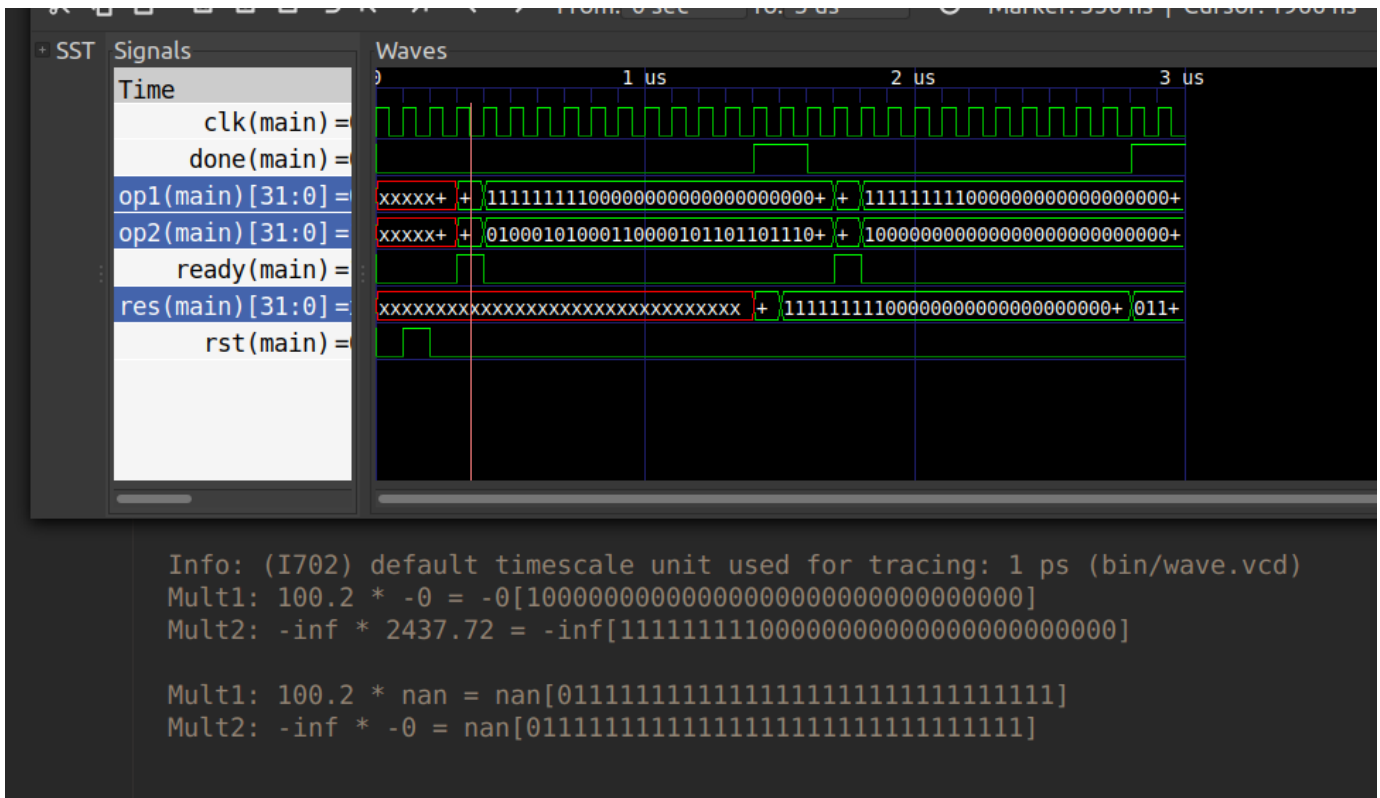


Figura 4. Simulazione in SystemC con targeted_test

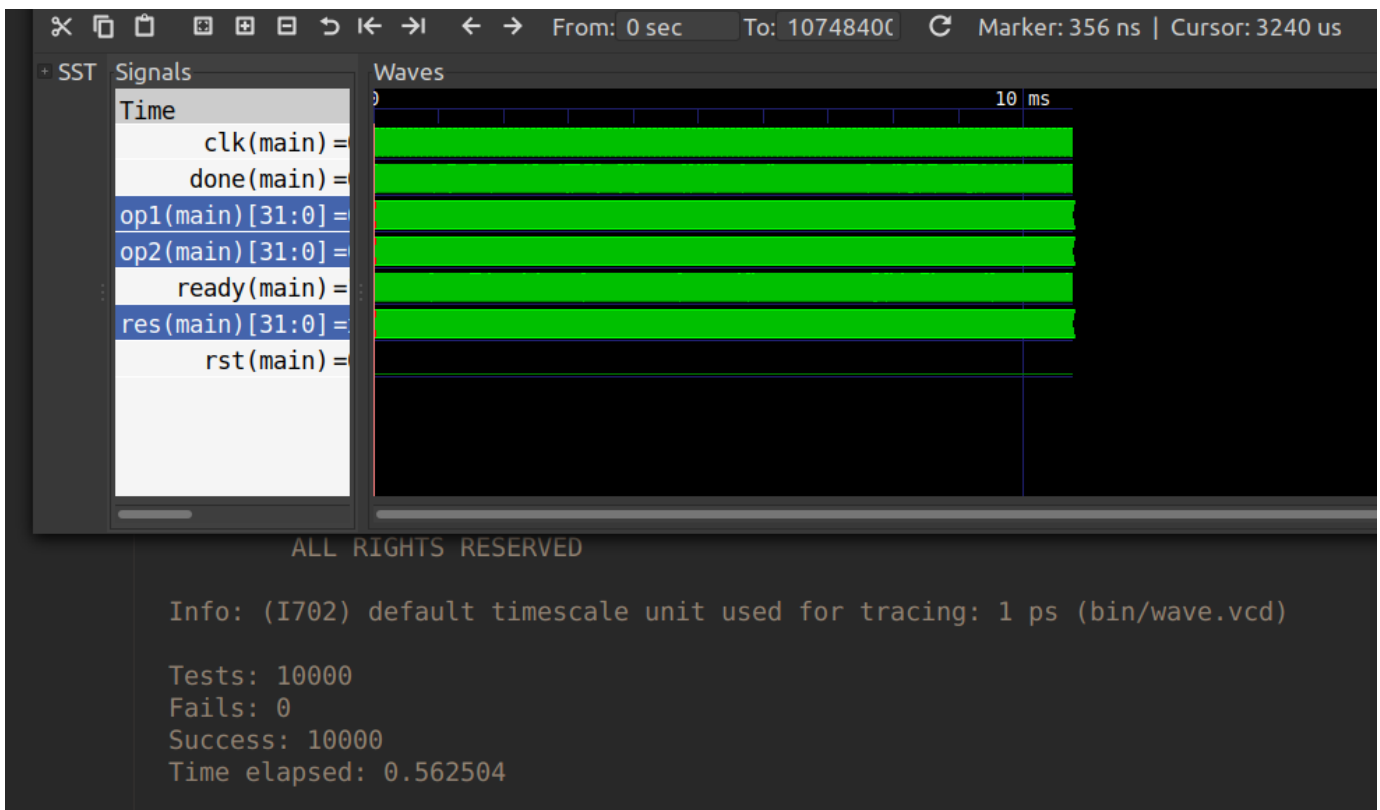


Figura 5. Simulazione in SystemC con rnd_test