

Disciplina: PCS 3335 – Laboratório Digital A	
Prof.: Glauber De Bona	Data: 22/03
Turma: Glauber - T04	Bancada: 08
Membros:	
11261531 - Enzo Bustos Da Silva	
10379694 - Davi Augusto Bandeira	



Experiência P1

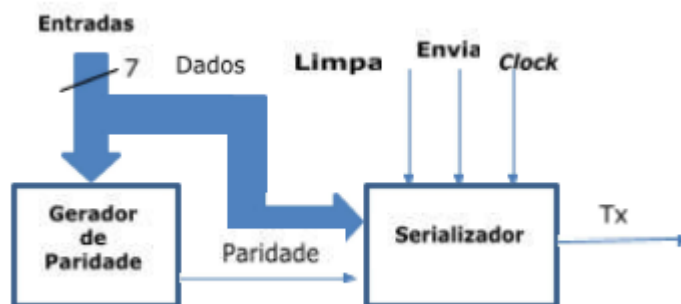
Introdução ao LabDig A

1. Introdução

Esta experiência visa projetar um transmissor de dados assíncrono com a utilização de circuitos sequenciais, os registradores de deslocamento. Esta transmissão é serial, pois o envio dos bits é feito um por vez de acordo com uma fila, e assíncrona, já que não exige o sincronismo dos clocks do receptor e transmissor.

O transmissor da experiência será composto por 11 bits, com 7 bits de dados, 1 bit de paridade, 1 start bit e 2 stop bits. Na saída Tx, conforme o diagrama de blocos abaixo, será enviado 1 bit a cada pulso do clock.

O comando “Envia” permite a inicialização da transmissão de dados, enquanto o comando “Limpa” deve zerar o circuito, o deixando pronto para ser reinicializado.



2. Objetivo

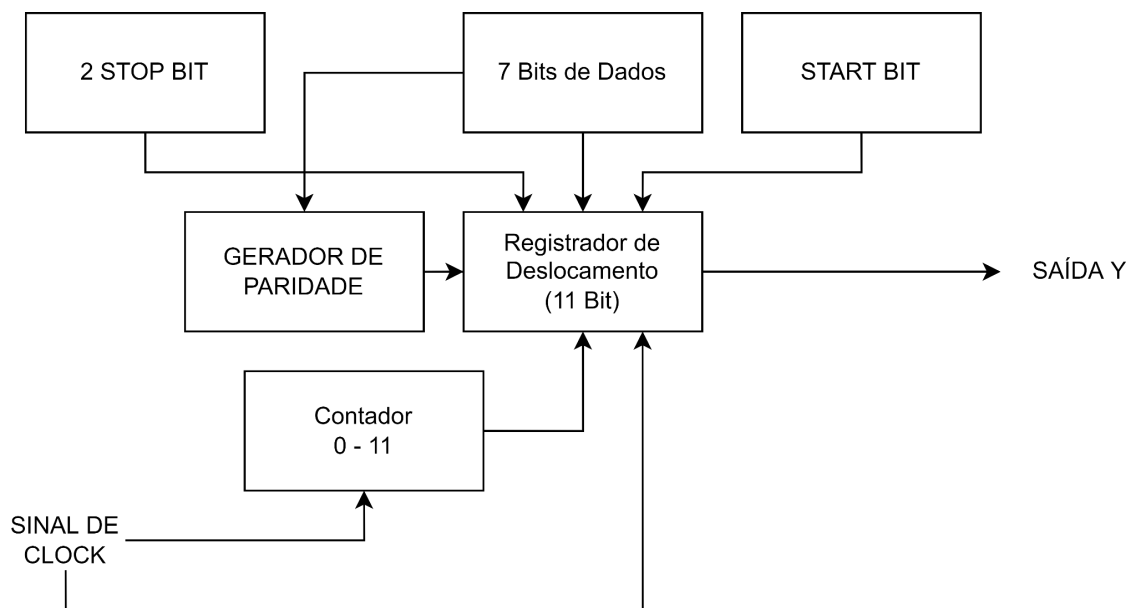
O objetivo dessa experiência é projetar e implementar um circuito de transmissão de dados assíncrono que utiliza registradores de deslocamento. Esse tipo de circuito contém Flip-Flops capazes de armazenar dados, bem como contadores. Neste experimento teremos que desenvolver a parte transmissora da UART em que será necessário:

- Registadores de Deslocamento: TTL 74165
- Contador: TTL 74163
- Portas NOT: TTL 7404
- Portas AND: TTL 7408
- Portas XOR: TTL 7486 (ou CI para Paridade: TTL 74280)

3. Planejamento

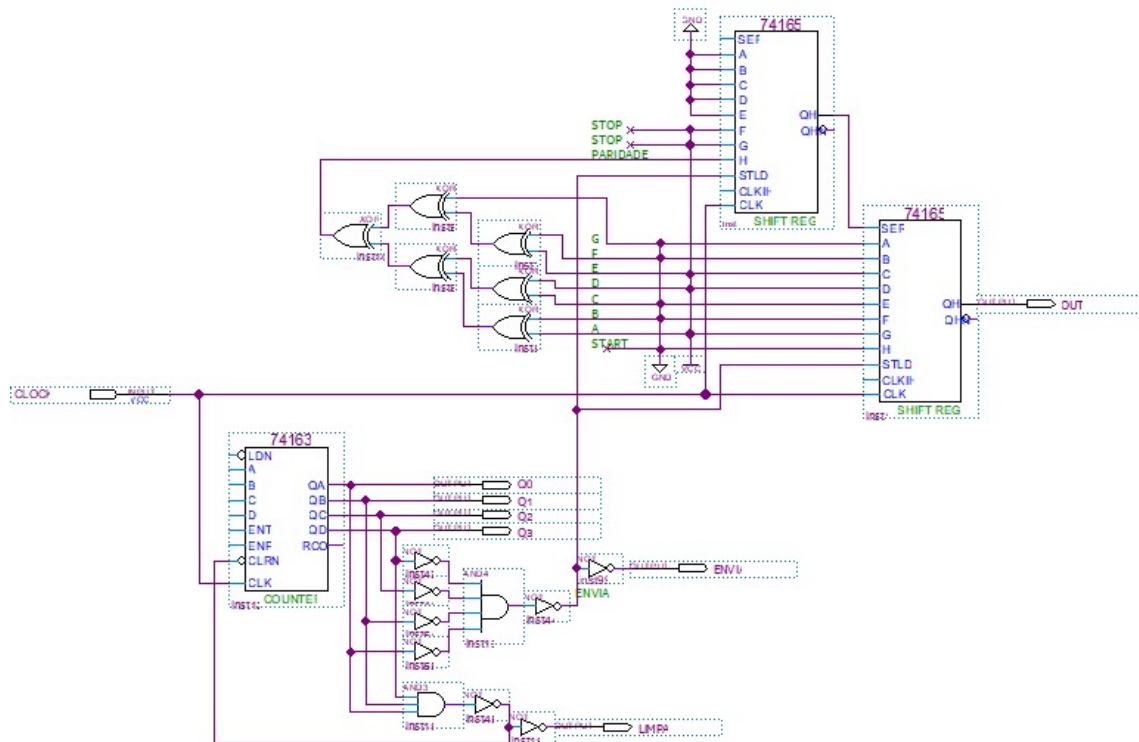
a) Diagrama de Blocos do transmissor:

- i) Gerador de Paridade: Implementado com portas XOR.
- ii) Registrador de Deslocamento: Implementado com 2 CI's Registradores de Deslocamento de 8 bits 74165 (as outras portas são ignoradas).
- iii) Contador: Implementado com Contador de 16 Bits + Lógica combinatória para reset.
- iv) DADOS, STOP BIT e START BIT: Como são "fixos" são colocados no circuito através de conexões com GND e VCC para Zeros e Uns, respectivamente.



b) Diagrama Lógico do transmissor:

Vale notar que o pulso de ENVIA foi implementado usando o contador em 0, ou seja, no instante de CLOCK 0 o circuito cria um sinal ENVIA correspondente a um pulso, dessa forma foi possível simular o que aconteceria no laboratório, já que não sabemos como implementar um pulso propriamente dito. Durante a montagem do circuito em laboratório esse sinal será trocado por um botão, bem como será adicionada uma chave LIMPA conectada ao MASTER RESET de todos os componentes do circuito, a chave limpa também foi implementada utilizando o contador.

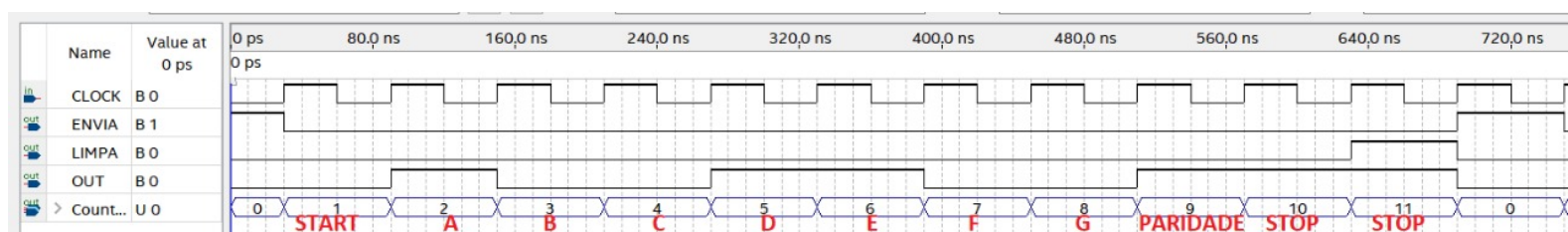


c) Simulação no Quartus:

Vale ressaltar que a simulação foi um sucesso, pois em Y recebemos na ordem do CLOCK:

- a) START BIT
- b) DADOS de A até G
- c) BIT DE PARIDADE
- d) 2 STOP BITS

Observe que devido a forma que implementamos o circuito no instante de CLOCK 0, também temos um valor de Y, mas esse valor deve ser desconsiderado, pois é o mesmo momento em que o circuito recebe o sinal de ENVIA, ou seja, o que está no Y no instante do sinal de ENVIA deve ser considerado como um DON'T CARE



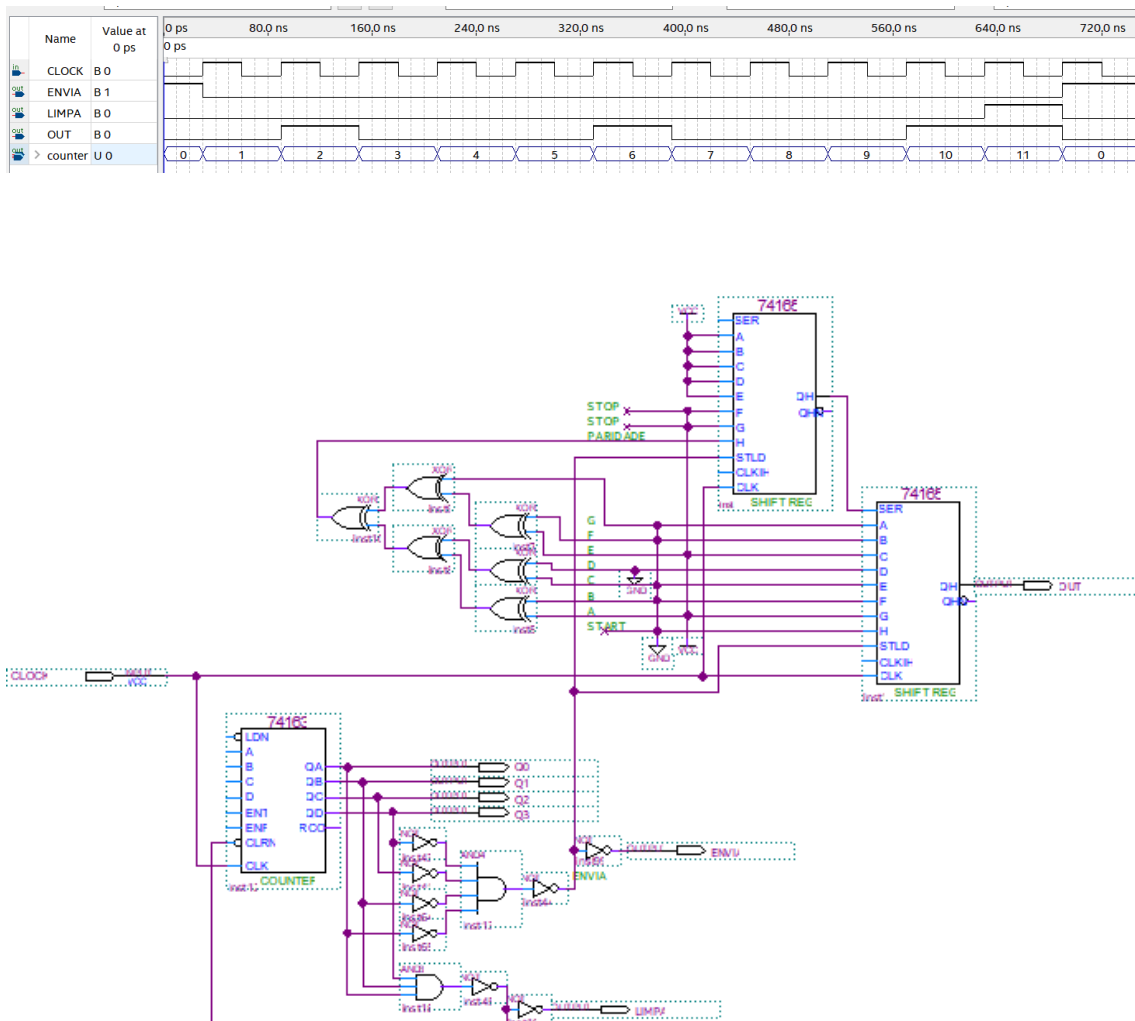
d) Tabela de Testes

CLOCK	ENVIA	LIMPA	Y ESPERAD O	Y OBTIDO	Y OBTIDO 2
0	1	0	X	X	X
1	0	0	START BIT	START BIT	START BIT
2	0	0	A	A	A
3	0	0	B	B	B
4	0	0	C	C	C
5	0	0	D	D	D
6	0	0	E	E	E
7	0	0	F	F	F
8	0	0	G	G	G
9	0	0	BIT PARIDADE	1	0
10	0	0	STOP BIT	CERTO	ERRO
11	0	1	STOP BIT	CERTO	ERRO

4. Relatório

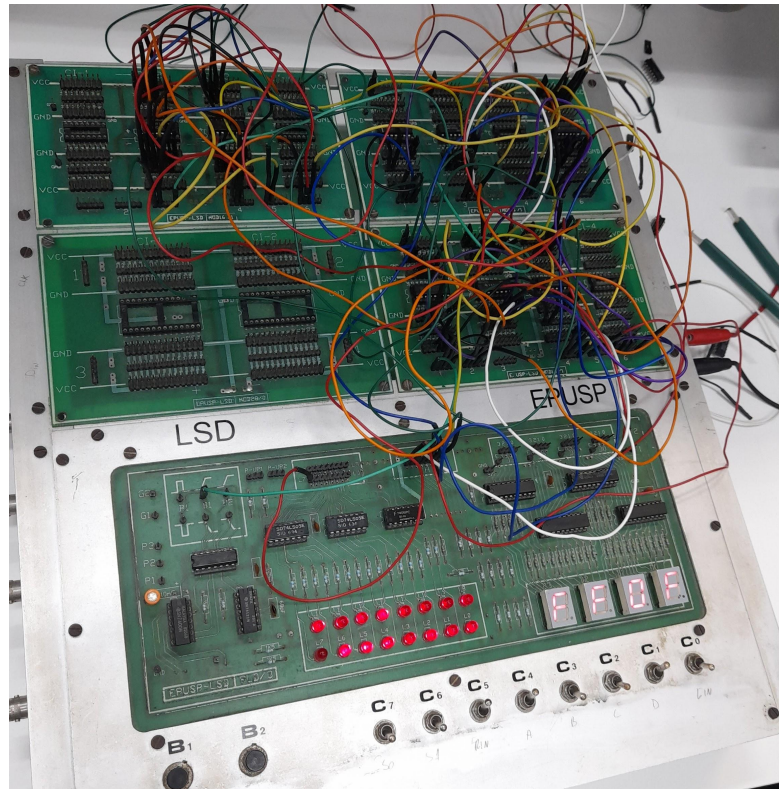
A montagem foi parcialmente correta, pois ao conferir a montagem percebemos que quando nosso bit de paridade estava em 1, os STOP BIT também ficavam em 1 que é o caso correto, porém quando nosso bit de paridade ficava em 0, os STOP BIT também ficavam em 0 acarretando um erro.

Isso foi um erro puramente de montagem, pois também testamos com o bit de paridade em 0 no QUARTUS e o resultado foi o esperado (a única diferença da simulação anterior é o bit D em 0 dessa vez):



Ademais, outro elemento, que foi comentado com o professor Glauber durante a prova, foi que o estado de repouso do circuito no momento CLOCK = 0 fica em 0 ao invés de ficar em 1.

Uma ocorrência que vale a pena mencionar foi que gastamos muito tempo no laboratório devido a um pino que estava com contato inapropriado e tivemos que testar os componentes várias vezes até achar um problema estrutural da nossa placa de montagens, que também foi comentado com o professor Glauber.



Apêndices

https://edisciplinas.usp.br/pluginfile.php/7031980/mod_resource/content/1/P1_v5.pdf

https://edisciplinas.usp.br/pluginfile.php/7032292/mod_resource/content/1/Conceitos%20Comunicacao%20Serial%20Ass%C3%ADncrona.pdf

Datasheets dos TTL 74163, 74165, 74280, 7404 e 7408