

<b>Disciplina:</b> PCS 3335 – Laboratório Digital A	
<b>Prof.:</b> <i>Glauber De Bona</i>	<b>Data:</b> 22/03
<b>Turma:</b> <i>Glauber - T04</i>	<b>Bancada:</b> 08
<b>Membros:</b>	
<i>11261531 - Enzo Bustos Da Silva</i>	
<i>10379694 - Davi Augusto Bandeira</i>	



## ***Experiência 04***

### ***Flip-Flops e Contadores***

## 1. Introdução

Este experimento visa introduzir o aluno ao uso e familiarização de circuitos sequenciais, ou seja, circuitos que apresentam um estágio de memória e retém informação sobre o estado atual. Este tipo de circuito será implementado neste experimento com o uso de Flip-Flops para a confecção de um contador de módulo 11.

## 2. Objetivo

O objetivo deste experimento é o de implementar um circuito sequencial que resulta em um contador de módulo 11, este circuito utiliza não só flip-flops, mas também um módulo combinatório que servirá como controle entre os estados.

## 3. Planejamento

### PARTE A)

- 1) Para a implementação do circuito contador de módulo 11, primeiramente é necessário entender que será utilizado 4 Flip-Flops, uma vez que:

$$M \leq 2^n \Rightarrow 11 \leq 2^n \Rightarrow n = 4$$

Dessa forma, criamos a tabela abaixo que mostra a relação entre cada um dos estados Q, com as entradas D de cada um destes Flip-Flops.

Observe: Como temos um MOD(11), as saídas válidas são as das linhas 0 até 10, enquanto as saídas das linhas 11 até 15 seriam “não definidas”, dessa forma foi escolhido que caso o usuário insira uma entrada que não é válida, nosso contador irá para 0, por exemplo, se em algum momento nossos flip-flops tiverem entrada 13 o próximo estado será 0, “reiniciando” o sistema.

#	Q3	Q2	Q1	Q0	D3	D2	D1	D0
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0

8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	0	0	0	0
11	1	0	1	1	0	0	0	0
12	1	1	0	0	0	0	0	0
13	1	1	0	1	0	0	0	0
14	1	1	1	0	0	0	0	0
15	1	1	1	1	0	0	0	0

Agora para a confecção do nosso circuito controlador, precisamos fazer os mapas de Karnaugh que relacionam cada uma das saídas dos nossos Flip-Flops (colunas Q) com as saídas do nosso bloco controlador (colunas D), que são alimentadas na entrada dos Flip-Flops.

Para otimização do tempo foi utilizado o site [32x8.com](http://32x8.com), que resolve rapidamente esses problemas e dá o circuito equivalente, vale notar que existe uma diferença da notação então o que seria Q3, Q2, Q1 e Q0 no site é A, B, C e D. Sendo assim:

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A}.\overline{B}$	0	0	0	0
$\overline{A}.B$	0	0	1	0
$A.B$	0	0	0	0
$A.\overline{B}$	1	1	0	0

Mapa de Karnaugh das entradas em relação a D3

$$D_3 = Q_3 Q_2' Q_1' + Q_3' Q_2 Q_1 Q_0$$

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A}.\overline{B}$	0	0	1	0
$\overline{A}.B$	1	1	0	1
$A.B$	0	0	0	0
$A.\overline{B}$	0	0	0	0

Mapa de Karnaugh das entradas em relação a D2

$$D_2 = Q_3' Q_2 Q_1' + Q_3' Q_2 Q_0' + Q_3' Q_2' Q_1 Q_0$$

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A}.\overline{B}$	0	1	0	1
$\overline{A}.B$	0	1	0	1
$A.B$	0	0	0	0
$A.\overline{B}$	0	1	0	0

Mapa de Karnaugh das entradas em relação a D1

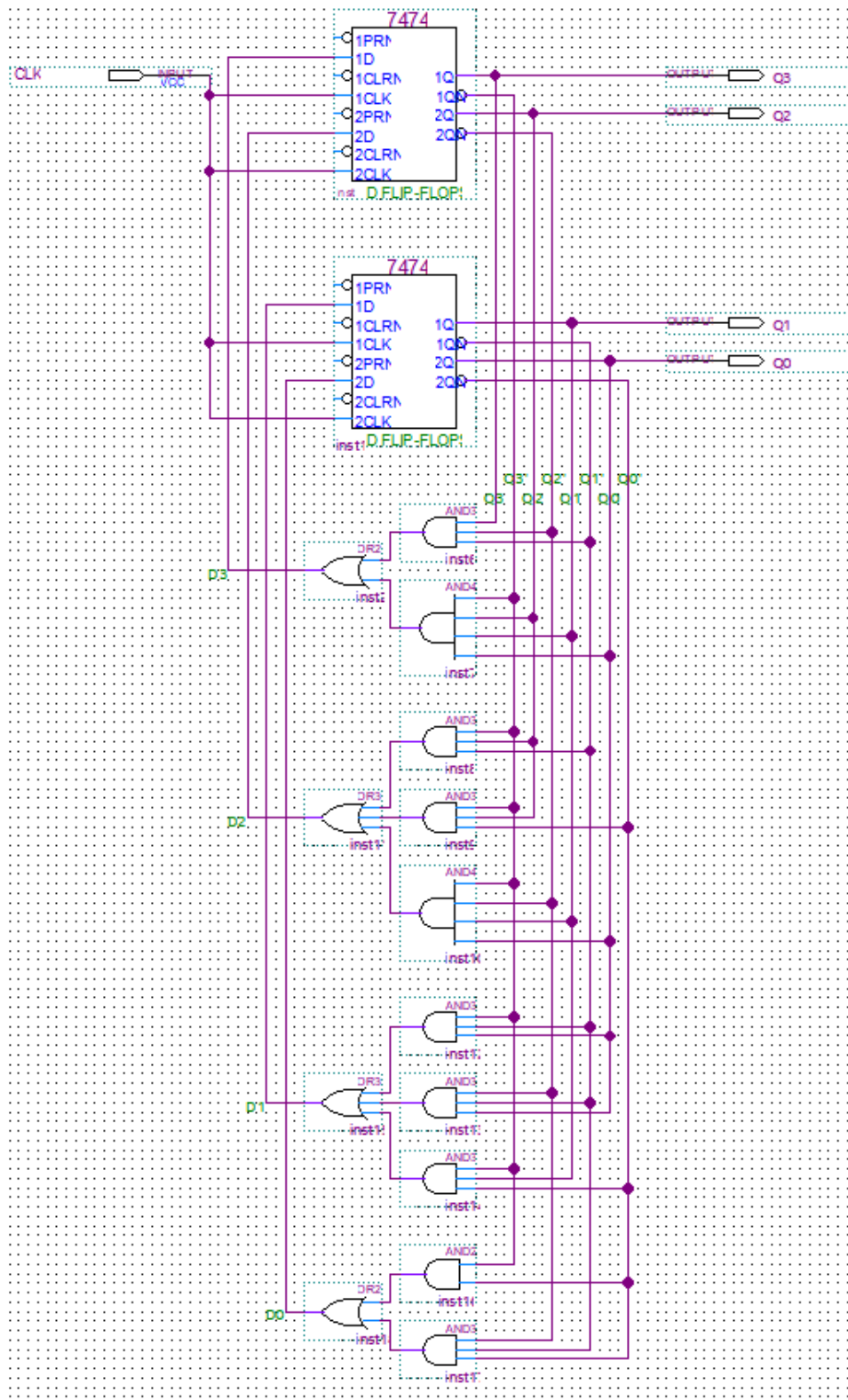
$$D_1 = Q_3'Q_1'Q_0 + Q_2'Q_1'Q_0 + Q_3'Q_1Q_0'$$

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A}.\overline{B}$	1	0	0	1
$\overline{A}.B$	1	0	0	1
$A.B$	0	0	0	0
$A.\overline{B}$	1	0	0	0

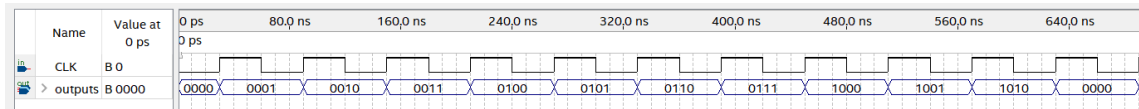
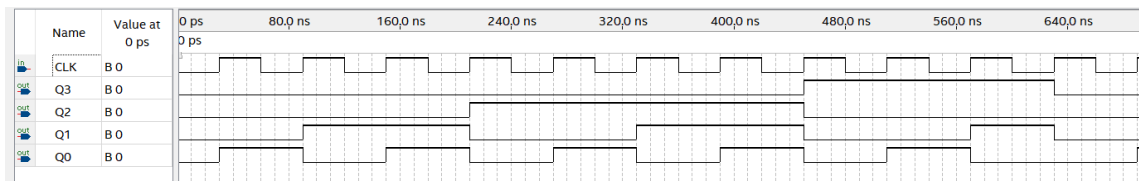
Mapa de Karnaugh das entradas em relação a D0

$$D_0 = Q_3'Q_0' + Q_2'Q_1'Q_0'$$

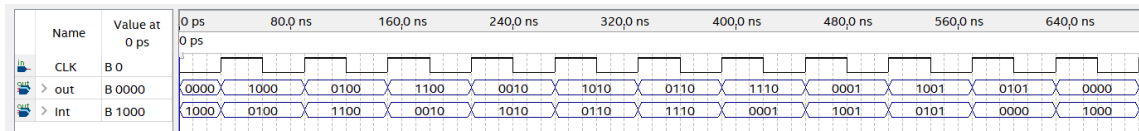
- 2) O Diagrama de Blocos do Circuito resultante pode ser analisado na figura abaixo, vale ressaltar que a parte superior corresponde ao bloco “de memória”, ou seja, que contém os Flip-Flops e a parte inferior ao circuito de controle.



- 3) O resultado da simulação deste circuito, através do Quartus, pode ser visto nas duas cartas de tempo a seguir, note que na segunda carta de tempos apenas foram agrupados os sinais para facilitar a visualização.



- 4) Para a criação da tabela com os sinais intermediários para testes foi realizada uma nova simulação, com os sinais D3, D2, D1 e D0 como sinais intermediários.

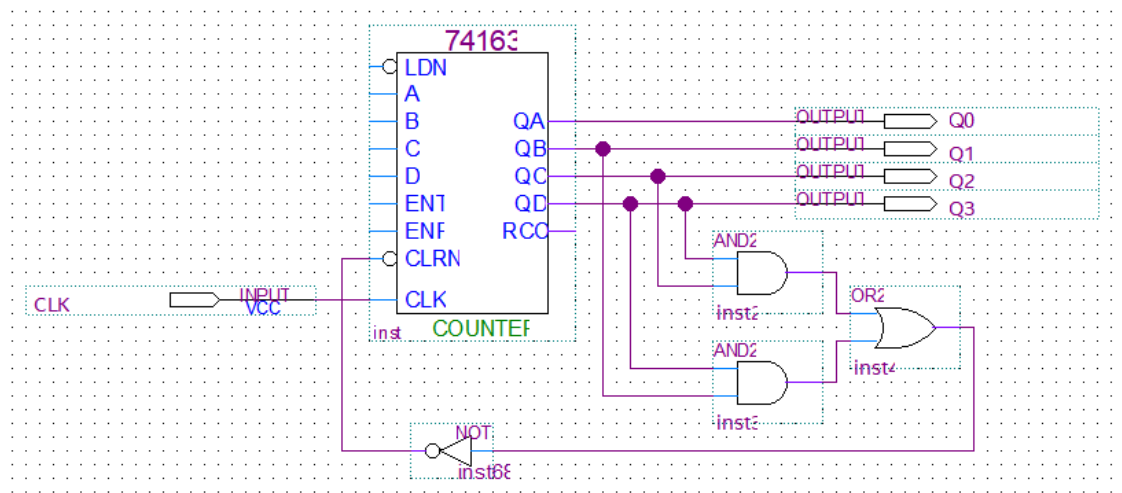


A tabela para preenchimento com estes sinais fica então da seguinte forma:

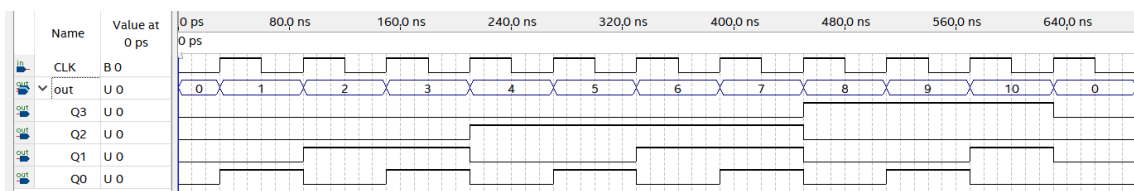
#	Q3 Q2 Q1 Q0 ESPERADO	Q3 Q2 Q1 Q0 OBTIDO	D3 D2 D1 D0 ESPERADO	D3 D2 D1 D0 OBTIDO
0	0000	0000	0001	0001
1	0001	0001	0010	0010
2	0010	0010	0011	0011
3	0011	0011	0100	0100
4	0100	0100	0101	0101
5	0101	0101	0110	0110
6	0110	0110	0111	0111
7	0111	0111	1000	1000
8	1000	1000	1001	1001
9	1001	1001	1010	1010
10	1010	1010	0000	0000
11	1011	1011	0000	0000
12	1100	1100	0000	0000
13	1101	1101	0000	0000
14	1110	1110	0000	0000
15	1111	1111	0000	0000

## PARTE B)

- 1) Nesta segunda parte o objetivo era o mesmo, criar um contador MOD(11), porém desta vez utilizando um CI de contador binário síncrono, ou seja, basicamente um contador de 4 bits já implementado que devemos alterar para criar o circuito desejado.
- 2) O Circuito final criado está apresentado na figura abaixo, observe que basicamente utilizamos um circuito combinatório de controle para determinar quando as saídas são iguais ou superiores a 10 e, caso sim, é ativado o MASTER RESET do CI.



- 3) A carta de tempos do circuito pode ser vista abaixo, observe que além dos sinais existe um grupo em decimal para facilitar a visualização.





- 4) A tabela para o preenchimento dos testes fica da seguinte forma, observe que Y é o sinal de saída da porta OR do bloco combinatório de controle.

#	Q3 Q2 Q1 Q0 ESPERADO	Q3 Q2 Q1 Q0 OBTIDO	Y ESPERADO	Y OBTIDO
0	0000	0000	0	0
1	0001	0001	0	0
2	0010	0010	0	0
3	0011	0011	0	0
4	0100	0100	0	0
5	0101	0101	0	0
6	0110	0110	0	0
7	0111	0111	0	0
8	1000	1000	0	0
9	1001	1001	0	0
10	1010	1010	1	1
11	1011	1011	1	1
12	1100	1100	1	1
13	1101	1101	1	1
14	1110	1110	1	1
15	1111	1111	1	1

## 4. Relatório

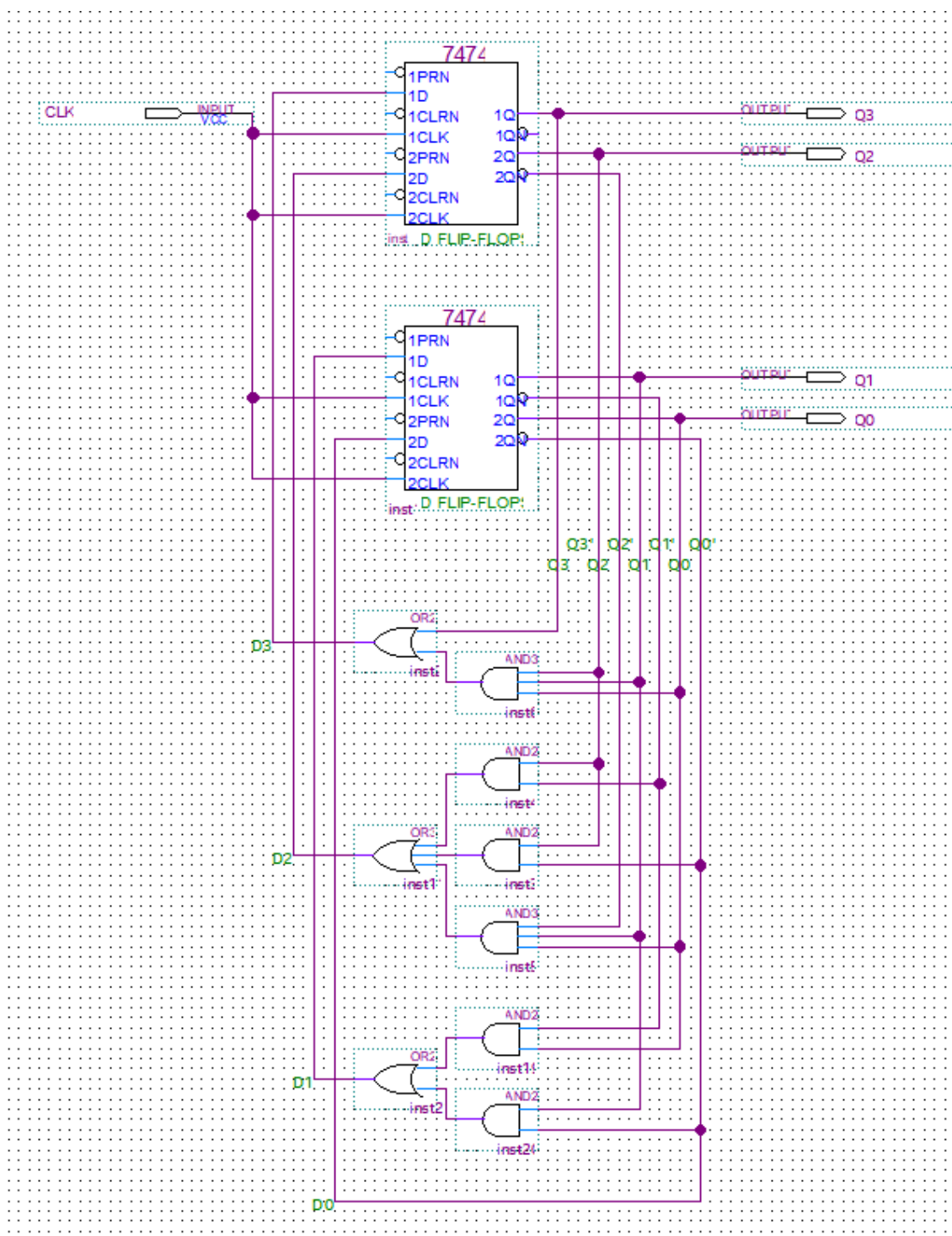
Durante o laboratório, ambas montagens foram realizadas com êxito.

No entanto, foi feita uma alteração na montagem do primeiro contador, em relação ao esquema proposto no planejamento. Como o painel de montagens não suportava à grande quantidade de CI's do diagrama de blocos, foi utilizado a técnica de *Don't Care* para as saídas de 10 a 15. Dessa forma, o circuito de controle ficou mais compacto e pôde ser feito com 2 TTL 7408 (AND), 2 TTL 7432 (OR) e os 2 TTL 7474 (Flip Flops tipo D).

Nesse contexto, a tabela verdade ficou da seguinte forma:

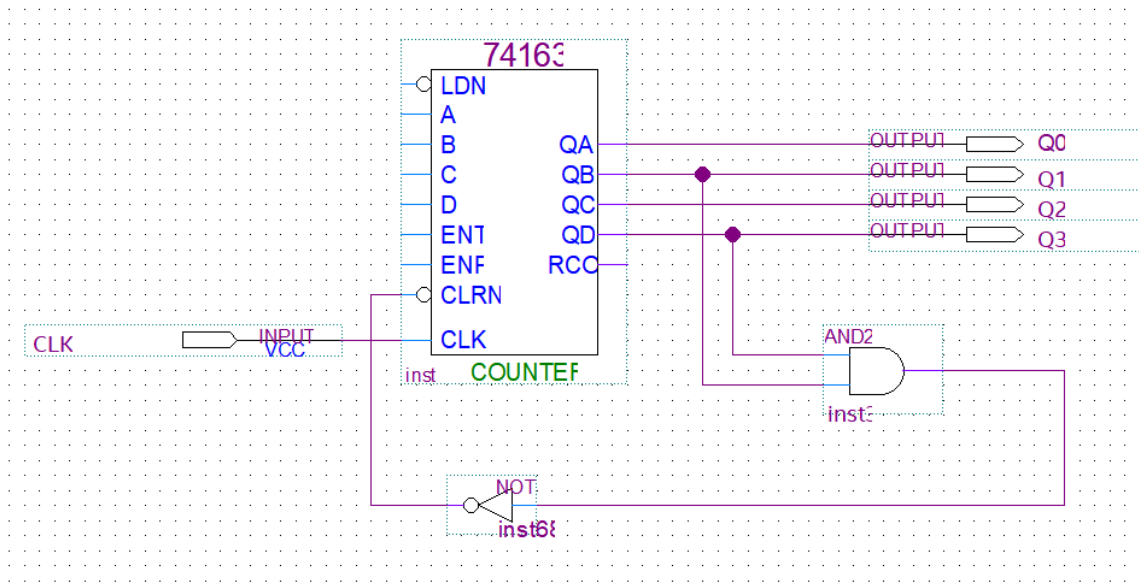
#	Q3	Q2	Q1	Q0	D3	D2	D1	D0
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	X	X	X	X
11	1	0	1	1	X	X	X	X
12	1	1	0	0	X	X	X	X
13	1	1	0	1	X	X	X	X
14	1	1	1	0	X	X	X	X
15	1	1	1	1	X	X	X	X

Segue abaixo o novo circuito equivalente no Quartus, que foi usado como base para a montagem do experimento:



Já referente à parte B da experiência, os resultados também saíram como esperado. Além do 74163 (Contador 4-bits), foi utilizado uma TTL 7408 (AND) e uma TTL 7404 (NOT), de forma que quando o contador chegasse em 10 (11ª posição), este fosse reiniciado no próximo estado.

Segue abaixo o novo circuito equivalente no Quartus, que foi usado como base para a montagem do experimento:



## Apêndices

TTL 7474 Datasheet: [link](#)

TTL 74LS163 Datasheet: [link](#)

## Referências

[Aula de Eletrônica Digital da UFPA - Prof. Adalbery Castro](#)