

深入理解并发/行技术



By 公众号@极客重生



内容

并发/并行技术核心是什么

并发/并行问题技术大局观

深入理解处理器并行技术

深入理解操作系统并行技术

深入理解编程语言并行技术

并发/并行技术核心是什么

- **核心1：弄清问题**
我们要解决什么问题？
- **核心2：理解重要概念**
一些重要的概念深刻理解
- **核心3：并发问题的本质**
资源的争夺和分时复用
- **核心4：场景分析**
不同场景不同实现技术

并发/并行技术核心是什么

核心1：弄清问题，我们要解决什么问题？

- 如何节省大型和复杂问题的解决时间，即如何提高性能—提高程序**并发/并行度**
- 并发/并行提升性能后带来的问题如何解决
 - 缓存优化导致的可见性问题—内存模型，缓存一致性，内存屏障
 - 程序原子性问题—硬件锁技术
 - 编译优化带来的有序性问题--内存模型，内存屏障
 - 资源冲突问题-锁技术

并发/并行技术核心是什么

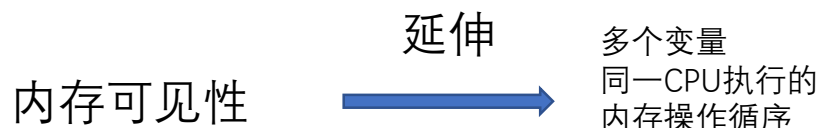
核心2：理解重要的概念

- 并发和并行
- 进程，线程，协程
- 内存可见性，内存模型
- 临界区，空转，阻塞，唤醒
- 同步，异步

并发/并行技术核心是什么

核心2：理解重要的概念—内存模型

Memory Model要软件开发做什么



什么叫内存可见性：

就是让其他CPU看到本CPU代码写内存的顺序

代码写好后，程序员认为代码执行循序是固定的

但其他CPU看到顺序可能不一样。

```
1 Litmus Test: Message Passing
2 Can this program see r1 = 1, r2 = 0?
3
4 // Thread 1           // Thread 2
5 x = 1                 r1 = y
6 y = 1                 r2 = x
```

- 读内存，也就是加载操作(load)，从内存读到寄存器
- 写内存，就就是存储操作(store)，从寄存器写入到内存

- load指令后接load指令
(L-L, 读读)
- store指令后接store指令
(S-S, 写写)
- load指令后接store指令
(L-S, 读写)
- store指令后接load指令
(S-L, 写读)

实际上，CPU和编译可能会在程序员不知情的情况下(为了提高性能)修改x和y赋值顺序(就是写内存顺序)：

1 y=1；
2 x=1；

这样可能就会导致不符合程序员预期行为。

比如左边例子：r1=1, r2=0 可能产生，但这个结果不在程序员预期之内，所以需要明确的内存模型来限制或者避免这种行为。

程序员认为代码执行循序是固定的(代码就是这样写的)：

1 x=1；
2 Y=1；

然后程序员推断：CPU2理论上可以看到6种循序



$x = 1$ $y = 1$ $r1 = y (1)$ $r2 = x (1)$	$x = 1$ $y = 1$ $r1 = y (0)$ $r2 = x (1)$	$x = 1$ $y = 1$ $r1 = y (0)$ $r2 = x (1)$
$x = 1$ $y = 1$ $r1 = y (0)$ $r2 = x (1)$	$x = 1$ $y = 1$ $r1 = y (0)$ $r2 = x (1)$	$x = 1$ $y = 1$ $r1 = y (0)$ $r2 = x (0)$

并发/并行技术核心是什么

核心2：理解重要的概念—内存模型

什么是Memory Model

Memory Model(Memory Consistency/Memory Consistency Model)是系统和程序员之间的规范，它规定了在一个共享存储器的多线程程序中的存储器访问应该表现出怎样的行为。这个规范影响了系统的性能，因为它决定了多处理器/编译器能应用哪些优化；也影响了可编程性(Programmability)，因为多线程程序的正确性取决于Memory Model，从而约束了程序员的编程方式。

memory model本质上就是个contract rules

memory model对于并发程序的正确性非常关键

为什么需要Memory Model

- 在单线程程序中，编译器的各种优化如冗余代码消除、循环融合(Loop Fusion)、指令调度等技术，会重写代码造成存储器访问顺序变化，而寄存器分配会改变存储器访问次数；类似的，处理器的乱序执行机制也会通过让后一条指令先执行，来掩盖前一条指令导致的流水线停顿和存储器停顿。尽管会改变不同地址存储器的访问顺序，但系统的这些优化对程序员是透明的，看起来程序仍然是在顺序执行。
- 然而在多线程程序中，编译器和多处理器并无手段自动发现多个线程间的协作关系，使得那些可能改变存储器访问顺序和次数的优化，同时对多个线程透明。没有程序员的帮助，要保持多线程程序的正确性，系统只能禁用这些作用在共享存储器上的优化，而这将严重损害性能。
- 为最大限度保留编译器和多处理器的优化能力，同时使多线程程序的执行结果是可预测的，系统需要程序员的帮助。最后的方案是，系统提供所谓Memory Model的规范，程序员通过规范中同步设施(各种内存屏障(Memory Barrier)和Atomic指令)来标记多个线程间的协作关系，使得不仅是单线程，系统的优化对多线程程序也将透明。

并发/并行技术核心是什么

核心2：理解重要的概念—内存模型

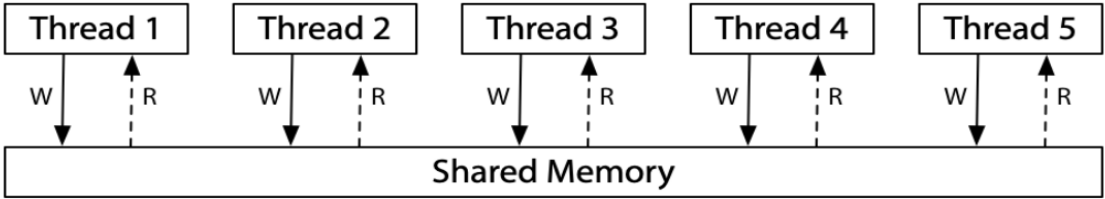
- 顺序一致性，理想模型
- 非顺序一致性，x86，ARM等，放弃严格的顺序一致性可以让硬件更快地执行程序，所以所有现代硬件在各方面都会偏离了顺序一致性，松散的内存模型可能会非常混乱，写操作可能会无序，读操作可能会返回不是我们想要的值，为了解决这些问题，我们需要使用内存栅栏（memory fences,内存屏障）

```
1 Litmus Test: Message Passing
2 Can this program see r1 = 1, r2 = 0?
3
4 // Thread 1           // Thread 2
5 x = 1                 r1 = y
6 y = 1                 r2 = x
7 On sequentially consistent hardware: no.
8 On x86 (or other TSO): no.
```

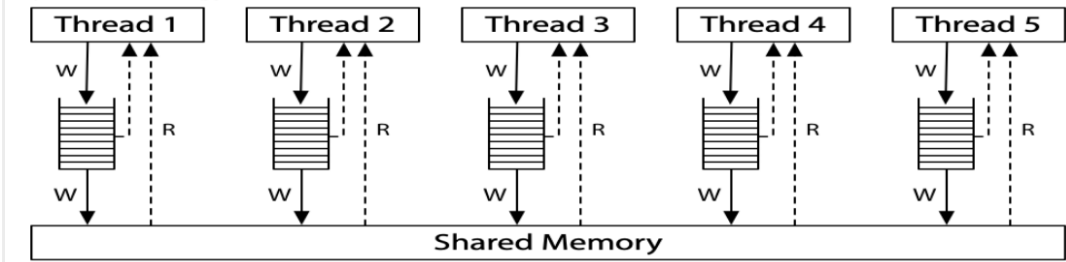
```
1 Litmus Test: Message Passing
2 Can this program see r1 = 1, r2 = 0?
3
4 // Thread 1           // Thread 2
5 x = 1                 r1 = y
6 y = 1                 r2 = x
7 On sequentially consistent hardware: no.
8 On x86 (or other TSO): no.
9 On ARM/POWER: yes!
```

```
1 // Thread 1           // Thread 2
2 x = 1;                while(done == 0) { /* loop */ }
3 done = 1;             print(x);
```

如果线程1和线程2都运行在自己专用处理器上，都运行到完成，这个程序能打印 0 吗？

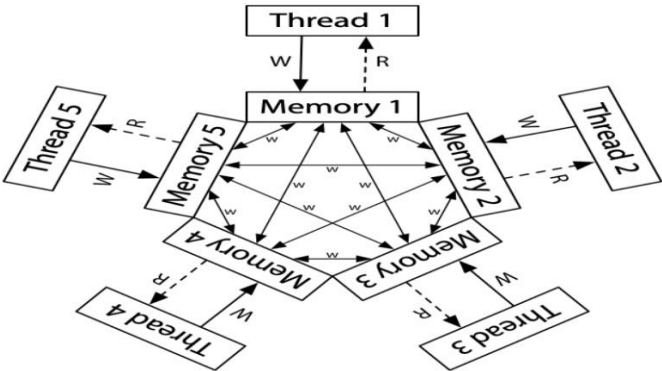


顺序一致性内存模型



x86 内存模型-Total Store Order (强内存模型)

内存操作顺序方式（两个）：
读读, 读写, 写写, 写读, TSO维持了前三种，但不维持写读的顺序（因为有写队列存在，读不一定读到最新的值，要保证写读之间非乱序，需要在写和读之间加一个内存屏障mfence指令后面会讲）

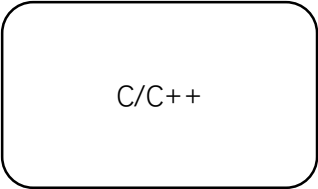


ARM内存模型-弱内存模型，

内存操作顺序方式：
读读, 读写, 写写, 写读, ARM不保证顺序（可以乱序）,属于relaxed model或者弱内存模型（weak order），要保证上面操作之间不乱序，需要在操作之间加一个内存屏障mfence指令。

并发/并行技术核心是什么

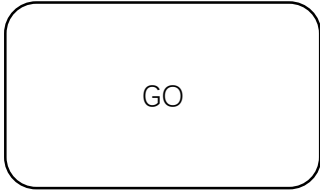
核心2：理解重要的概念—内存模型



- sequential consistent(排序一致序列, 强同步, Happen before)
- acquire release(获取-释放序列, 弱同步)
- relaxed(松散序列, 无同步)

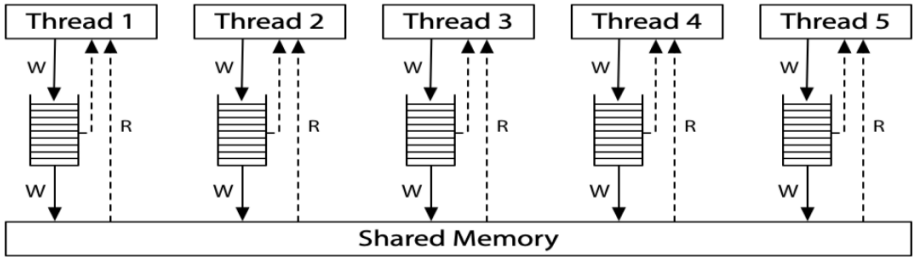


- Happen before规则
- JMM统一内存模型



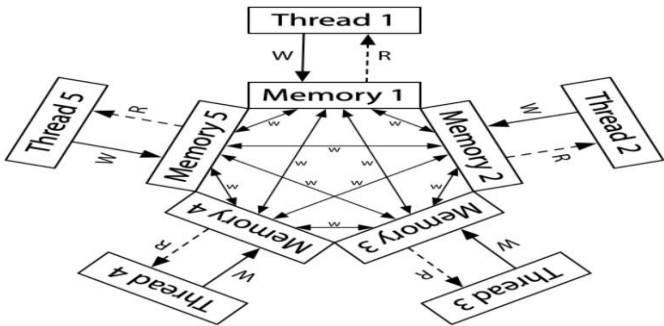
- Happen before规则
- 更高层, 更简单

编程语言内存模型
用于屏蔽各种硬件和操作系统的内存访问差异, 以实现让程序在各种平台都能达到一致的内存访问效果。



x86

内存模型-Total Store Order (强内存模型)

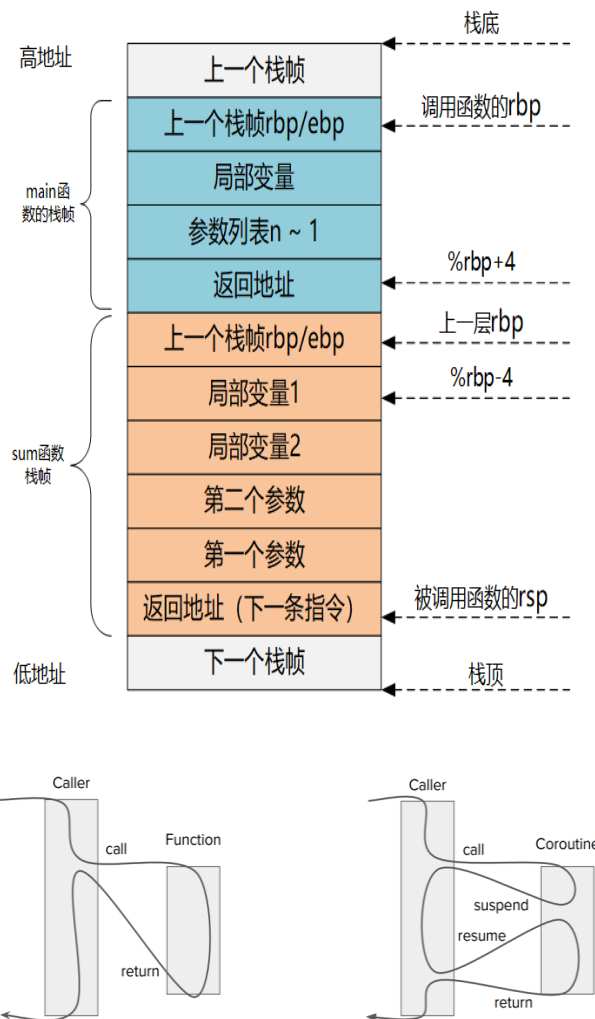
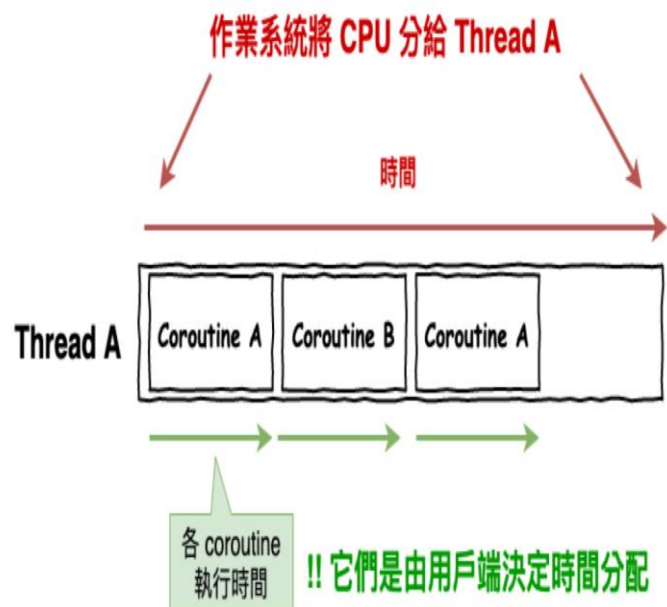


ARM

内存模型-弱内存模型

并发/并行技术核心是什么

核心2：理解重要的概念—协程



```
1 #include <stdio.h>
2
3 int sum (int a,int b)
4 {
5     int c = a + b;
6     return c;
7 }
8
9 int main()
10 {
11     int x = 5,y = 10,z = 0;
12     z = sum(x,y);
13     printf("%d\\r\\n",z);
14     return 0;
15 }
```

```
1 0000000000000000 <sum>:
2 0: 55 push %rbp
3 1: 48 89 e5 mov %rsp,%rbp
4 4: 89 7d ec mov %edi,-0x14(%rbp) # 参数传递
5 7: 89 75 e8 mov %esi,-0x18(%rbp) # 参数传递
6 a: 8b 55 ec mov -0x14(%rbp),%edx
7 d: 8b 45 e8 mov -0x18(%rbp),%eax
8 10: 01 d0 add %edx,%eax
9 12: 89 45 fc mov %eax,-0x4(%rbp) # 局部变量
10 15: 8b 45 fc mov -0x4(%rbp),%eax # 存储结果
11 18: 5d pop %rbp
12 19: c3 retq
13
14 000000000000001a <main>:
15 1a: 55 push %rbp # 保存%rbp. rbp, 栈底的地址
16 1b: 48 89 e5 mov %rsp,%rbp # 设置新的栈指针. rsp 栈指针, 指向栈顶
17 1e: 48 83 ec 10 sub $0x10,%rsp # 分配 16字节栈空间. %rsp = %rsp-16
18 22: c7 45 f4 05 00 00 00 movl $0x5,-0xc(%rbp) # 赋值
19 29: c7 45 f8 0a 00 00 00 movl $0xa,-0x8(%rbp) # 赋值
20 30: c7 45 fc 00 00 00 00 movl $0x0,-0x4(%rbp) # 赋值
21 37: 8b 55 f8 mov -0x8(%rbp),%edx
22 3a: 8b 45 f4 mov -0xc(%rbp),%eax
23 3d: 89 d6 mov %edx,%esi # 参数传递, 从右向左
24 3f: 89 c7 mov %eax,%edi # 参数传递
25 41: e8 00 00 00 00 callq 46 <main+0x2c> # 调用sum
26 46: 89 45 fc mov %eax,-0x4(%rbp)
27 49: 8b 45 fc mov -0x4(%rbp),%eax # 存储计算结果
28 4c: 89 c6 mov %eax,%esi
29 4e: 48 8d 3d 00 00 00 00 lea 0x0(%rip),%rdi # 55 <main+0x3b>
30 55: b8 00 00 00 00 mov $0x0,%eax
31 5a: e8 00 00 00 00 callq 5f <main+0x45>
32 5f: b8 00 00 00 00 mov $0x0,%eax
33 64: c9 leaveq
34 65: c3 retq
35
```

实现一个协程的关键点在于如何保存、恢复和切换上下文

Coroutine就是函数，只不过是可以在suspend和resume的函数

并发/并行技术核心是什么

核心3：并发问题的本质

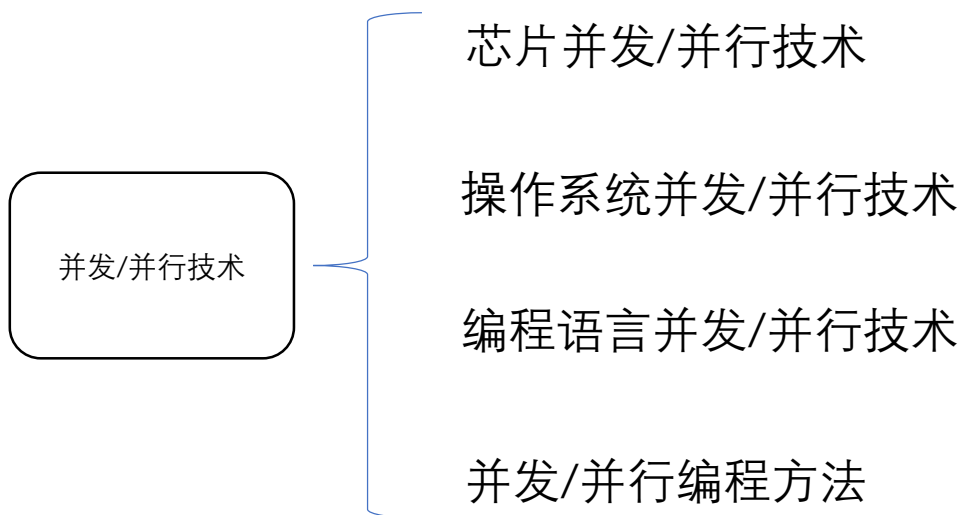
- 资源的争夺和分时复用

并发/并行技术核心是什么

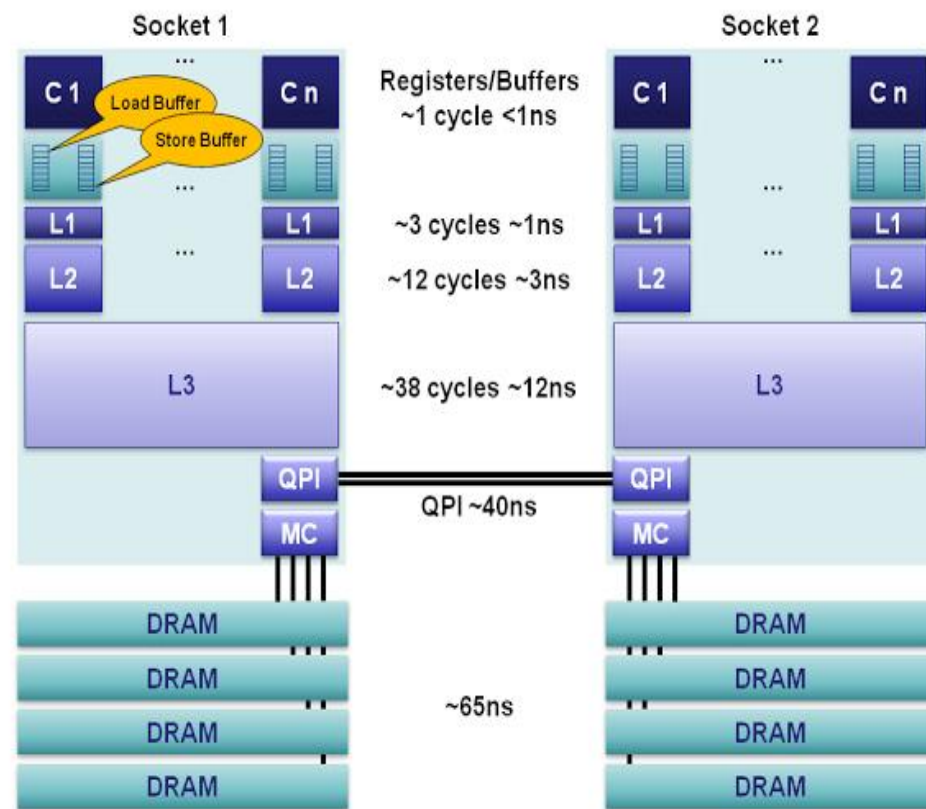
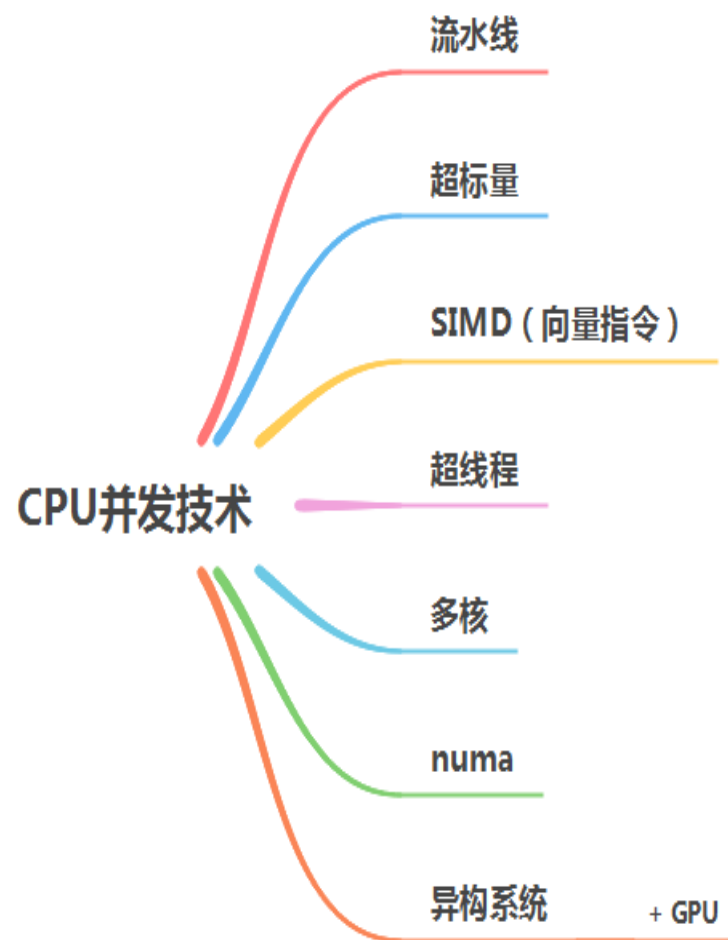
核心4：场景分析（不同场景不同实现技术）

并行计算可分为时间上的并行和空间上的并行。

- 时间上的并行是指流水线技术
- 空间上的并行是指多个处理器（或者计算单元）并发的执行计算。

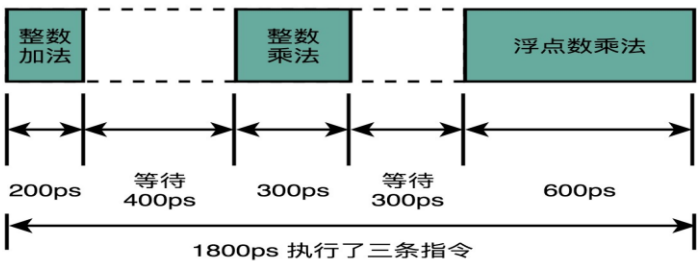


深入理解处理器并行技术

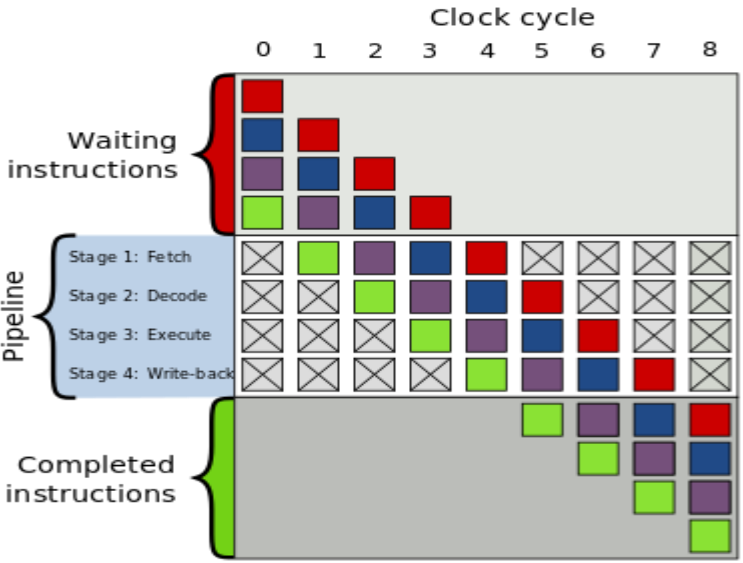
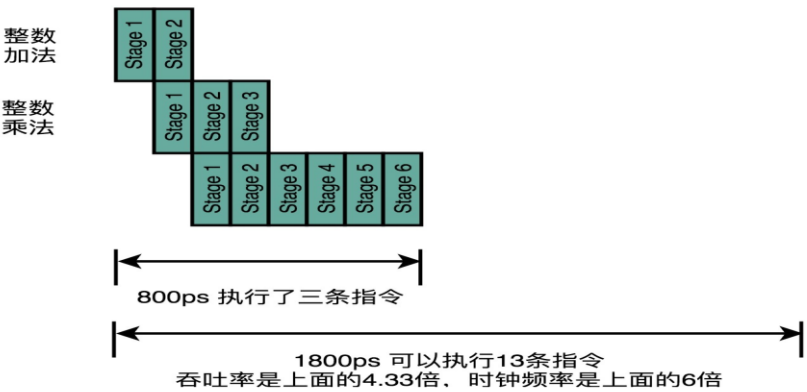


深入理解处理器并行技术--流水线/超标量

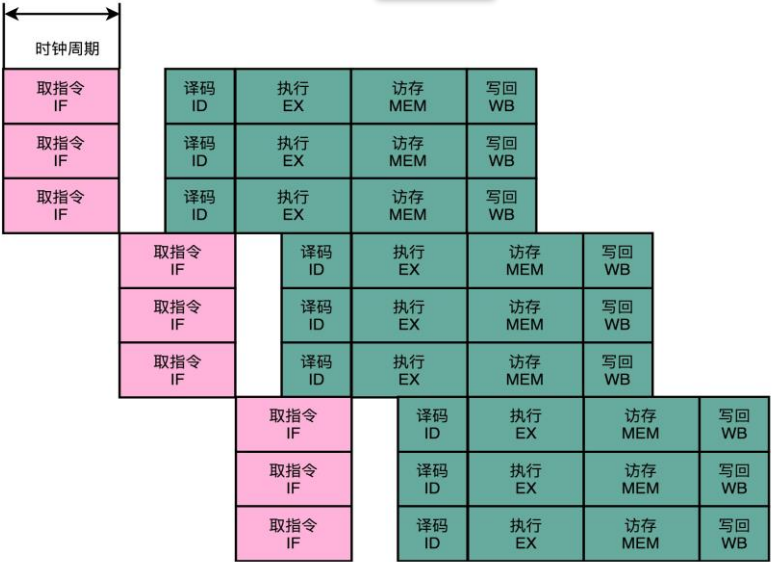
没有流水线



6级流水线

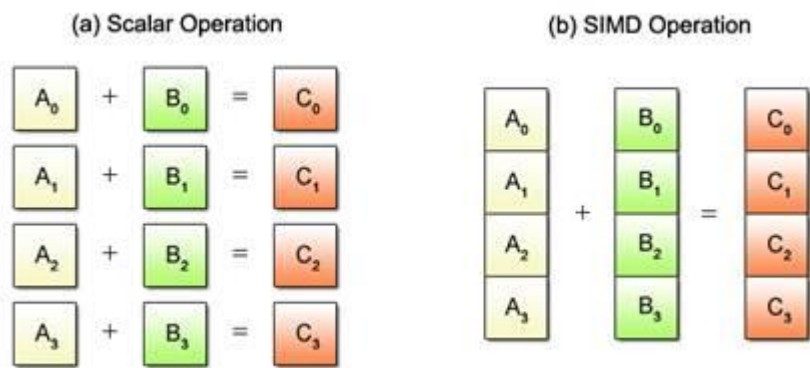


流水线



超标量+流水线

深入理解处理器并行技术-SIMD(向量指令)

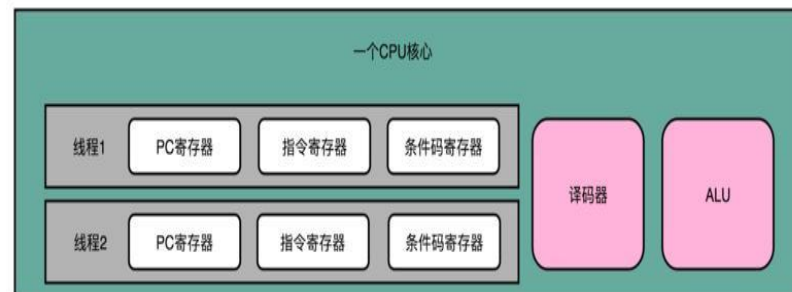
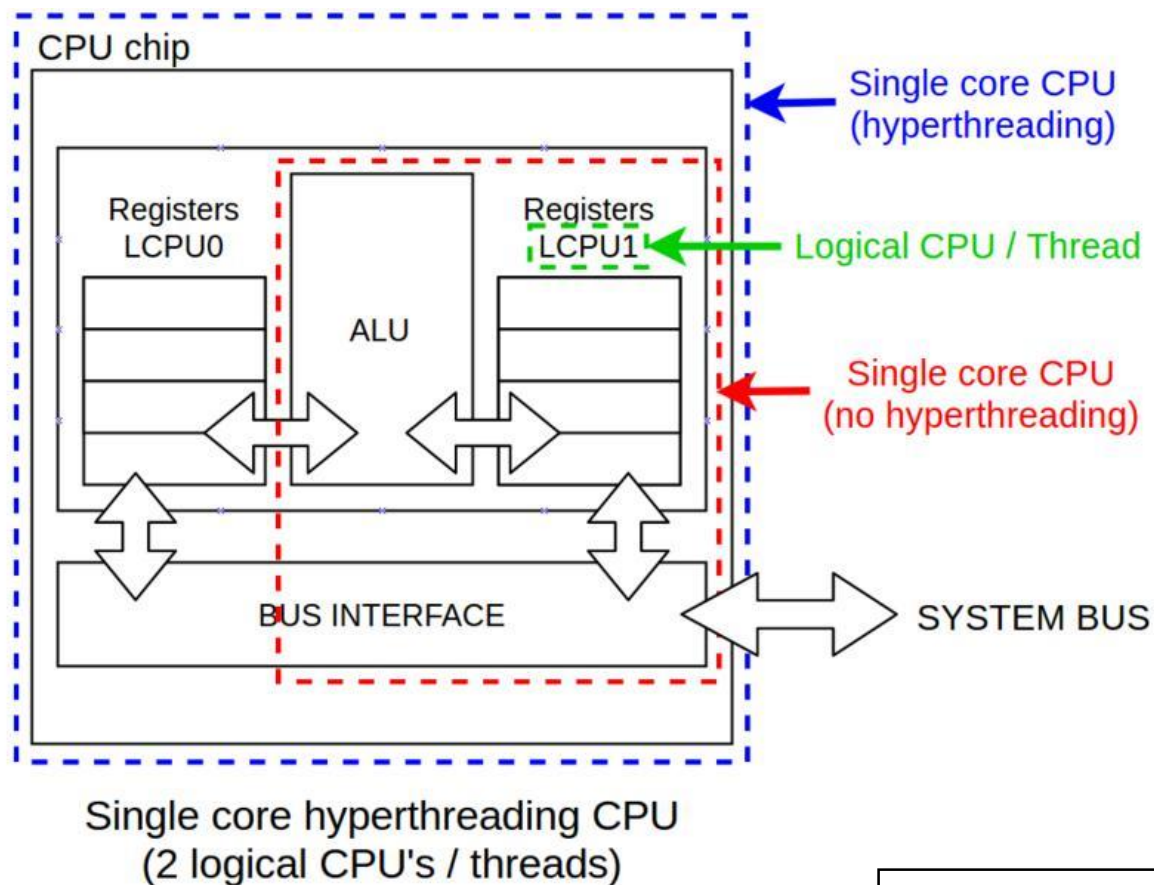


Scalar vs. SIMD Operations

- MMX
- SSE/SSE2/SSE3/SSE4
- AVX

MMX	64位整型
SSE	128位浮点运算，整数运算仍然要使用MMX 寄存器，只支持单精度浮点运算
SSE2	对整型数据的支持，支持双精度浮点数运算，CPU快取的控制指令
SSE3	扩展的指令包含寄存器的局部位之间的运算，例如高位和低位之间的加减运算；浮点数到整数的转换，以及对超线程技术的支持。
SSE4	
AVX	256位浮点运算
AVX2	对256位整型数据的支持，三运算指令（ 3-Operand Instructions ）
AVX512	512位运算

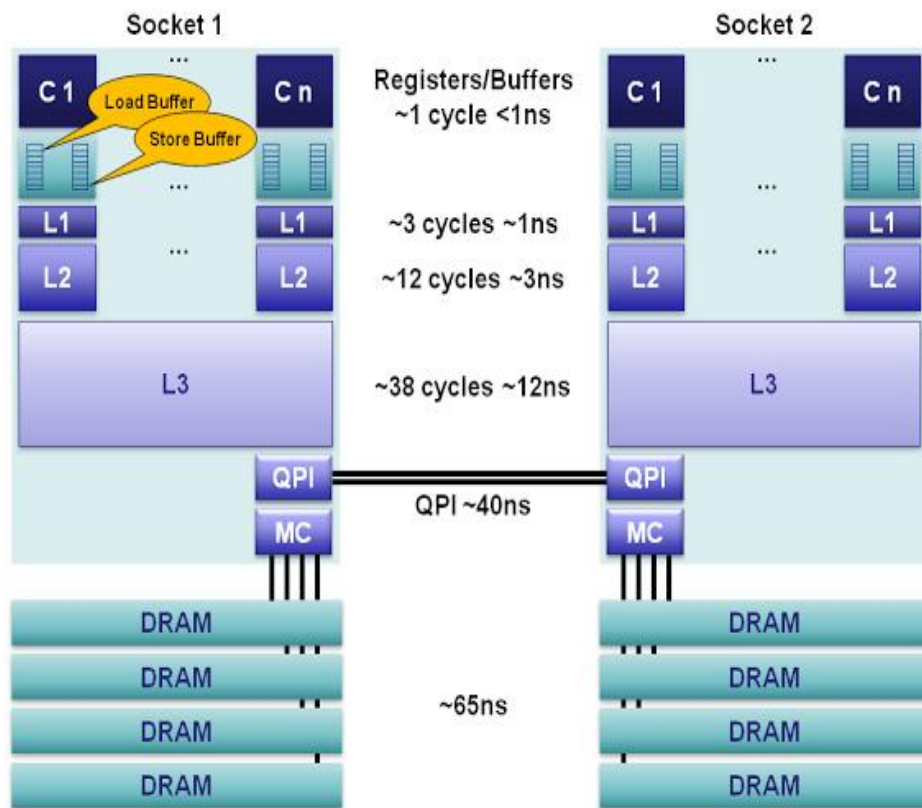
深入理解处理器并行技术—超线程



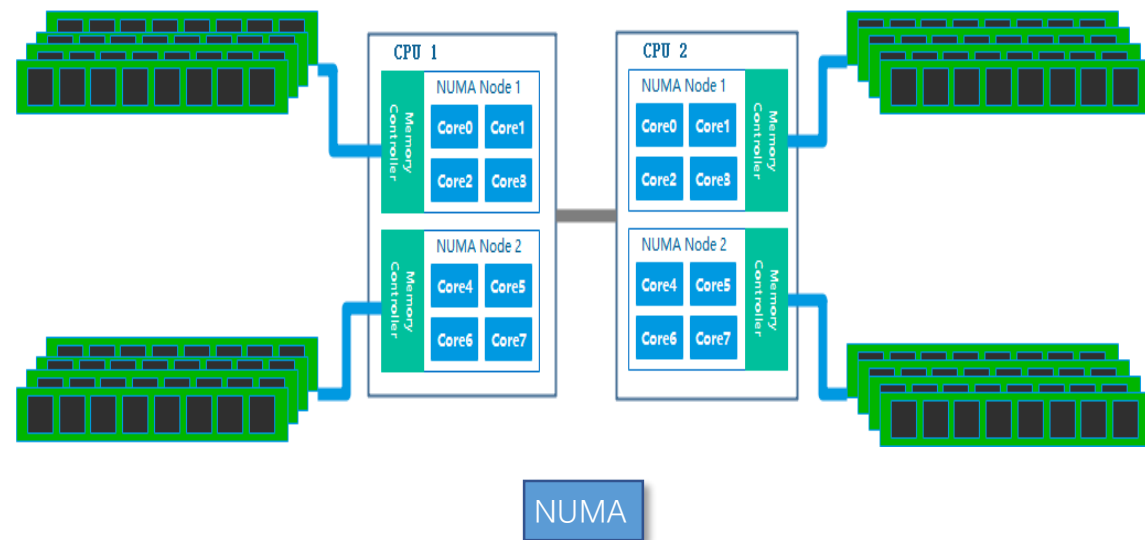
硬件线程一般是指逻辑核（逻辑CPU），逻辑核就是超线程抽象出来的，有独立寄存器，但ALU和一些译码器是共享的，不是真正意义单独CPU，但操作系统看到CPU就是逻辑CPU，操作系统将软件线程的任务分发在多个硬件线程上，通过负载均衡，可以分配在各个硬件线程。

什么情况下需要关闭超线程？

深入理解处理器并行技术-多核和numa



多核

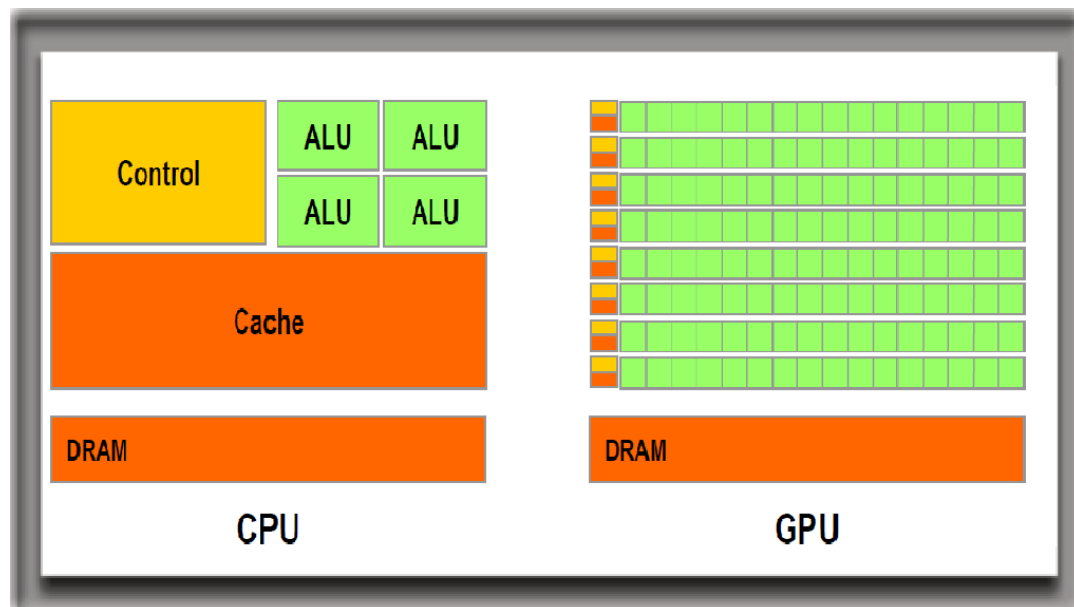


- 多核 AMD pk intel
- NUMA 扩展

多核编程会带来哪些挑战？

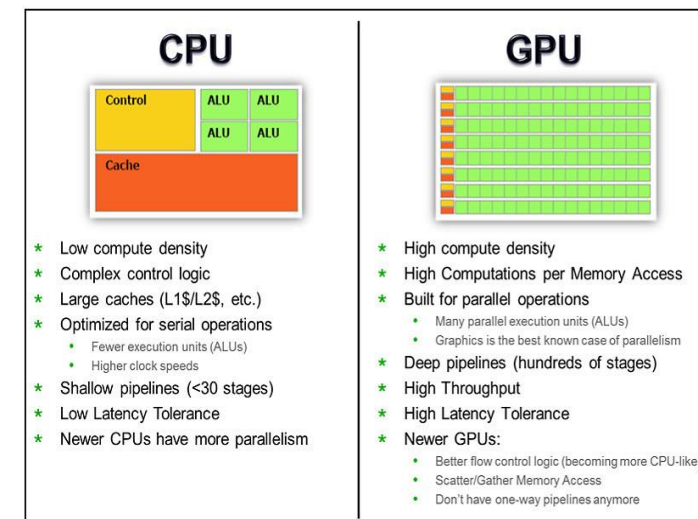
NUMA 编程需要注意什么？

深入理解处理器并行技术—异构系统之GPU

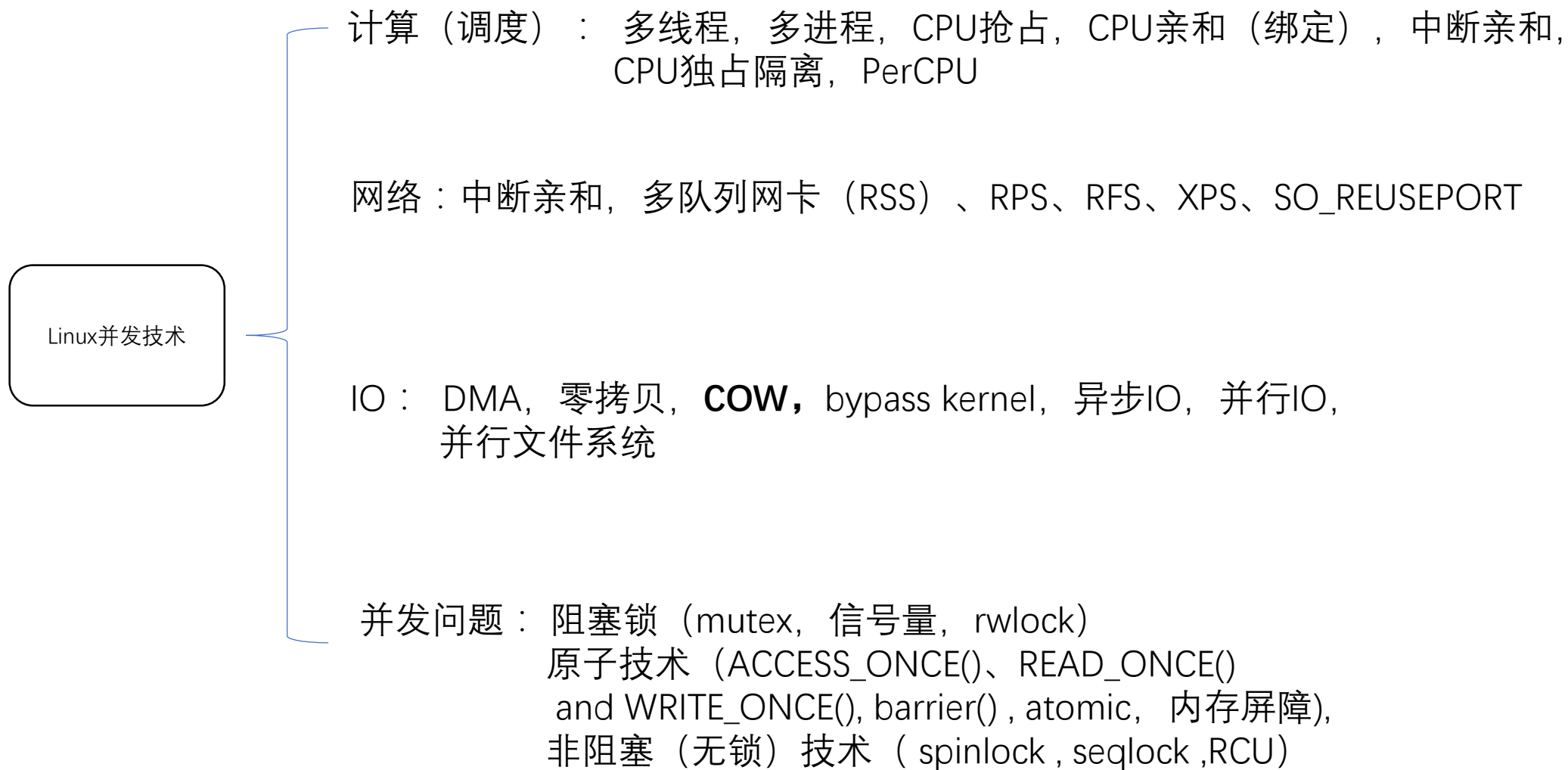


- CPU—通用性
- GPU—专业并行计算

CPU + GPU



深入理解操作系统(Linux)并行技术



深入理解操作系统并行技术—计算（调度）

多线程，多进程，CPU抢占，CPU亲和（绑定），中断亲和，CPU独占隔离，PerCPU

后续课程更新

深入理解操作系统并行技术—网络

中断亲和，多队列网卡（RSS）、RPS、RFS、XPS、SO_REUSEPORT

后续课程更新

深入理解操作系统并行技术—IO

DMA，零拷贝，**COW**，bypass kernel，异步IO，并行IO（MPI I/O，HDFS I/O），并行文件系统

后续课程更新

深入理解操作系统(Linux)并行技术—并发问题

锁

Mutex：互斥等待。

信号量：多对1等待。

Rwlock：读多写少，读优先，写等待。

无锁技术

自旋锁（spinlock）：临界区短，无堵塞。

Seqlock：读多写少，写优先，读重试。

RCU：读多写少，读不影响写，复制更新。

原子技术

ACCESS_ONCE()/READ_ONCE()/WRITE_ONCE()：禁止编译器对数据访问的优化，强制从内存而不是缓存中获取数据；

barrier()：乱序访问内存屏障，限制编译器的乱序优化；

atomic：硬件级加锁（粒度很小）

atomic_inc()/atomic_read()等：整型原子操作；

CAS:原子方式对内存执行读-改-写操作，无锁技术的基础；

内存屏障：

smb_wmb()：写内存屏障，刷新store buffer，同时限制编译器和CPU的乱序优化；

smb_rmb()：读内存屏障，刷新invalidate queue，同时限制编译器和CPU的乱序优化；

smb_mb()：读写内存屏障，同时刷新store buffer和invalidate queue，同时限制编译器和CPU的乱序优化；

深入理解后端编程语言并行技术

C/C++

多线程（pthread, std::thread），异步（std::async, std::future, std::packaged_task, std::promise），锁（std::mutex, std::lock_guard, std::call_once(), std::shared_mutex, std::condition_variable），原子操作（std::atomic, CAS），内存模型（std::memory_order_xxx），协程(std::coroutine)

JAVA

多线程（Thread），并发理论（JMM(内存模型), 重排序, happens-before规则), 并发关键字(Synchronized, volatile, final), concurrent模块(atomic（CAS），阻塞队列，lock体系（AQS），并发容器，线程池（Executor体系）等)

GO

基本并发原语（Mutex、RWMutex、Waitgroup、Cond、Pool、Context等），**原子操作**，Goroutine，Channel，内存模型，GPM调度模型

深入理解后端编程语言并行技术— C++

C++内存模型

- memory_order_relaxed,
- memory_order_consume,
- memory_order_acquire,
- memory_order_release,
- memory_order_acq_rel,
- memory_order_seq_cst

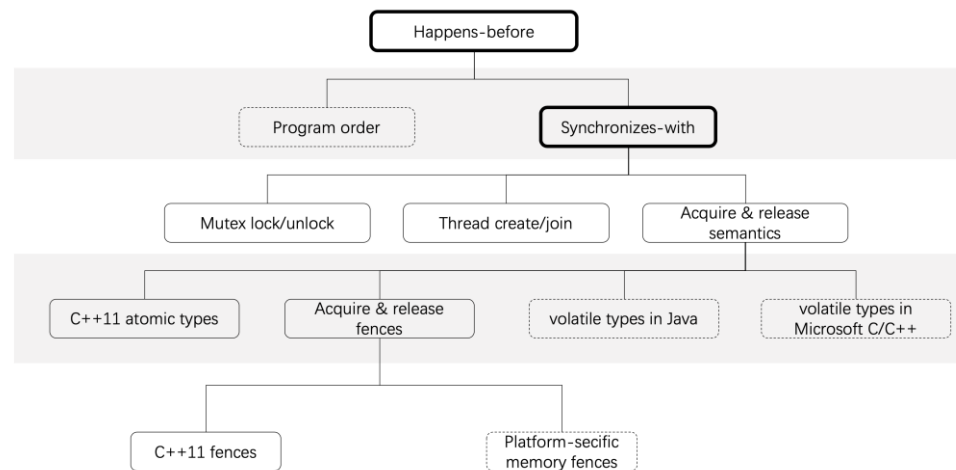


- sequential_consistent(排序一致序列, 强同步, memory_order_seq_cst, happens before);
- relaxed(松散序列, 无同步, memory_order_relaxed);
- acquire-release(获取-释放序列, 弱同步, memory_order_consume, memory_order_acquire, memory_order_release, memory_order_acq_rel);

C++11 提供六个内存序列选项可应用于对原子类型的操作

C++ 为什么要提供多种内存模型？

C++11最终代表3种内存模型



深入理解后端编程语言并行技术— C++

C++ 异步，协程

异步

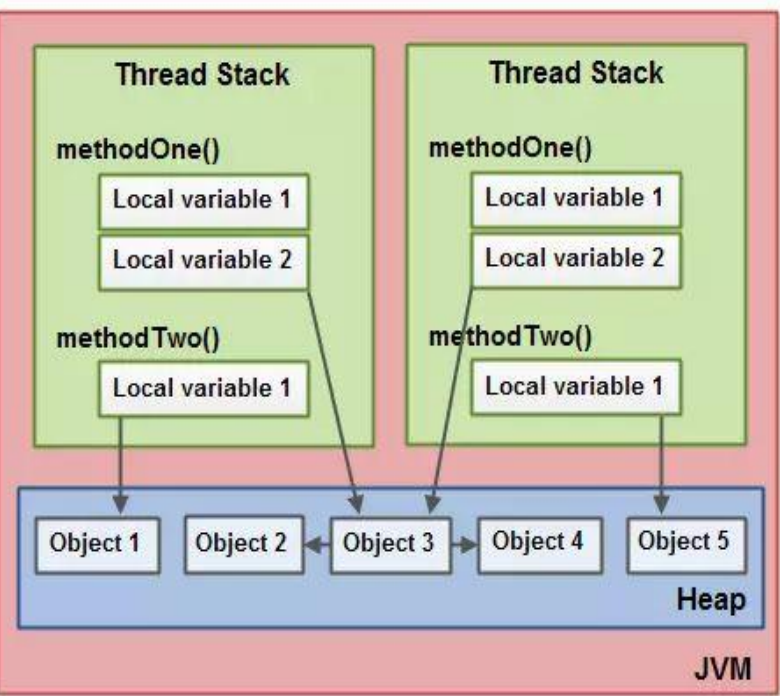
- `std::future`
该类主要作为异步结果传输通道，方便获取线程函数的返回值；
- `std::packaged_task`
包装一个可调对象，和`future`配合使用，方便异步调用
- `std::promise`
用来包装一个值，和`future`绑定使用，方便线程赋值
- `std::async`
可以直接创建异步的`task`类，异步返回结果保存在`future`中，在获取线程函数返回结果时，使用`get()`获取返回值，如果不需要值则使用`wait()`方法

协程

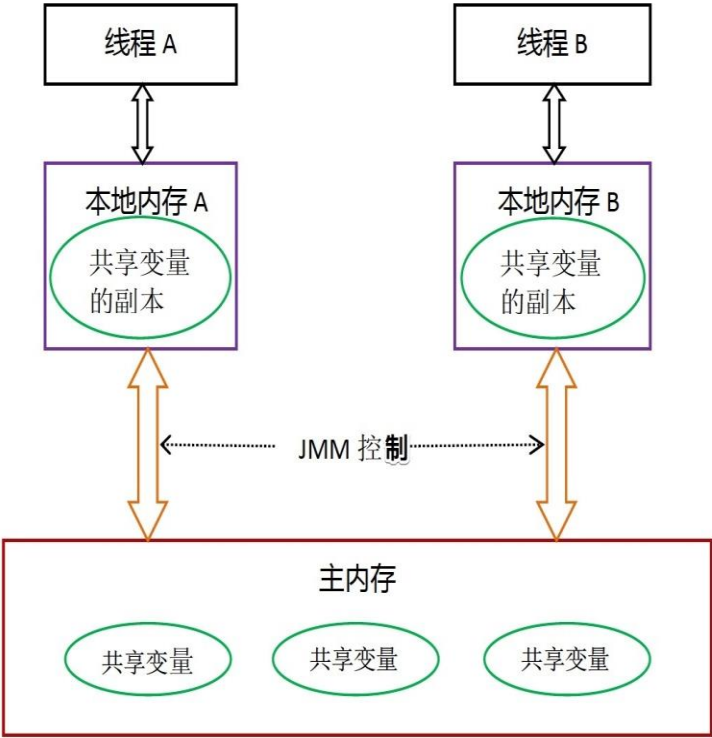
- `co_await`：挂起协程并将控制权返回给调用者
- `co_yield`：向调用者返回一个值并暂停当前协程，它是可恢复函数的通用构建块
- `co_return`：使协程返回到`caller`或`resumer`。（除了`co_return`之外，`suspend`也会使执行流回到`caller`或`resumer`）
- `Promisetype`：`Promise`类型定义了协程本身的行为，比如协程被调用时发生什么，返回时发生什么，以及内部的`co_await`或`co_yield`行为，每次协程调用都会在协程`frame`（一个`heap`上分配好的本协程专用内存池）中构造`promise`对象。
- `Awaiter type`：暂停一个协程的求值，等待表达式所表示的计算过程的结束，支持 `co_await operator` 的类型即为 `Awaitable` 类型。需支持`await_ready`, `await_suspend`, `await_resume`接口。
 - `await_ready`
 - `await_suspend`
 - `await_resume`

深入理解后端编程语言并行技术—Java

Java内存模型

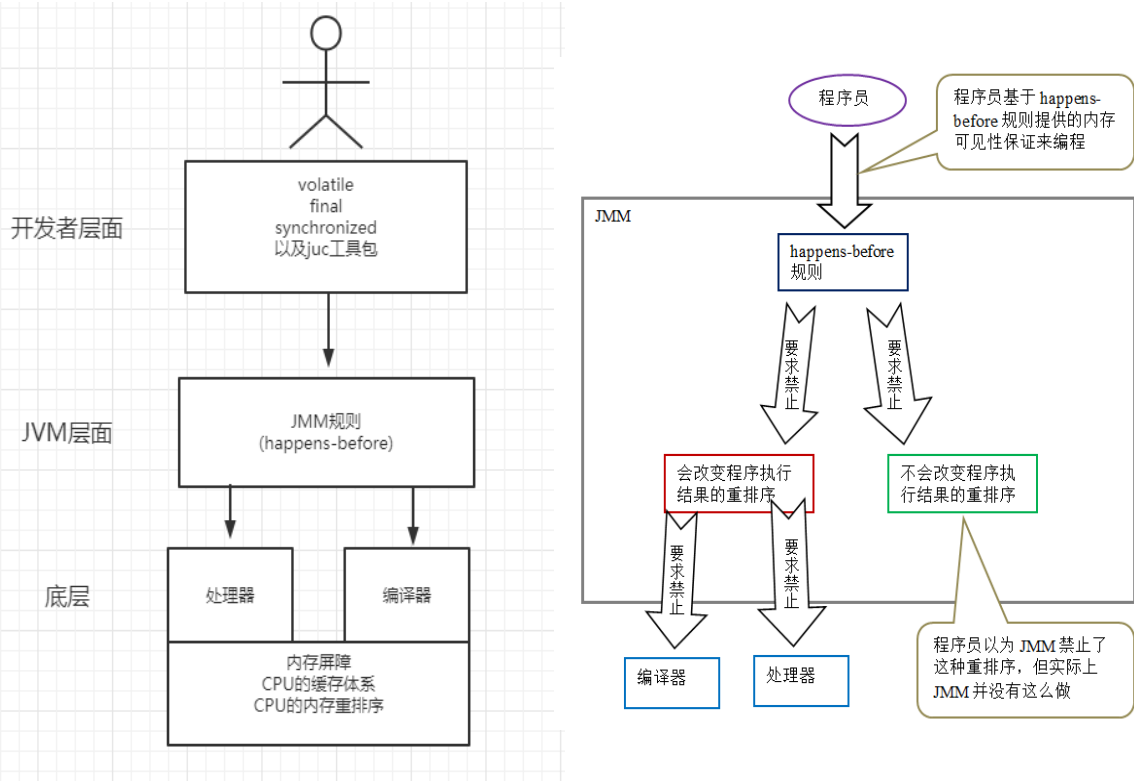


Java 内存模型是共享内存的并发模型，线程之间主要通过读-写共享变量来完成隐式通信



深入理解后端编程语言并行技术—Java

Java并发核心是深入理解Java内存模型（JMM）



JMM的设计目标

- 一方面，对于程序员来说，我们希望内存模型易于理解、易于编程，为此 JMM 的设计者要为程序员提供足够强的内存可见性保证，专业术语称之为“**强内存模型**”。
- 而另一方面，编译器和处理器则希望内存模型对它们的束缚越少越好，这样它们就可以做尽可能多的优化（比如重排序）来提高性能，因此 JMM 的设计者对编译器和处理器的限制要尽可能地放松，专业术语称之为“**弱内存模型**”。

JMM的设计方案

- 单线程程序。**单线程程序不会出现内存可见性问题。编译器，runtime 和处理器会共同确保单线程程序的执行结果与该程序在顺序一致性模型中的执行结果相同。
- 正确同步的多线程程序。**正确同步的多线程程序的执行将具有顺序一致性（程序的执行结果与该程序在顺序一致性内存模型中的执行结果相同）。这是 JMM 关注的重点，JMM 通过限制编译器和处理器的重排序来为程序员提供内存可见性保证。
- 未同步 / 未正确同步的多线程程序。**JMM 为它们提供了最小安全性保障：线程执行时读取到的值，要么是之前某个线程写入的值，要么是默认值（0，null，false）。

深入理解后端编程语言并行技术—Java

Java并行编程-Concurrent包



- 最底层是volatile读/写和CAS；
- 第二层基础类是AQS、非阻塞数据结构和原子变量类；这些基础类使用类似的实现方式：
 - (1) 声明共享变量（状态）为volatile类型；
 - (2) 使用CAS原子更新完成线程之间的同步；
 - (3) 利用volatile读/写的内存语义和CAS同时具备的volatile读和写的内存语义实现线程之间的通信。
- 第三层高层类是Lock、同步器、阻塞队列、Executor和并发容器。高层类基于第二层的基础类实现。

深入理解后端编程语言并行技术—GO

Memory Model in Golang

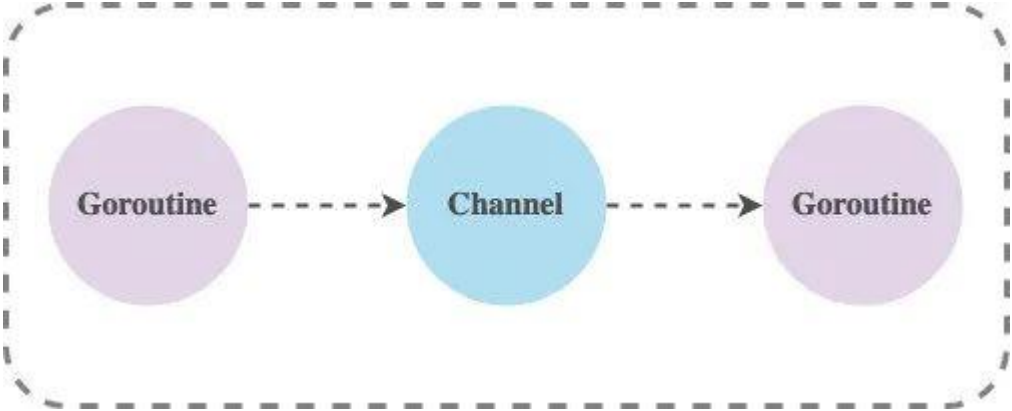
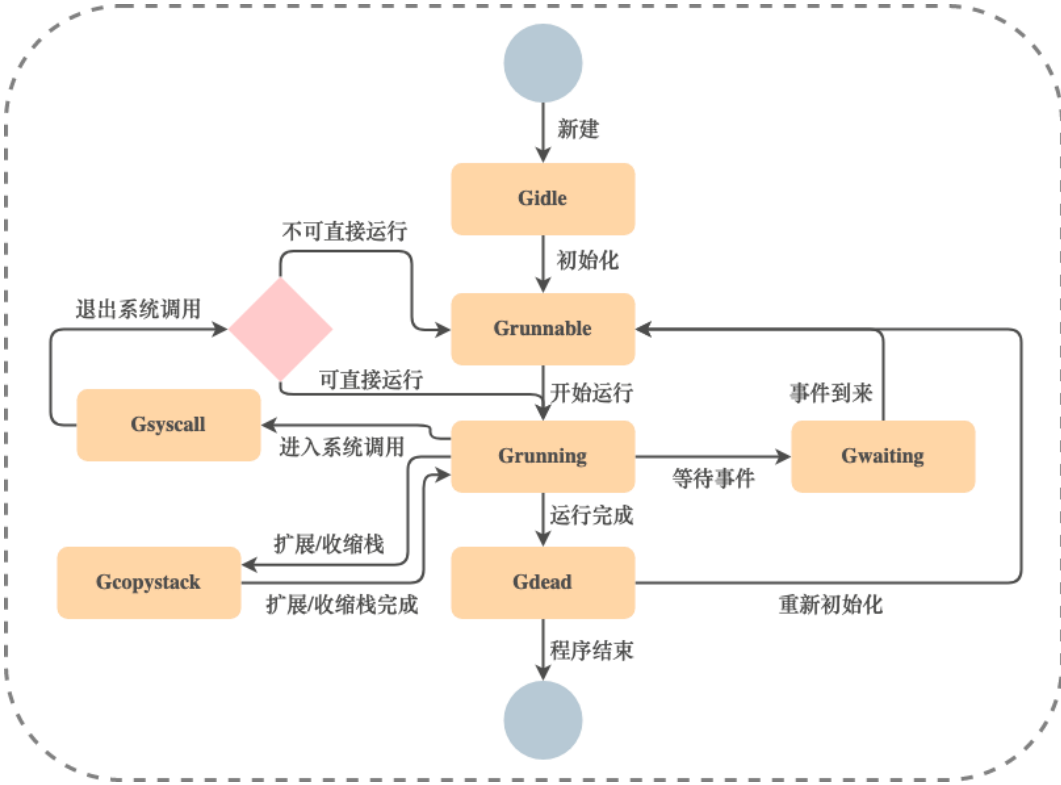
- 先于关系(happens-before):内存操作之间的偏序关系,所有的操作存在先于关系或者并发
- A导入了B, B的init函数先执行
- main package的init函数先于main函数执行
- go语句先于其创建的协程执行
- Unlock先于Lock
- 单个goroutine中满足程序次序

```
var c = make(chan int, 10)
var a string

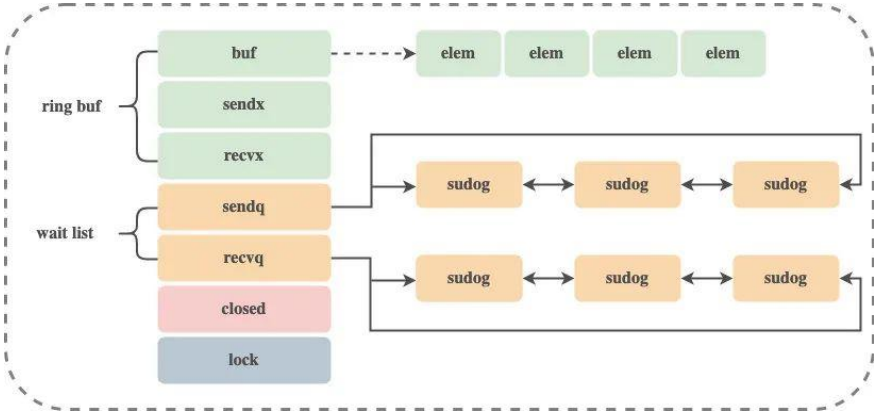
func f() {
    a = "hello, world"
    c <- 0
}

func main() {
    go f()
    <-c
    print(a)
}
```

深入理解后端编程语言并行技术—GO

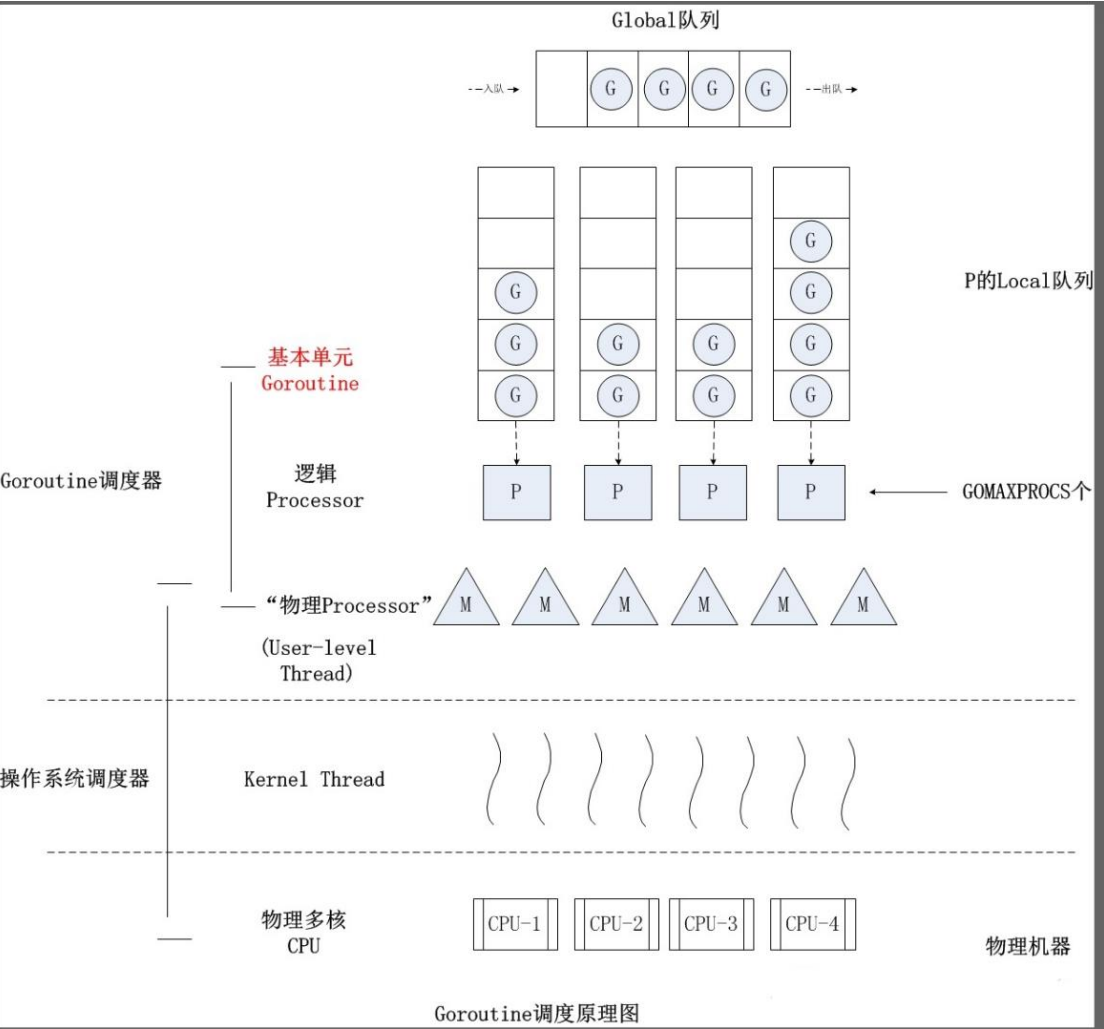


channel



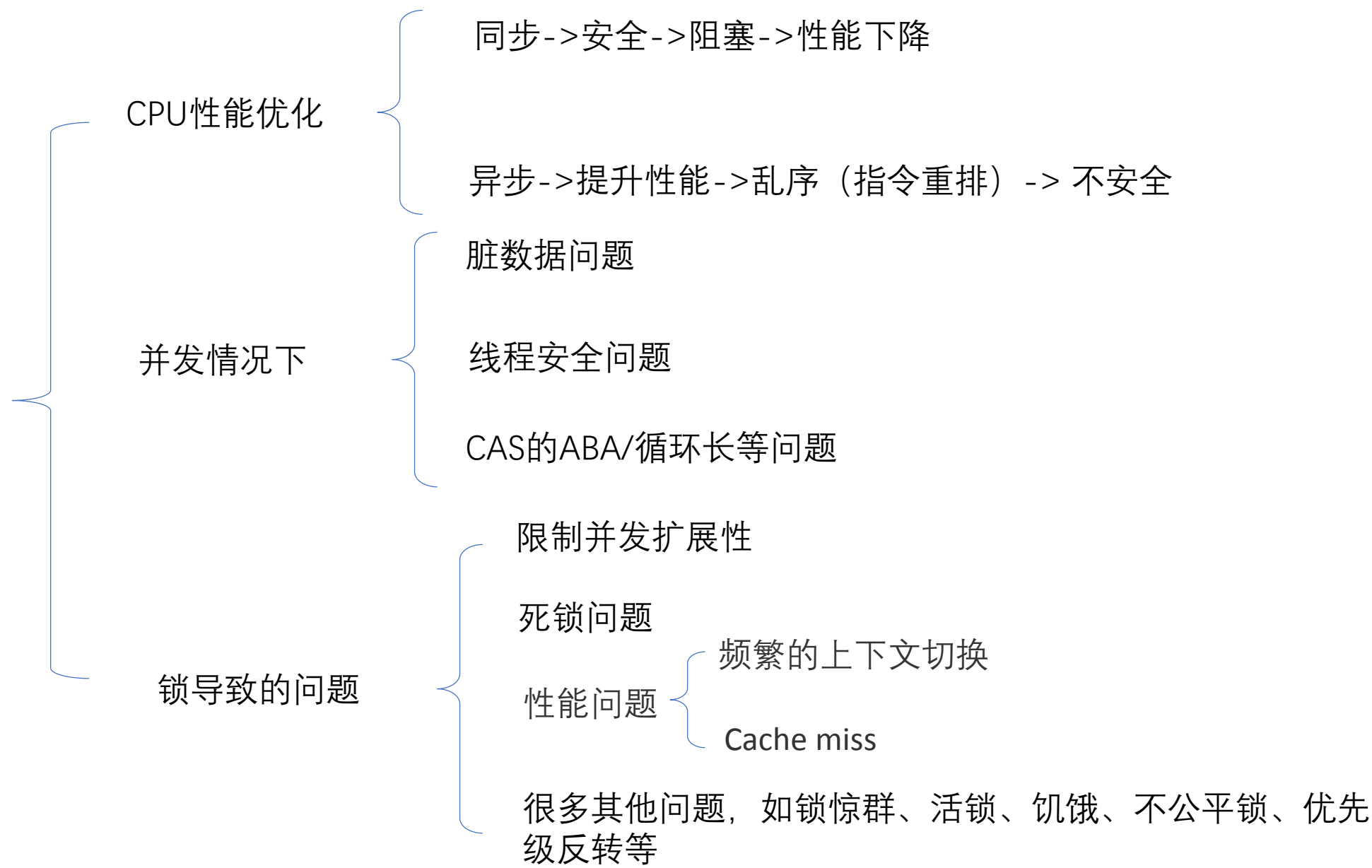
深入理解后端编程语言并行技术—GO

GPM调度模型



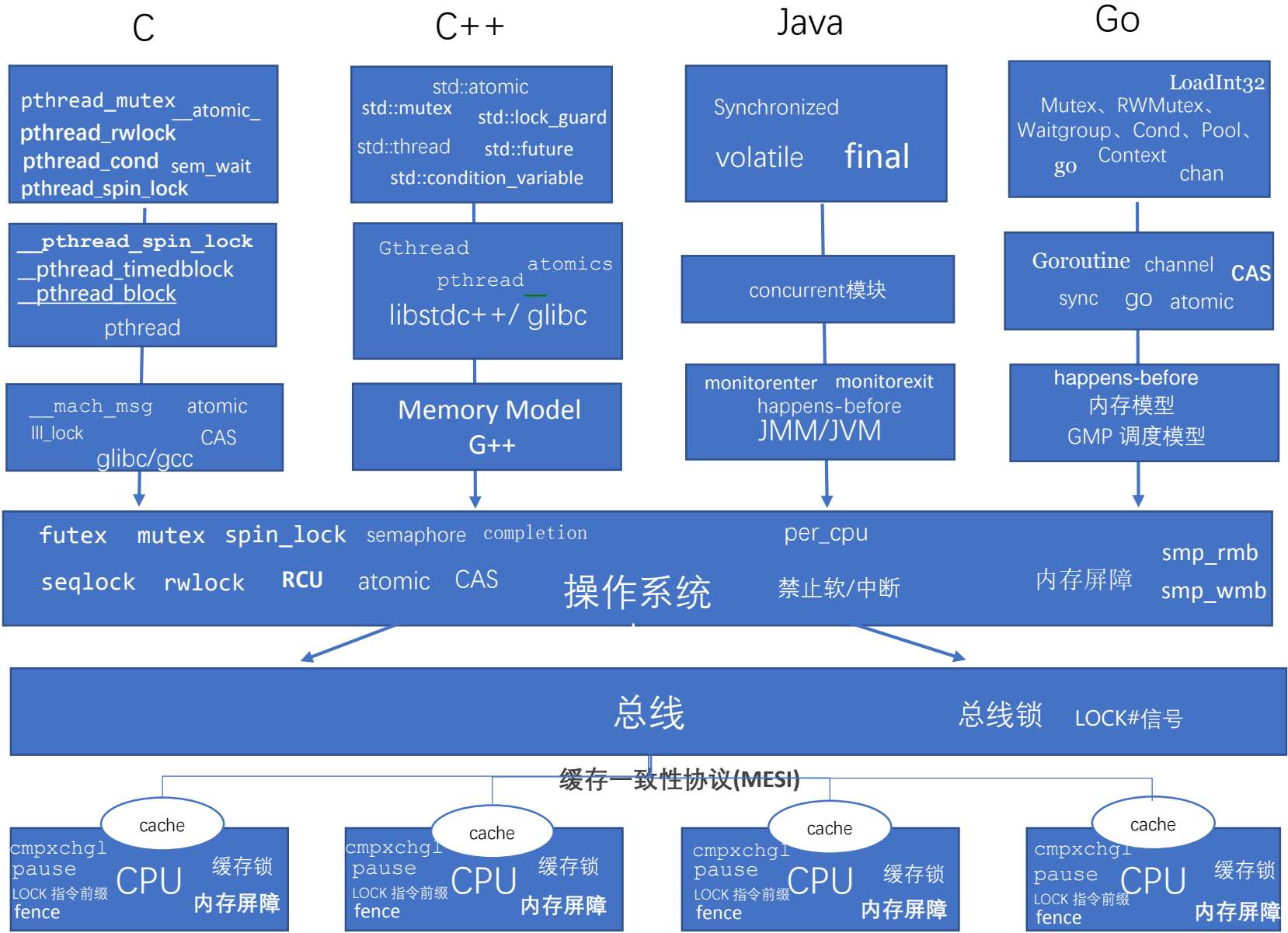
- 在 Go 中，线程是运行 goroutine 的实体，调度器的功能是把可运行的 goroutine 分配到工作线程上。
- **全局队列 (Global Queue)**：存放等待运行的 G。
- **P 的本地队列**：同全局队列类似，存放的也是等待运行的 G，存的数量有限，不超过 256 个。新建 G' 时，G' 优先加入到 P 的本地队列，如果队列满了，则会把本地队列中一半的 G 移动到全局队列。
- **P 列表**：所有的 P 都在程序启动时创建，并保存在数组中，最多有 GOMAXPROCS(可配置) 个。
- **M**：线程想运行任务就得获取 P，从 P 的本地队列获取 G，P 队列为空时，M 也会尝试从全局队列拿一批 G 放到 P 的本地队列，或从其他 P 的本地队列偷一半放到自己 P 的本地队列。M 运行 G，G 执行之后，M 会从 P 获取下一个 G，不断重复下去。
- **Goroutine 调度器**和 OS 调度器是通过 M 结合起来的，每个 M 都代表了 1 个内核线程，OS 调度器负责把内核线程分配到 CPU 的核上执行。

并发优化是把双刃剑—带来的问题如何解决



并发/并行问题技术大局观

公众号：极客重生



编程语言

标准库, 虚拟机, 编译器

操作系统

硬件



并行问题如何解决

cache coherence（缓存一致性协议）解决的是单一地址（单个变量）的写问题，可以使多核心对同一地址的写入序列化。

而memory consistency（内存一致性，内存模型）说的是不同地址（多个变量）的读写的顺序问题。即全局视角对读写的观测顺序问题。

不同内存地址读写的可见性问题，要解决（内存一致性，内存模型）的问题，需要使用memory barrier（**内存屏障**）之类的接口。

内存屏障：保证多个变量读写顺序符合预期

smb_wmb()：写内存屏障，刷新store buffer，同时限制编译器和CPU的乱序优化；

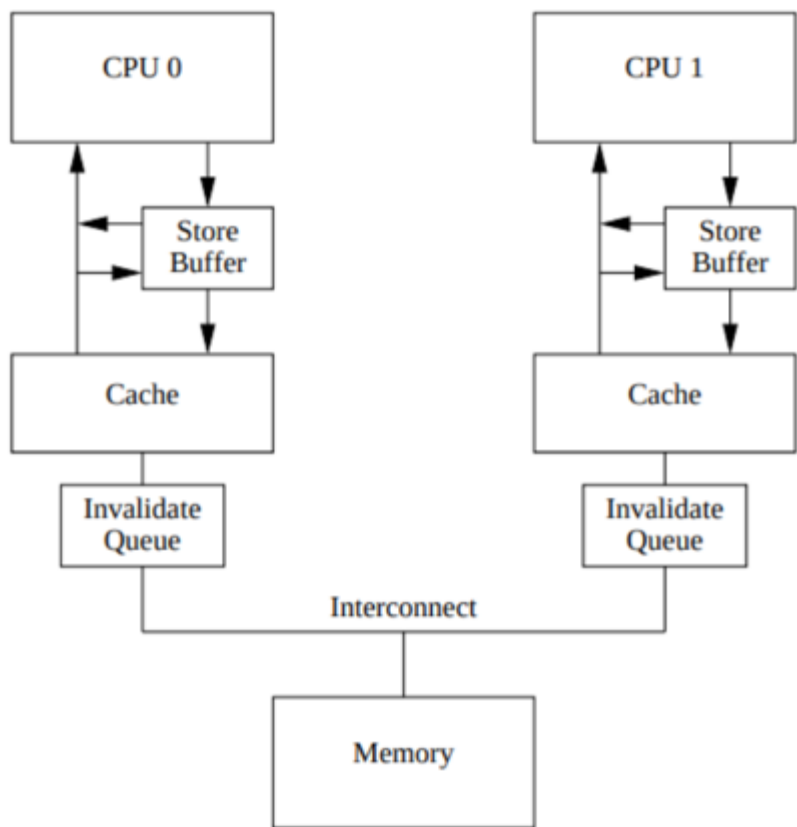
smb_rmb()：读内存屏障，刷新invalidate queue，同时限制编译器和CPU的乱序优化；

smb_mb()：读写内存屏障，同时刷新store buffer和invalidate queue，同时限制编译器和CPU的乱序优化；保证多个变量读写顺序符合预期

处理器并行导致乱序问题如何解决

被动：为了异步化指令的执行，引入Store Buffer和Invalidate Queue，却导致了「指令顺序改变」的副作用。

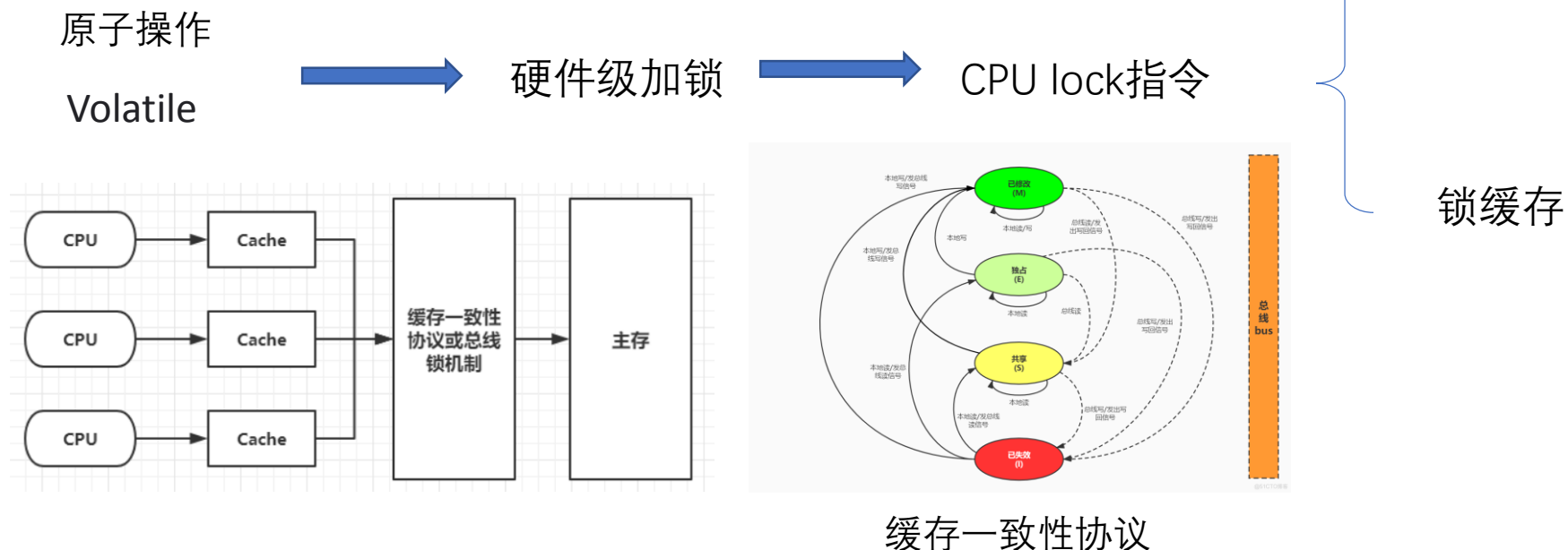
主动：编译优化，会造成乱序；分支预测、多流水线等CPU硬件优化技术，会造成乱序；



- store buffer模块改善cache write由于应答延迟而造成的写停顿问题；
- invalidate queue模块改善使无效应答的时延，把使无效命令放入queue后就立即发送应答；
- store buffer引起的延迟处理，会造成乱序；
- invalidate queue引起的延迟处理，会造成乱序；
- 如何解决Store Buffer和Invalidate Queue带来的乱序问题？
- Read Memory Barrier：
 - flush invalidate queue
 - all loads preceding the barrier -> loads following the barrier
- Write Memory Barrier：
 - flush store buffer
 - all stores preceding the barrier -> stores following the barrier

CPU->cache->MESI->Store Buffer->Store Forwarding->写屏障指令->Invalidate Queue->内存屏障（软件层面）

并行问题如何解决



锁总线：

具体方法是，一旦遇到了Lock指令，就由仲裁器选择一个核心独占总线。其余的CPU核心不能再通过总线与内存通讯。从而达到“原子性”的目的。这种方式的确能解决问题，但是非常不高效。为了个原子性结果搞得其他CPU都不能干活了。

锁缓存：

相比总线锁，缓存锁即降低了锁的力度。核心机制是基于缓存一致性协议来实现的。

MESI（缓存一致性协议）大致的意思是：若干个CPU核心通过ringbus连到一起。每个核心都维护自己的Cache的状态。如果对于同一份内存数据在多个核里都有cache，则状态都为S（shared）。一旦有一核心改了这个数据（状态变成了M），其他核心就能瞬间通过ringbus感知到这个修改，从而把自己的cache状态变成I（Invalid），并且从标记为M的cache中读过来。

同时，这个数据会被原子的写回到主存。最终，cache的状态又会变为S。这相当于给cache本身单独做了一套总线，避免了真的锁总线，相比总线锁，缓存锁即降低了锁的力度，一致性协议核心就是同步各个CPU的cache 和分布式一致性同步各个节点数据类似：

详细介绍：<https://www.cnblogs.com/xiaolincoding/p/13886559.html>

并发/并行编程技术

并发编程中主要需要解决两个问题：

- 多线程
- 多进程
- 多核编程
- 无锁编程
- 并行编程框架：
 - MPI
 - OpenCL
 - CUDA

1. 线程之间如何通信

2. 线程之间如何完成同步