

# Architecture des ordinateurs

## Partiel 1

Nom : ..... Prénom : ..... Classe : ..... Durée : 1h30

### Exercice 1 (3 points)

Soit les deux montages ci-dessous dont les composants sont considérés parfaits :

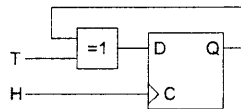


Figure 1

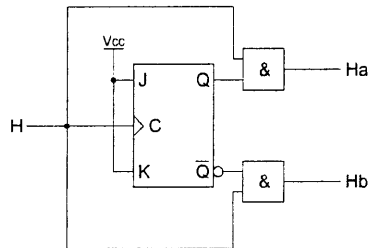
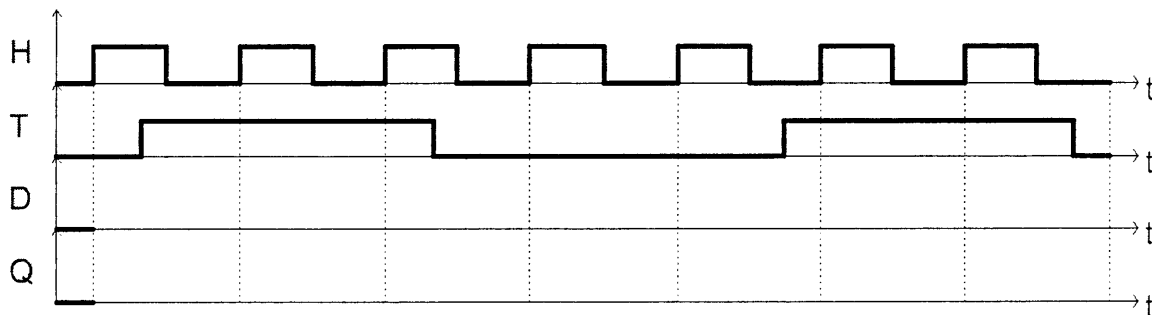
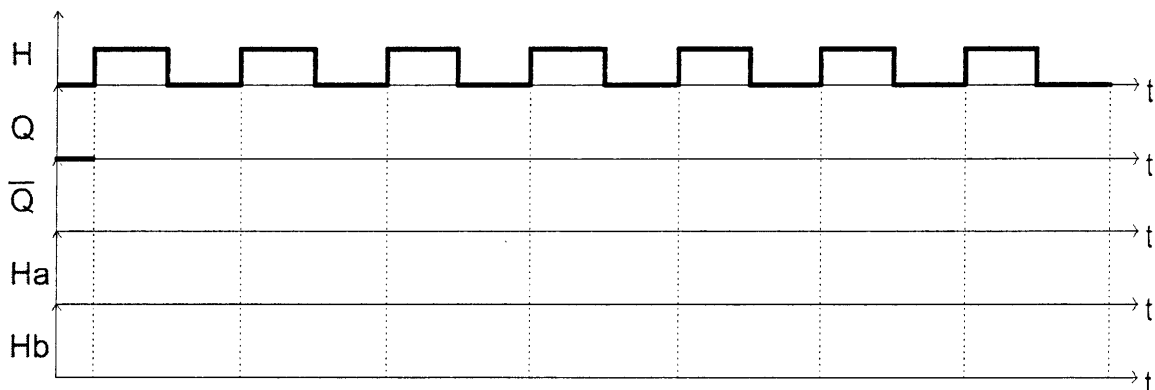


Figure 2

1. Remplissez le chronogramme suivant correspondant à la figure 1 :



2. Remplissez le chronogramme suivant correspondant à la figure 2 :



**Exercice 2 (4 points)**

1. Donnez, sous la forme d'un tableau, les représentations possibles d'un nombre flottant en fonction des champs E et M.
2. En justifiant vos calculs, démontrez que le plus petit flottant, en valeur absolue, du format simple précision à mantisse dénormalisée, peut s'écrire sous la forme :  $2^n$ .  
(Vous indiquerez clairement la valeur numérique de n.)
3. En justifiant vos calculs, démontrez que le plus grand flottant, du format simple précision à mantisse dénormalisée, peut s'écrire sous la forme :  $(1 - 2^{n_1}) \cdot 2^{n_2}$ .  
(Vous indiquerez clairement la valeur numérique de n1 et de n2.)

**Exercice 3 (3,5 points)**

1. Si on double le nombre de fils du bus de donnée d'une mémoire, par combien a été multipliée la profondeur de cette mémoire ?
2. Si on ajoute deux fils au bus d'adresse d'une mémoire et que l'on triple le nombre de fils de son bus de donnée, par combien a été multipliée la capacité en bits de cette mémoire ?
3. On dispose de 16 RAM de 4 Mbits ayant un bus de donnée de 4 bits. Donnez la largeur et la profondeur de toutes les mémoires réalisables avec les différentes combinaisons d'assemblage (série et/ou parallèle) de ces RAM (dans chaque cas, les 16 RAM seront utilisées).

**Exercice 4 (5,5 points)**

On dispose d'une mémoire vive (RAM) de 256 Mo, d'une mémoire morte (ROM) de 64 Mo et de deux périphériques ( $P_1$  et  $P_2$ ) adressables respectivement sur 32 Ko et 1 Ko. On désire les rendre accessibles à un microprocesseur via les bus d'adresse (32 bits : de  $A_0$  à  $A_{31}$  avec  $A_0$  comme bit de poids faible), de donnée (8 bits) et de commande (dont le signal *Address Strobe*). Les mémoires et les périphériques sont compatibles en largeur avec le microprocesseur. La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM et les deux périphériques.

1. Donnez la taille du bus d'adresse de chaque mémoire et de chaque périphérique.
2. Est-il possible de réaliser un décodage de type linéaire ?

*Pour tout le reste de l'exercice, c'est le mode zone qui est utilisé avec le moins de zones possibles.*

3. Donnez les bits d'adresse qui serviront au décodage avec les combinaisons associées aux différents composants ?
4. Donnez la fonction de décodage.
5. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables (vous donnerez les adresses en représentation hexadécimale à 8 chiffres).
6. Quelle est la redondance des différents composants ?

**Exercice 5 (4 points)**

**Questions de cours :**

**Architecture externe d'une mémoire**

1. Donnez, en précisant leurs rôles, les quatre signaux principaux contenus dans le bus de commande (ou de contrôle). Lesquels sont des entrées ? Lesquels sont des sorties ?

**Le microprocesseur 68000**

2. Le 68000 est un microprocesseur 16 bits. Qu'est-ce-que cela signifie ?
3. Quels sont les types de données que peut utiliser le 68000 ?
4. Quelle est la particularité des mémoires utilisées par le 68000 ?