

Partiel 1

Architecture des ordinateurs

Durée : 1 h 30

Exercice 1 (2 points)

1. Convertissez, **en détaillant chaque étape**, le nombre $163,5625$ dans le format flottant IEEE 754 **simple précision**. Vous exprimerez le résultat final sous forme binaire, **en précisant chacun des champs**.
2. Donnez, **en détaillant au maximum**, la représentation associée au nombre ci-après. Ce nombre est codé au format flottant IEEE 754 **double précision** : $7FF0\ 0000\ 0000\ 0000_{16}$

Exercice 2 (2 points)

Soit les quatre figures ci-dessous :

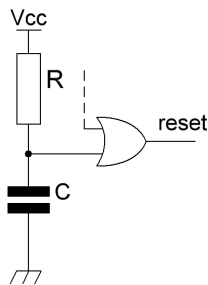


Figure 1

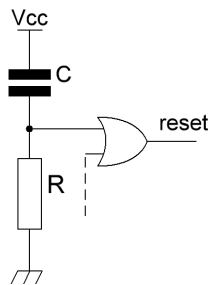


Figure 2

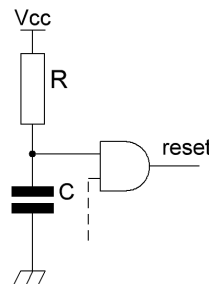


Figure 3

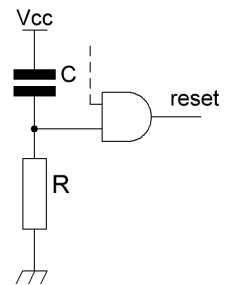


Figure 4

1. Lors d'une mise sous tension, on souhaite obtenir un **état haut** sur le *reset* pendant un court laps de temps. Choisissez la bonne figure parmi les quatre.
2. Lors d'une mise sous tension, on souhaite obtenir un **état bas** sur le *reset* pendant un court laps de temps. Choisissez la bonne figure parmi les quatre.

Exercice 3 (5 points)

Soit les deux figures ci-dessous :

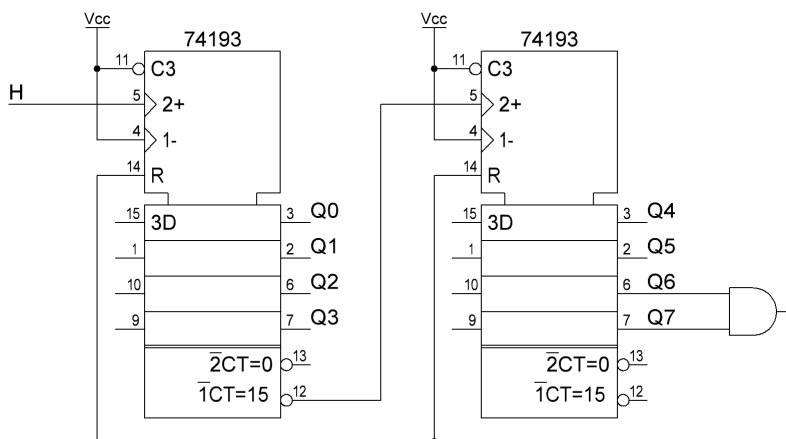


Figure 1

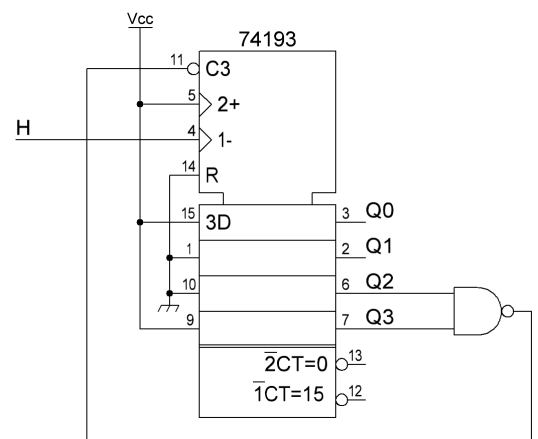


Figure 2

- La [documentation technique](#) du 74193 est fournie en annexes.
 - Les entrées **H** sont des entrées d'horloge.
 - Le montage de la figure 1 possède 8 sorties : de **Q0** à **Q7** (**Q0** étant le bit de poids faible).
 - Le montage de la figure 2 possède 4 sorties : de **Q0** à **Q3** (**Q0** étant le bit de poids faible).
 - Toutes les questions de cet exercice sont indépendantes.
1. Que réalise le montage de la figure 1 ?
 2. Que réalise le montage de la figure 2 ?
 3. Câblez les bascules présentes sur le [document réponse](#) afin de réaliser un **décompteur asynchrone modulo 13**. Les bascules sont synchronisées sur fronts montants. Elles possèdent des entrées *set* et *reset* actives à l'état bas. Vous disposez de toutes les portes logiques nécessaires.

Exercice 4 (5 points)

On désire réaliser une ROM2 de 16 Kib avec un bus de donnée de 8 bits, à l'aide de plusieurs ROM1 de 4 Kib ayant un bus de donnée de 4 bits.

1. Donnez le nombre de fils du bus d'adresse de la ROM1.
2. Donnez le nombre de fils du bus d'adresse de la ROM2.
3. Combien de mémoires doit-on assembler en série ?
4. Combien de mémoires doit-on assembler en parallèle ?
5. Combien de bits d'adresse vont servir à déterminer le **CS** de chaque ROM ?
6. Dessinez le schéma de câblage sur le [document réponse](#) (vous détaillerez le nombre de fils pour chaque bus et vous numéroterez les mémoires ROM1).
7. Quelles sont les mémoires ROM1 actives lors de l'accès en lecture à l'adresse $4B5_{16}$?

Exercice 5 (3 points)

On dispose d'une mémoire morte (ROM) possédant 12 fils d'adresse, d'une mémoire vive (RAM) possédant 10 fils d'adresse et de deux périphériques (P1 et P2) possédant respectivement 8 et 5 fils d'adresse. On désire les rendre accessibles à un microprocesseur via les bus d'adresse (16 fils), de donnée (8 fils) et de commande (dont le signal *Address Strobe*). Les mémoires et les périphériques possèdent un bus de donnée de 8 fils. La ROM sera située dans les adresses les plus faibles, viendront ensuite la RAM, P1 et P2. Pour tout l'exercice, c'est le mode zone qui sera utilisé avec le moins de zones possible.

1. Donnez les bits d'adresse qui serviront au décodage.
2. Donnez la fonction de décodage (équations du **CS** de chaque composant).
3. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables.
4. Est-il possible de réaliser un décodage de type linéaire ?

Exercice 6 (3 points)

Architecture externe d'une mémoire :

1. Donner, en précisant leurs rôles, les quatre signaux principaux contenus dans le bus de commande (ou de contrôle). Lesquels sont des entrées ? Lesquels sont des sorties ?

Le microprocesseur 68000 :

2. Le 68000 est un microprocesseur 16 bits. Qu'est-ce que cela signifie ?
3. Quelle est la particularité des mémoires utilisées par le 68000 ?

Presetable synchronous 4-bit binary up/down counter

74HC/HCT193

FEATURES

- Synchronous reversible 4-bit binary counting
- Asynchronous parallel load
- Asynchronous reset
- Expandable without external logic
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT193 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT193 are 4-bit synchronous binary up/down counters. Separate up/down clocks, CP_U and CP_D respectively, simplify operation. The outputs change state synchronously with the LOW-to-HIGH transition of either clock input. If the CP_U clock is pulsed while CP_D is held HIGH, the device will count up. If the CP_D clock is pulsed while CP_U is held HIGH, the device will count down. Only one clock input can be held HIGH at any time, or erroneous operation will result. The device can be cleared at any time by the asynchronous master reset input (MR); it may also be loaded in parallel by activating the asynchronous parallel load input (\overline{PL}).

The "193" contains four master-slave JK flip-flops with the necessary steering logic to provide the asynchronous reset, load, and synchronous count up and count down functions.

Each flip-flop contains JK feedback from slave to master, such that a LOW-to-HIGH transition on the CP_D input will decrease the count by one, while a similar transition on the CP_U input will advance the count by one.

One clock should be held HIGH while counting with the other, otherwise the circuit will either count by two's or not at all, depending on the state of the first flip-flop, which cannot toggle as long as either clock input is LOW.

Applications requiring reversible operation must make the reversing decision while the activating clock is HIGH to avoid erroneous counts.

The terminal count up ($\overline{TC_U}$) and terminal count down ($\overline{TC_D}$) outputs are normally HIGH. When the circuit has reached the maximum count state of 15, the next HIGH-to-LOW transition of CP_U will cause $\overline{TC_U}$ to go LOW.

$\overline{TC_U}$ will stay LOW until CP_U goes HIGH again, duplicating the count up clock.

Likewise, the $\overline{TC_D}$ output will go LOW when the circuit is in the zero state and the CP_D goes LOW. The terminal count outputs can be used as the clock input signals to the next higher order circuit in a multistage counter, since they duplicate the clock waveforms. Multistage counters will not be fully synchronous, since there is a slight delay time difference added for each stage that is added.

The counter may be preset by the asynchronous parallel load capability of the circuit. Information present on the parallel data inputs (D_0 to D_3) is loaded into the counter and appears on the outputs (Q_0 to Q_3) regardless of the conditions of the clock inputs when the parallel load (\overline{PL}) input is LOW. A HIGH level on the master reset (MR) input will disable the parallel load gates, override both clock inputs and set all outputs (Q_0 to Q_3) LOW. If one of the clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that clock will be interpreted as a legitimate signal and will be counted.

Presettable synchronous 4-bit binary up/down counter

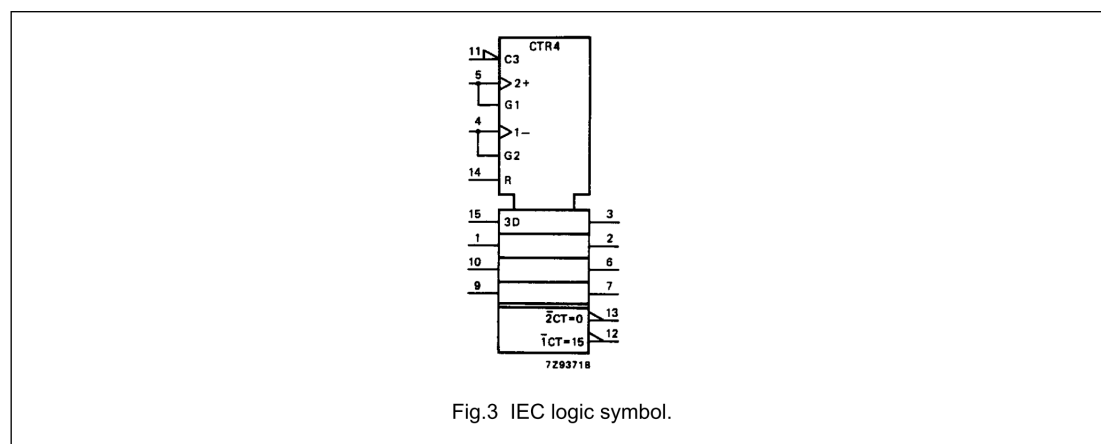
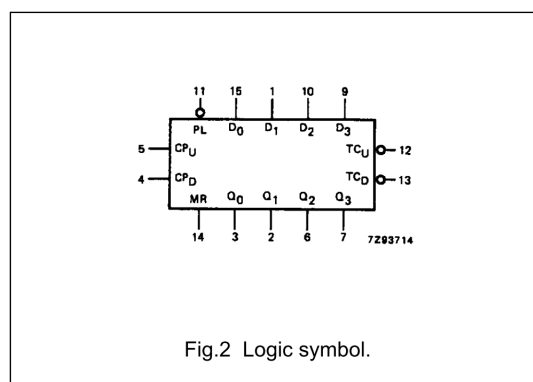
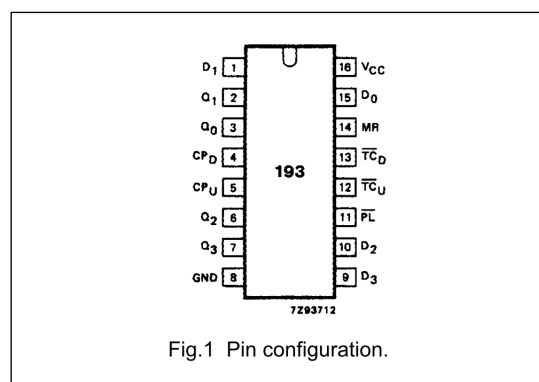
74HC/HCT193

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	CP_D	count down clock input ⁽¹⁾
5	CP_U	count up clock input ⁽¹⁾
8	GND	ground (0 V)
11	\overline{PL}	asynchronous parallel load input (active LOW)
12	$\overline{TC_U}$	terminal count up (carry) output (active LOW)
13	$\overline{TC_D}$	terminal count down (borrow) output (active LOW)
14	MR	asynchronous master reset input (active HIGH)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage

Note

1. LOW-to-HIGH, edge triggered



Presettable synchronous 4-bit binary up/down counter

74HC/HCT193

FUNCTION TABLE

OPERATING MODE	INPUTS								OUTPUTS					
	MR	$\overline{\text{PL}}$	CP_U	CP_D	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3	$\overline{\text{TC}}_\text{U}$	$\overline{\text{TC}}_\text{D}$
reset (clear)	H	X	X	L	X	X	X	X	L	L	L	L	H	L
	H	X	X	H	X	X	X	X	L	L	L	L	H	H
parallel load	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	H	H	H	H	H	H	H	L	H
	L	L	H	X	H	H	H	H	H	H	H	H	H	H
count up	L	H	\uparrow	H	X	X	X	X	count up				$\text{H}^{(2)}$	H
count down	L	H	H	\uparrow	X	X	X	X	count down				H	$\text{H}^{(3)}$

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care
 \uparrow = LOW-to-HIGH clock transition
2. $\overline{\text{TC}}_\text{U}$ = CP_U at terminal count up (HHHH)
3. $\overline{\text{TC}}_\text{D}$ = CP_D at terminal count down (LLLL)

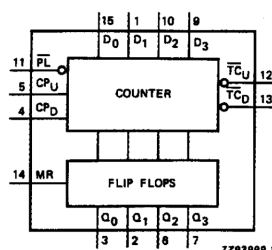
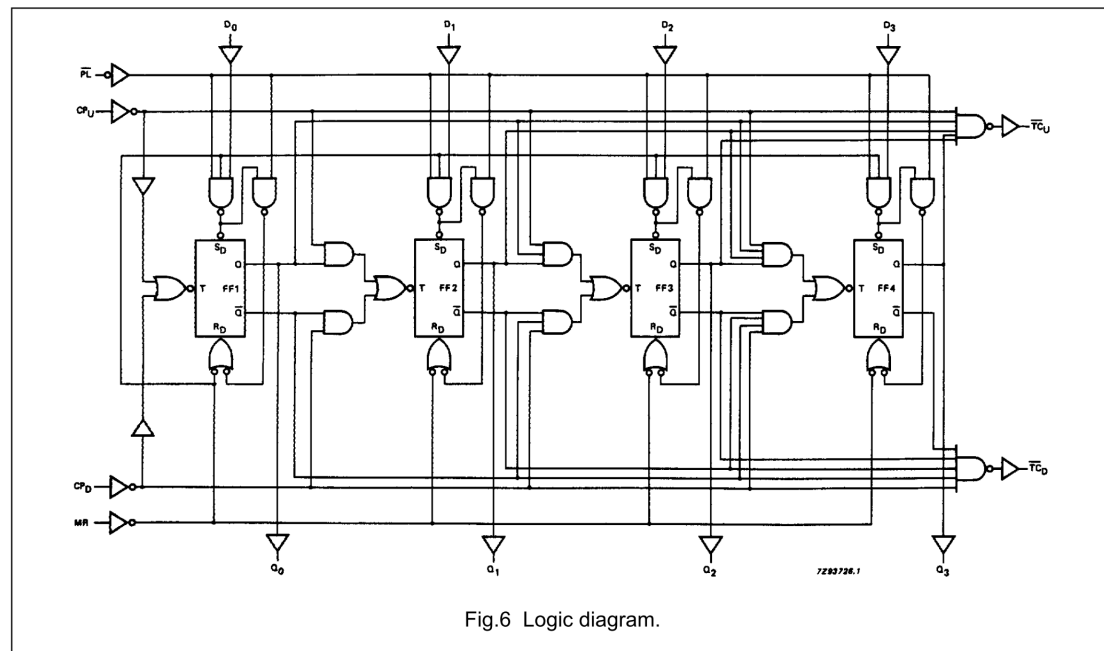
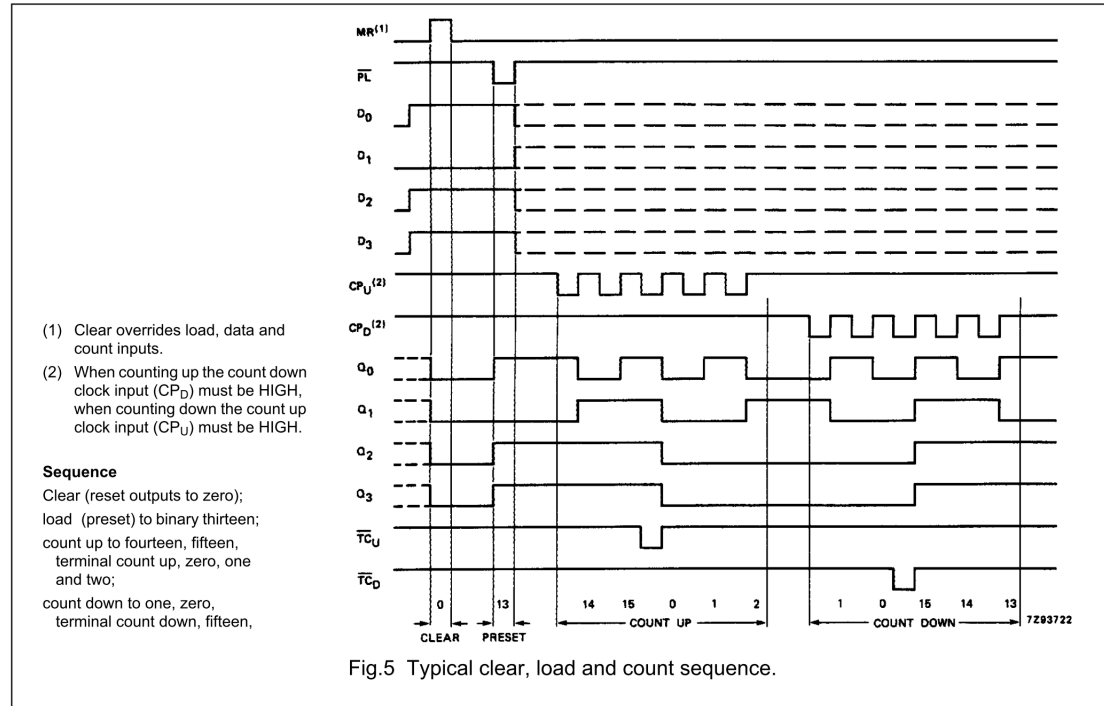


Fig.4 Functional diagram.

Presettable synchronous 4-bit binary up/down counter

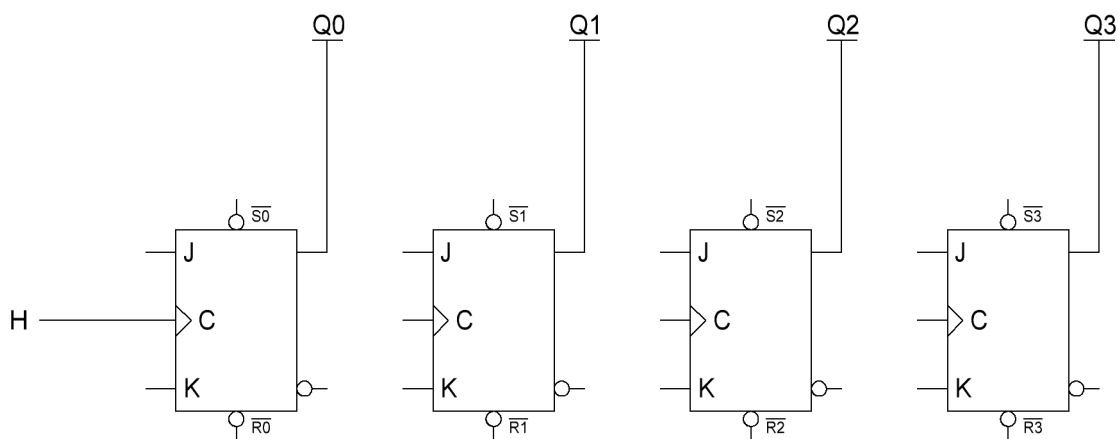
74HC/HCT193



Nom : Prénom : Classe :

DOCUMENT RÉPONSE À RENDRE AVEC LA COPIE

Exercice 3



Exercice 4

Schéma de câblage de la ROM2