

# Les transistors à effet de champ

## Preliminaires

Les transistors bipolaires, bien que toujours très utiles en électronique, sont malgré tout caractérisés par un certain nombre de défauts, comme leur faible impédance d'entrée et le fait qu'on puisse les considérer comme des sources de courant commandées en courant.

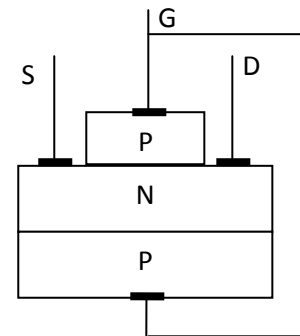
Il existe une autre famille de transistor qui, eux, présentent l'avantage de présenter une très forte impédance d'entrée et dont l'état dépend d'une tension, et non d'un courant, ce qui fait d'eux des sources de courant commandées en tension. Ce sont les transistors à effet de champ.

## I. Les transistors à effet de champ à jonction

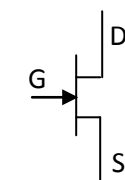
Acronymes : JFET (Junction Field Effect Transistor)  
TEC (Transistor à Effet de Champ)

Un JFET est constitué d'un "canal" de silicium dopé et de deux zones dopées différemment qui l'entourent. Ces deux zones sont reliées entre elles et forment la Grille (G) du transistor. Deux contacts déposés sur le canal forment son Drain (D) et sa Source (S)

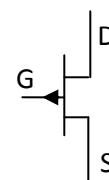
Le dessin ci-contre représente un JFET Canal N.



Symboles :



JFET Canal N



JFET Canal P

## II. Caractéristiques des transistors à effet de champ

Prenons l'exemple d'un JFET Canal N.

Principe de fonctionnement : Le canal N, entre le drain et la source, constitue un dipôle qui sera conducteur<sup>1</sup> selon la valeur de la tension  $v_{GS}$  appliquée entre la grille et la source. E, effet, la présence d'une ddp négative entre la grille et la source crée un effet électrostatique dans le canal.

On a :

- Si  $V_C \leq V_{GS} \leq 0$  : Canal Drain-Source conducteur
- Si  $V_{GS} \leq V_C$  : Canal Drain-Source bloqué.

La tension  $V_C$  est une caractéristique du transistor. On l'appelle la tension de blocage. Pour un JFET Canal N, elle est de l'ordre de  $-5V$ .

Lorsque le transistor est conducteur, il peut présenter deux types de fonctionnement selon la tension  $V_{DS}$  entre le Drain et la Source.

- Si  $0 \leq V_{DS} \leq V_P$ , le canal Drain-Source se comporte comme une résistance. Le courant de drain est proportionnel à  $V_{DS}$ . Le facteur de proportionnalité est appelée résistance du canal  $R_{DS}$ , et dépend de la tension  $V_{GS}$ .

On dit que le transistor fonctionne dans sa zone résistive ou ohmique.

- Si  $V_{DS} \geq V_P$ , le courant  $I_D$  devient quasiment constant et indépendant de  $V_{DS}$ .

On dit que le transistor fonctionne dans sa zone linéaire, car les variations de  $I_D$  sont proportionnelles à  $V_{GS}$ .

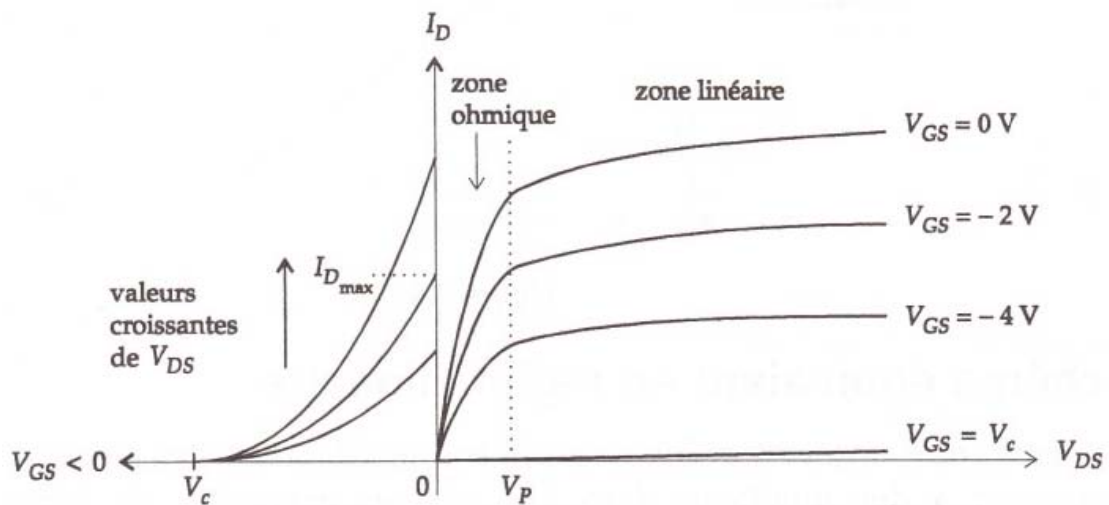
La tension  $V_P$  est appelée tension de pincement du transistor. Elle est de l'ordre de 2 à 3V pour un JFET Canal N.

---

<sup>1</sup> Canal drain-source conducteur : il existe un courant noté  $I_D$ , appelé courant de drain (même s'il sera aussi le courant de source) qui circule entre D et S.

De plus, pour une valeur de  $V_{DS}$  donnée, le courant de drain varie en fonction de la tension  $V_{GS}$  selon la loi :  $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_c}\right)^2$ . Le courant  $I_{DSS}$ , aussi noté  $I_{D_{max}}$ , est une fonction croissante de  $V_{DS}$ .

L'ensemble du fonctionnement d'un JFET Canal N est résumé sur le réseau de caractéristiques suivant. Le transistor apparaît bien comme un dipôle commandé par la tension  $V_{GS}$ .



(GRANJON, 1998)

Pour un transistor Canal P, le principe de fonctionnement reste le même, à ceci près que tous les signes des courants et tensions doivent être inversés.

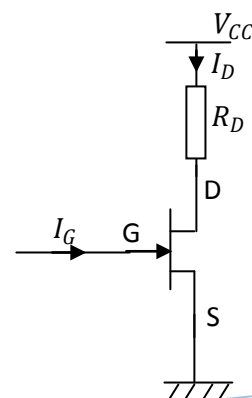
### III. Polarisation des JFET

**RAPPEL** : Polariser un transistor = le placer dans un montage de telle sorte que son point de fonctionnement soit situé dans sa zone de fonctionnement linéaire.

Il faut donc avoir  $V_{DS} \geq V_P$ .

Ex: Polarisation par résistance de drain.

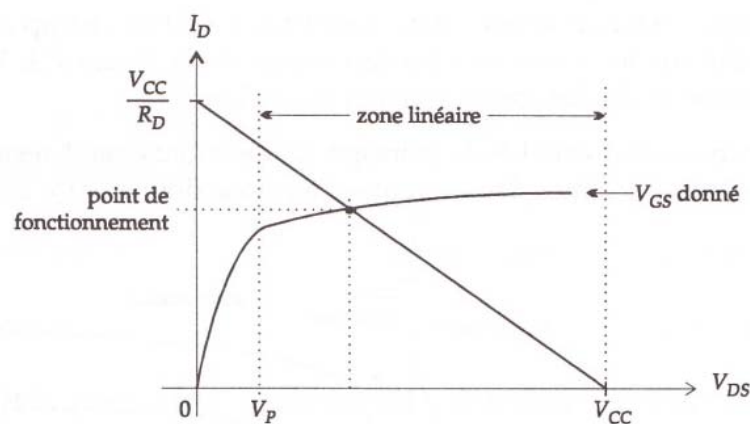
Rq : L'impédance d'entrée du transistor étant très élevée, le courant de Grille du transistor est très faible. Il est, la plupart du temps, négligé.



Si  $V_{GS}$  est donné, la caractéristique  $I_D = f(V_{DS})$  est entièrement déterminée parmi toutes les courbes du réseau de caractéristiques. (conditions internes)

De plus, l'application des lois de l'électronique (loi des mailles, loi d'Ohm) permet d'écrire :  $I_D = \frac{V_{CC} - V_{DS}}{R_D}$ . (conditions externes).

On trouve le point de fonctionnement en traçant la droite de charge et la caractéristique. Il correspond à l'intersection des deux courbes. Si on souhaite effectivement polariser le JFET dans sa zone linéaire, on choisira  $R_D$  de sorte que ce point soit tel que  $V_{DS} \geq V_P$ .



(GRANJON, 1998)

#### IV. Schéma équivalent en régime linéaire

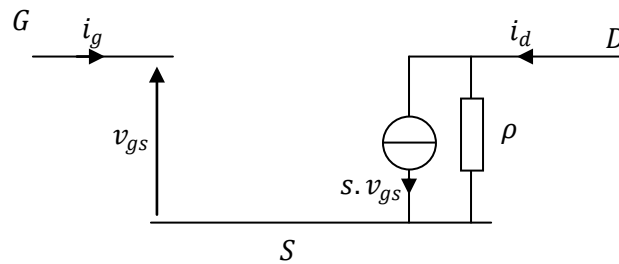
Comme pour le transistor bipolaire, le JFET est utilisé pour réaliser des amplificateurs. Dans ces montages, on exploite les propriétés de fonctionnement linéaire, comme la proportionnalité entre le courant de drain et la tension  $V_{GS}$ , qui met l'accent sur la particularité de ce transistor d'être parcouru par un courant commandé par une tension.

Supposons le transistor polarisé dans sa zone linéaire. Si on superpose un petit signal  $v_{gs}$  à la tension de polarisation  $V_{GS}$ , des variations  $i_d$  et  $v_{ds}$  apparaîtront alors autour des valeurs continues de polarisation  $I_D$  et  $V_{DS}$ .

On montre que :  $i_d = s \cdot v_{gs} + \frac{v_{ds}}{\rho}$  (Cette relation sera admise), avec :

- $s$  = pente dynamique du transistor = transconductance de l'ordre de  $10^{-3} S$  pour les JFET usuels
- $\rho$  = résistance dynamique de sortie du transistor, généralement considérée comme  $\infty$ .

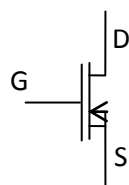
On obtient alors le schéma équivalent suivant :



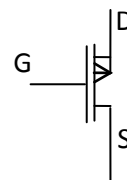
## V. Transistors MOS

Il existe de nombreuses variantes des JFET, destinés à des applications diverses. L'une d'entre elle rassemble les transistors à effet de champ appelés transistor MOS (Metal Oxyde Semi-conductors), ou encore MOSFET. Pour ces transistors, la grille est isolée du canal par une couche isolante d'oxyde de silicium. Le courant de grille est alors rigoureusement nul. Le principe de fonctionnement est sensiblement similaire à celui du JFET.

Comme précédemment, il existe deux types de MOSFET, les transistors MOS Canal N (MOSN) et les transistors MOS canal P (MOSP) dont les symboles sont donnés ci-dessous :



MOSN



MOSP

## VI. Transistors et Portes Logiques

### 1. Transistors en commutation

**RAPPEL** : Fonctionnement en commutation : passage de conducteur à bloqué et de bloqué à conducteur. Ce mode de fonctionnement est à la base de la réalisation des portes logiques.

Pour les transistors MOS, on a :

✓ MOSFET Canal N :

- Bloqué si  $V_{GS} = 0V$
- Conducteur si  $V_{GS} = 5V$

✓ MOSFET Canal P :

- Bloqué si  $V_{GS} = 0V$
- Conducteur si  $V_{GS} = -5V$

Un transistor bloqué est équivalent à un interrupteur ouvert entre le drain et la source, un transistor conducteur est équivalent à un interrupteur fermé entre le drain et la source.

Rq : Les temps de commutation ne sont pas nuls et sont à l'origine des temps de propagation des portes logiques.

## 2. Technologies : TTL/CMOS

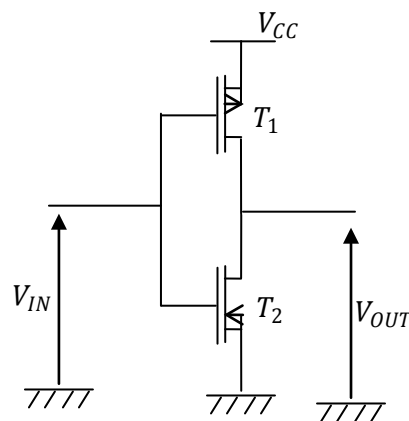
Les portes logiques TTL (Transistor Transistor Logic) sont fabriquées à l'aide de transistors bipolaires. Ces portes sont très gourmandes en énergie, en raison de la faible impédance d'entrée des transistors. De plus, ces derniers sont commandés par un courant, alors que les niveaux logiques sont représentés par des niveaux de tension. En revanche, ils sont rapides.

Les portes logiques CMOS (Complementary Metal Oxyde SemiConductor) sont à base de MOSFET, qui consomment très peu d'énergie (impédance d'entrée  $\infty$ ). Ils sont de plus commandés en tension. De plus, même s'ils réputés être plus lents que les transistors bipolaires, et grâce aux progrès technologiques, sont la plupart du temps suffisamment rapides pour la plupart des applications courantes de l'électronique numérique.

### 3. Exemples de portes en technologie CMOS

Pour analyser de tels circuits, il faut se demander si les transistors sont conducteurs ou non. Il faut donc exprimer pour chacun d'entre eux la tension  $V_{GS}$ , les tensions d'entrée étant égales soit à  $0V$ , soit à  $V_{CC}$  ( $= 5V$  ici).

#### a. Porte NON



$T_1$  est un MOSP,  $T_2$  est un MOSN.

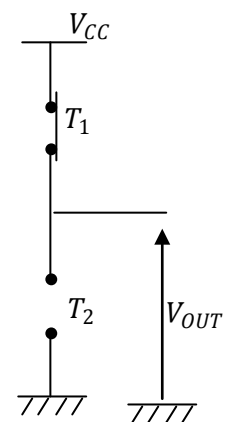
✓ Si  $V_{IN} = 0V$  :

- $T_1$  :  $V_{GS1} = V_{IN} - V_{CC} = -5V$  : le transistor est conducteur
- $T_2$  :  $V_{GS2} = V_{IN} - 0 = 0V$  : le transistor est bloqué

On peut alors redessiner un schéma équivalent en remplaçant les transistors par des interrupteurs. Ce qui donne :

Dans ce cas, la sortie est directement reliée au potentiel  $V_{CC}$ . On a donc :  $V_{OUT} = V_{CC}$ .

Rq : On peut remarquer que sur le schéma équivalent-interrupteurs que la grille n'apparaît plus. Cela n'est pas tout à fait vrai, puisque c'est le potentiel appliqué en  $G$  qui détermine l'état des transistors (conducteur ou bloqué)

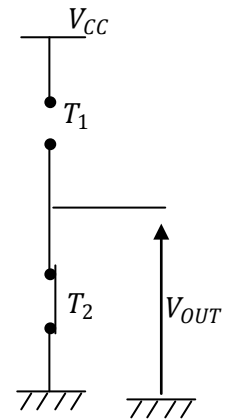


✓ Si  $V_{IN} = 5V$  :

- $T_1$  :  $V_{GS1} = V_{IN} - V_{CC} = 0V$  : le transistor est bloqué
- $T_2$  :  $V_{GS2} = V_{IN} - 0 = 5V$  : le transistor est conducteur.

On peut alors redessiner un schéma équivalent en remplaçant les transistors par des interrupteurs. Ce qui donne :

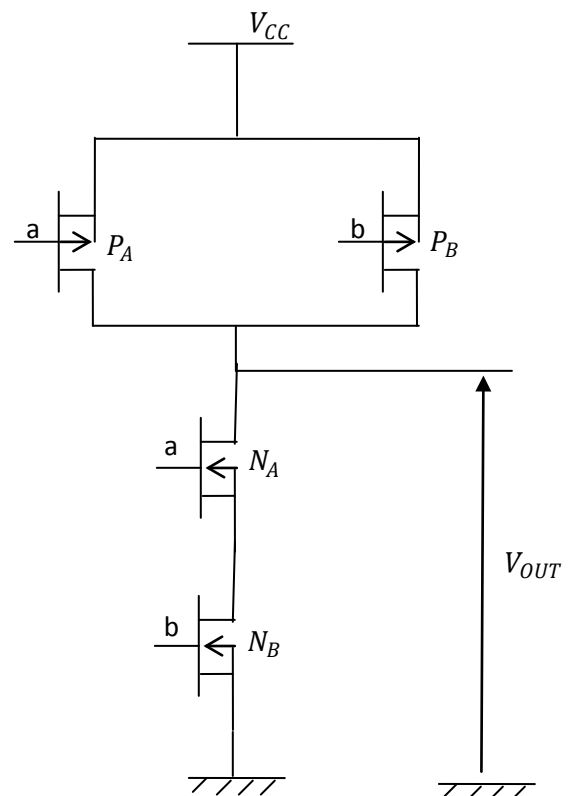
Dans ce cas, la sortie est directement reliée à la masse. On a donc :  $V_{OUT} = 0V$ .



#### b. Porte NAND

On pourrait raisonner de la même façon que précédemment pour déterminer la tension de sortie en fonction des tensions  $V_a$  et  $V_b$  appliquées sur les entrées  $a$  et  $b$  des transistors.

Il y a cependant des méthodes plus rapides. Tout d'abord, si on observe bien le schéma, on peut remarquer qu'il y a un étage comprenant uniquement des transistors MOSP et un second comprenant uniquement des transistors MOSN. De plus, on voit que, si les MOSP sont en parallèle, les MOSN sont en série. Les deux étages sont complémentaires. Cette complémentarité assure une sortie complètement définie. Ainsi, si l'étage MOSP n'est pas conducteur, l'étage MOSN le sera et inversement.



Il suffit alors d'étudier une seule partie du montage. Par exemple, ici, la sortie sera reliée à  $V_{CC}$  si  $P_A$  ou  $P_B$  est conducteur. On sait qu'un MOSP est conducteur



si sa tension  $V_{GS}$  est égale à  $-5V$ . Il faut donc  $V_a = V_b = 0V$ . Ce qui nous permet d'établir l'équation suivante :  $S = \bar{a} + \bar{b} = \overline{a.b}$ , soit l'équation d'une NAND.

c. Porte NOR

On peut ainsi concevoir une porte NOR en raisonnant comme précédemment. On obtient le schéma suivant :

