



### **Exercice 2 (4,5 points)**

On désire réaliser une RAM<sub>2</sub> de 8 Kbits avec un bus de donnée de 16 bits, à l'aide de plusieurs RAM<sub>1</sub> de 1 Kbits ayant un bus de donnée de 8 bits.

1. Donnez le nombre de fils du bus d'adresse de la RAM<sub>1</sub>.

1 Kbits / 8 bits = 128 mots de 8 bits =  $2^7$  mots de 8 bits.

La RAM<sub>1</sub> possède **7 fils d'adresse**.

2. Donnez le nombre de fils du bus d'adresse de la RAM<sub>2</sub>.

8 Kbits / 16 bits = 512 mots de 16 bits =  $2^9$  mots de 16 bits.

La RAM<sub>2</sub> possède **9 fils d'adresse**.

3. Combien de mémoire doit-on assembler en série ?

On passe d'une profondeur de 128 mots à une profondeur de 512 mots.

Il faut assembler **quatre mémoires** en série.

4. Combien de mémoire doit-on assembler en parallèle ?

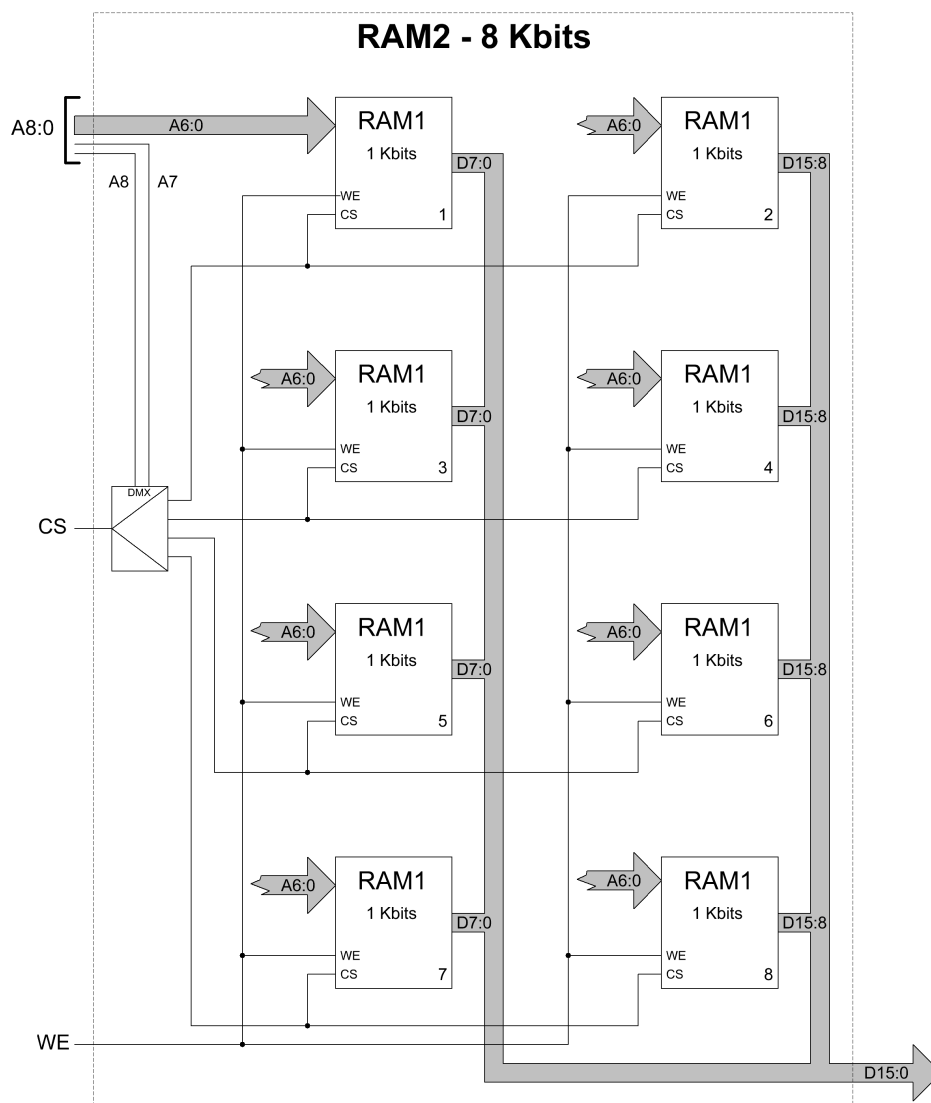
On passe d'une largeur de 8 bits à une largeur de 16 bits.

Il faut assembler **deux mémoires** en parallèle.

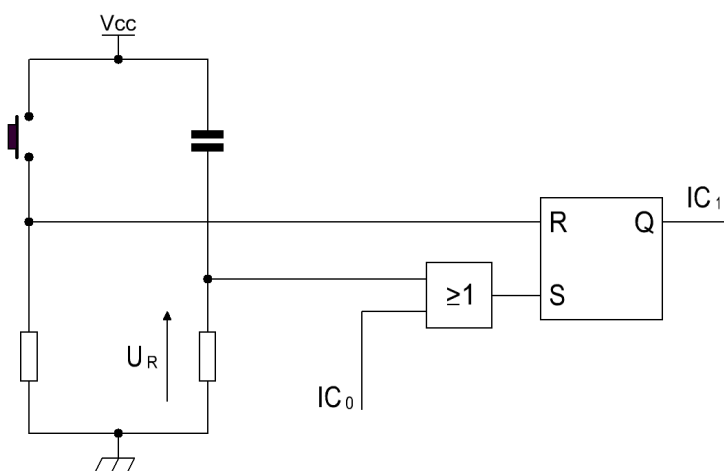
5. Combien de bits d'adresse vont servir à déterminer le **CS** des RAM ?

**Deux bits d'adresse** sont nécessaires afin de différencier les quatre mémoires assemblées en profondeur. Ce sont les bits d'adresse supplémentaires de la RAM<sub>2</sub> qui serviront à la sélection des RAM<sub>1</sub> ( $9 - 7 = 2$ ).

6. Donnez le schéma de câblage (détaillez le nombre de fils pour chaque bus).



### Exercice 3 (3 points)



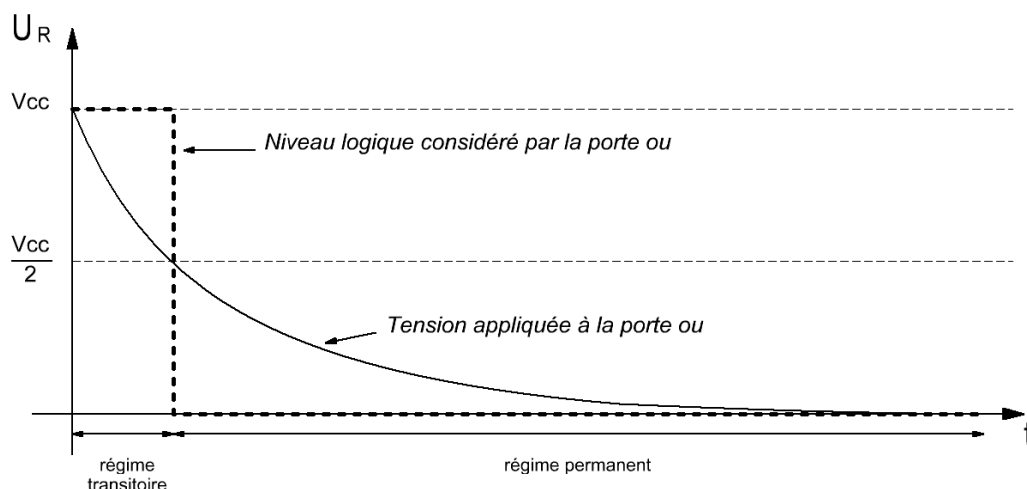
#### Indications

- On suppose que le bouton poussoir n'est pas pressé lors de la mise sous tension.
- La tension de seuil des entrées de la porte *ou* est  $V_{cc}/2$ .

- À la mise sous tension, dessinez l'évolution de la tension  $U_R$  aux bornes de la résistance et donnez le niveau logique considéré par la porte *ou*.

Soit  $U_C$  la tension aux bornes du condensateur :  $U_R = V_{CC} - U_C$

- À l'allumage, le condensateur est déchargé :  $U_C = 0$  et  $U_R = V_{CC}$ .
- Puis le condensateur se charge jusqu'à atteindre  $V_{CC}$  :  $U_C = V_{CC}$  et  $U_R = 0$ .



Le régime transitoire est celui qui ne reste pas : il disparaît de lui-même sans aucune intervention extérieure. Le niveau logique 1, considéré par la porte à l'allumage, est donc transitoire.

Le régime permanent (ou établi) est celui qui reste : il ne disparaît pas de lui-même. Le niveau logique 0, qui suit le niveau logique 1, est donc permanent.

- Exprimez  $S$  en fonction de  $IC_0$ , en régime transitoire et permanent.  
(On considère que le régime transitoire est l'intervalle de temps compris entre l'allumage et l'instant où la tension  $U_R$  passe la tension de seuil. Le régime permanent succède au régime transitoire.)

$S$  est la sortie de la porte *ou*.

- Régime transitoire :  $S = 1 + IC_0 = 1$
- Régime permanent :  $S = 0 + IC_0 = IC_0$

- Si  $IC_0$  est au niveau bas à l'allumage, à quelle valeur est initialisée la sortie  $IC_1$  ?

Une indication précise que personne n'appuie sur le bouton poussoir à l'allumage. On a donc  $R = 0$  tant que le bouton poussoir n'est pas pressé.

$IC_1$  est la sortie de la bascule RS.

- Régime transitoire :  $R = 0$  et  $S = 1 \Rightarrow IC_1$  passe à 1.
- Régime permanent :  $R = 0$  et  $S = IC_0 = 0 \Rightarrow IC_1$  reste à 1 (état mémoire).

À l'allumage, la sortie  $IC_1$  est donc initialisée à 1.

4. Comment faire passer la sortie  $IC_1$  à 0 quand elle est à 1 (avec  $R = 0$  et  $S = 0$ ) ?

La bascule RS est dans l'état mémoire ( $R = 0$  et  $S = 0$ ) et  $IC_1$  est à 1.

Pour faire passer  $IC_1$  à 0, il faut effectuer un *reset* au niveau de la bascule RS.  $R$  doit donc passer à 1. **Il faut pour cela appuyer sur le bouton poussoir :**

$R = 1$  et  $S = 0 \Rightarrow IC_1 = 0$ .

On remarque que quand le bouton poussoir est relâché,  $R$  repasse à 0, ce qui n'a aucune incidence sur  $IC_1$  puisque la bascule RS revient à l'état mémoire :

$R = 0$  et  $S = 0 \Rightarrow IC_1$  reste à 0.

5. Comment faire passer la sortie  $IC_1$  à 1 quand elle est à 0 (avec  $R = 0$  et  $S = 0$ ) ?

La bascule RS est dans l'état mémoire ( $R = 0$  et  $S = 0$ ) et  $IC_1$  est à 0.

Pour faire passer  $IC_1$  à 1, il faut effectuer un *set* au niveau de la bascule RS.  $S$  doit donc passer à 1. **Il faut pour cela faire passer  $IC_0$  à 1** puisque  $S = IC_0$  :

$R = 0$  et  $S = 1 \Rightarrow IC_1 = 1$ .

On remarque que si  $IC_0$  repasse à 0,  $S$  repasse à 0 également, ce qui n'a aucune incidence sur  $IC_1$  puisque la bascule RS revient à l'état mémoire :

$R = 0$  et  $S = 0 \Rightarrow IC_1$  reste à 1.

#### **Exercice 4 (2 points)**

1. Convertissez, **en détaillant chaque étape**, le nombre 128,5 dans le format flottant IEEE 754 simple précision. Vous exprimerez le résultat final, sous forme binaire, **en précisant chacun des champs** :

128,5

- $S = 0$
- $|128,5| = 128,5 = 1000\ 0000,1_2$
- $128,5 = (1,00000001)_2 \cdot 2^7$   
 $M = 000000010...0_2$  et  $e = 7$
- $E = e + \text{biais} = 7 + 127 = 6 + 128$   
 $E = 1000\ 0110_2$
- $128,5 \Rightarrow 0\ 10000110\ 000000010000000000000000$

2. Convertissez, **en détaillant au maximum**, le nombre ci-dessous, codé au format flottant IEEE 754 **double précision**, dans sa représentation décimale :

0003 0C00 0000 0000<sub>16</sub>

= 0000 0000 0000 0011 0000 1100 0000.....0

- $E = 0$  et  $M \neq 0 \Rightarrow$  **représentation dénormalisée**
- $m = (0, M)_2 = (0, 0011000011)_2$
- $+m \cdot 2^{1-\text{biais}} = +(0, 0011000011)_2 \cdot 2^{-1022}$
- $= +(11000011)_2 \cdot 2^{-1032}$
- $= +195.2^{-1032}$

### **Exercice 5 (3 points)**

On dispose d'une mémoire vive (RAM) possédant 18 fils d'adresse, d'une mémoire morte (ROM) possédant 20 fils d'adresse et de deux périphériques ( $P_1$  et  $P_2$ ) possédant respectivement 8 et 6 fils d'adresse. On désire les rendre accessibles à un microprocesseur via les bus d'adresse (24 fils), de donnée (8 fils) et de commande. Les mémoires et les périphériques sont compatibles en largeur avec le microprocesseur. La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM et les deux périphériques.

1. Est-il possible de réaliser un décodage de type linéaire ?

Le décodage de type linéaire associe un composant à un fil d'adresse du microprocesseur. Le plus grand composant connecté au microprocesseur est la ROM avec 20 fils d'adresse. Sur les 24 fils d'adresse du microprocesseur, 4 sont donc disponibles pour le décodage. Cela permet de connecter au moins 4 composants au microprocesseur. Or, il faut en connecter 4. Par conséquent, **il est possible de réaliser un décodage de type linéaire**.

*Pour tout le reste de l'exercice, c'est le mode zone qui est utilisé avec le moins de zones possible.*

2. Donnez les bits d'adresse qui serviront au décodage avec les combinaisons associées aux différents composants.

Pour 4 composants, les deux bits de poids fort suffisent :  $A_{23}$  et  $A_{22}$ .

$A_{23}$	$A_{22}$	Composant associé
0	0	RAM
0	1	ROM
1	0	$P_1$
1	1	$P_2$

3. Donnez la fonction de décodage.

$$CS_{RAM} = AS \cdot \overline{A_{23}} \cdot \overline{A_{22}}$$

$$CS_{ROM} = AS \cdot \overline{A_{23}} \cdot A_{22}$$

$$CS_{P1} = AS \cdot A_{23} \cdot \overline{A_{22}}$$

$$CS_{P2} = AS \cdot A_{23} \cdot A_{22}$$

Avec **AS** = Address Strobe (validation de l'adresse par le microprocesseur).

4. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables.

RAM basse :  $0000\ 0000\ 0000\ 0000\ 0000\ 0000_2 = 000000_{16}$

RAM haute :  $0000\ 0011\ 1111\ 1111\ 1111\ 1111_2 = 03FFFF_{16}$

ROM basse :  $0100\ 0000\ 0000\ 0000\ 0000\ 0000_2 = 400000_{16}$

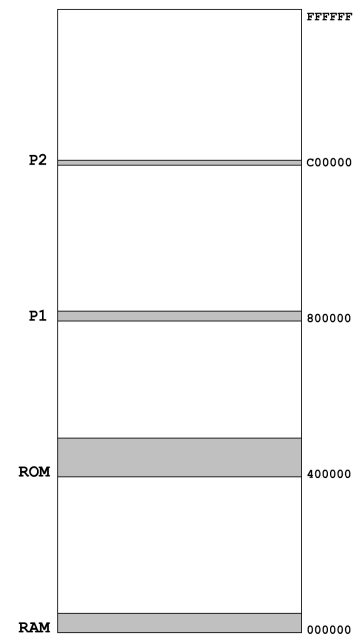
ROM haute :  $0100\ 1111\ 1111\ 1111\ 1111\ 1111_2 = 4FFFFFF_{16}$

P<sub>1</sub> basse :  $1000\ 0000\ 0000\ 0000\ 0000\ 0000_2 = 800000_{16}$

P<sub>1</sub> haute :  $1000\ 0000\ 0000\ 0000\ 1111\ 1111_2 = 8000FF_{16}$

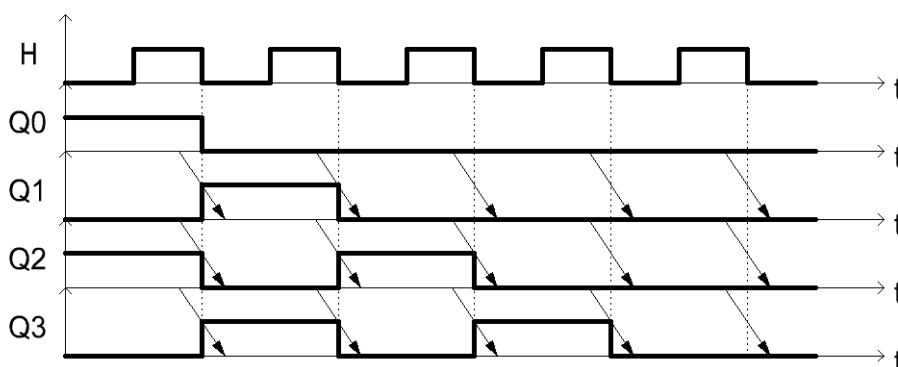
P<sub>2</sub> basse :  $1100\ 0000\ 0000\ 0000\ 0000\ 0000_2 = C00000_{16}$

P<sub>2</sub> haute :  $1100\ 0000\ 0000\ 0000\ 0011\ 1111_2 = C0003F_{16}$

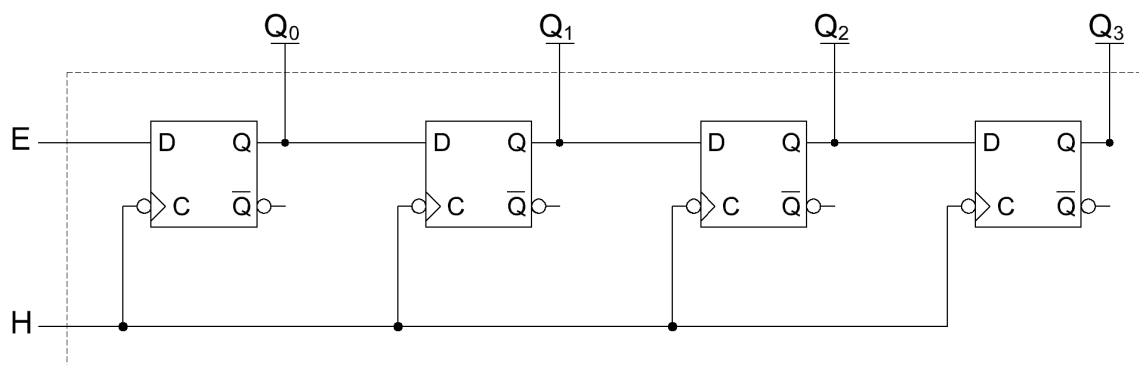


### Exercice 6 (2,5 points)

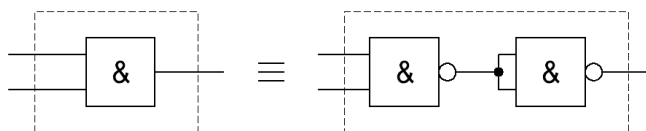
1. Uniquement à l'aide de quatre bascules D, donnez le schéma de câblage réalisant le chronogramme ci-dessous. À vous de déterminer si les bascules doivent être synchronisées sur front montant ou descendant. Si le montage nécessite une entrée, elle portera le nom de E.



On reconnaît le chronogramme d'un registre à décalage.



2. Réalisez une porte *et* à l'aide de plusieurs portes *non-et* (donnez le schéma de câblage).





## Presetable synchronous 4-bit binary up/down counter

**74HC/HCT193**

### FEATURES

- Synchronous reversible 4-bit binary counting
- Asynchronous parallel load
- Asynchronous reset
- Expandable without external logic
- Output capability: standard
- $I_{CC}$  category: MSI

### GENERAL DESCRIPTION

The 74HC/HCT193 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT193 are 4-bit synchronous binary up/down counters. Separate up/down clocks,  $CP_U$  and  $CP_D$  respectively, simplify operation. The outputs change state synchronously with the LOW-to-HIGH transition of either clock input. If the  $CP_U$  clock is pulsed while  $CP_D$  is held HIGH, the device will count up. If the  $CP_D$  clock is pulsed while  $CP_U$  is held HIGH, the device will count down. Only one clock input can be held HIGH at any time, or erroneous operation will result. The device can be cleared at any time by the asynchronous master reset input (MR); it may also be loaded in parallel by activating the asynchronous parallel load input ( $\overline{PL}$ ).

The "193" contains four master-slave JK flip-flops with the necessary steering logic to provide the asynchronous reset, load, and synchronous count up and count down functions.

Each flip-flop contains JK feedback from slave to master, such that a LOW-to-HIGH transition on the  $CP_D$  input will decrease the count by one, while a similar transition on the  $CP_U$  input will advance the count by one.

One clock should be held HIGH while counting with the other, otherwise the circuit will either count by two's or not at all, depending on the state of the first flip-flop, which cannot toggle as long as either clock input is LOW. Applications requiring reversible operation must make the reversing decision while the activating clock is HIGH to avoid erroneous counts.

The terminal count up ( $\overline{TC_U}$ ) and terminal count down ( $\overline{TC_D}$ ) outputs are normally HIGH. When the circuit has reached the maximum count state of 15, the next HIGH-to-LOW transition of  $CP_U$  will cause  $\overline{TC_U}$  to go LOW.

$\overline{TC_U}$  will stay LOW until  $CP_U$  goes HIGH again, duplicating the count up clock.

Likewise, the  $\overline{TC_D}$  output will go LOW when the circuit is in the zero state and the  $CP_D$  goes LOW. The terminal count outputs can be used as the clock input signals to the next higher order circuit in a multistage counter, since they duplicate the clock waveforms. Multistage counters will not be fully synchronous, since there is a slight delay time difference added for each stage that is added.

The counter may be preset by the asynchronous parallel load capability of the circuit. Information present on the parallel data inputs ( $D_0$  to  $D_3$ ) is loaded into the counter and appears on the outputs ( $Q_0$  to  $Q_3$ ) regardless of the conditions of the clock inputs when the parallel load ( $\overline{PL}$ ) input is LOW. A HIGH level on the master reset (MR) input will disable the parallel load gates, override both clock inputs and set all outputs ( $Q_0$  to  $Q_3$ ) LOW. If one of the clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that clock will be interpreted as a legitimate signal and will be counted.

Presettable synchronous 4-bit binary  
up/down counter

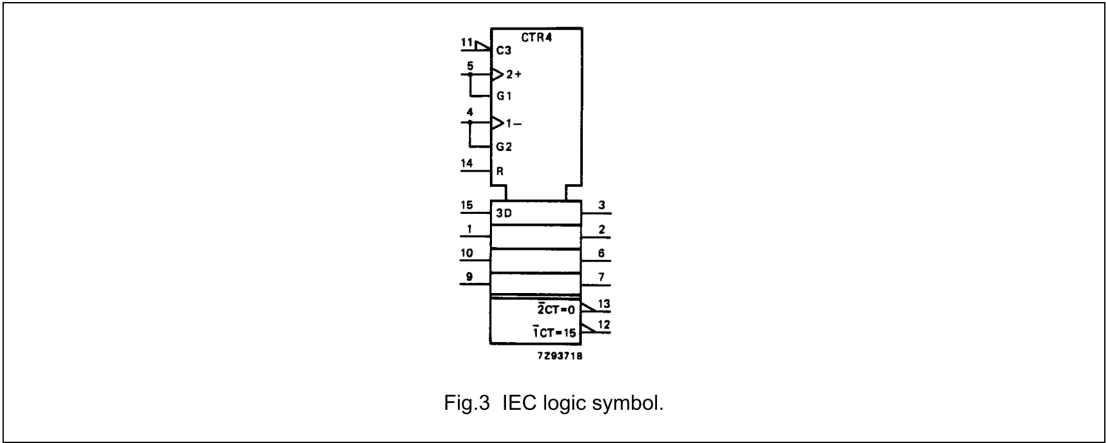
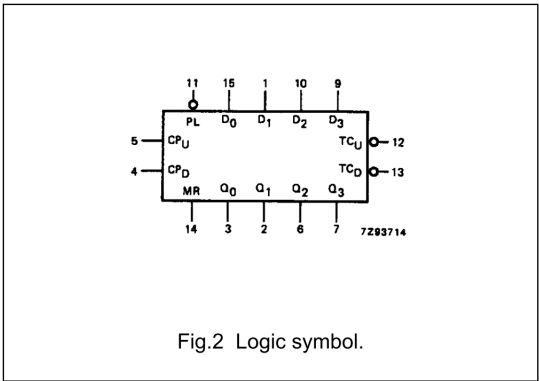
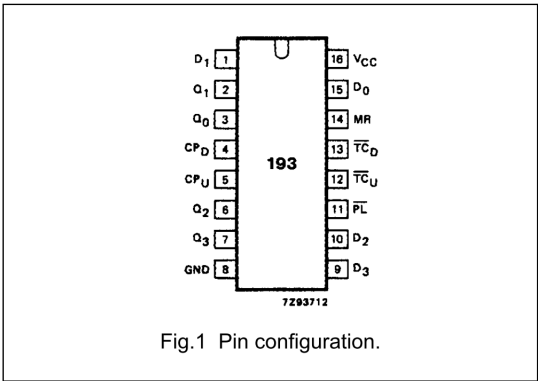
74HC/HCT193

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	$Q_0$ to $Q_3$	flip-flop outputs
4	$CP_D$	count down clock input <sup>(1)</sup>
5	$CP_U$	count up clock input <sup>(1)</sup>
8	GND	ground (0 V)
11	$\overline{PL}$	asynchronous parallel load input (active LOW)
12	$\overline{TC}_U$	terminal count up (carry) output (active LOW)
13	$\overline{TC}_D$	terminal count down (borrow) output (active LOW)
14	MR	asynchronous master reset input (active HIGH)
15, 1, 10, 9	$D_0$ to $D_3$	data inputs
16	$V_{CC}$	positive supply voltage

Note

1. LOW-to-HIGH, edge triggered



# Presettable synchronous 4-bit binary up/down counter

74HC/HCT193

## FUNCTION TABLE

OPERATING MODE	INPUTS								OUTPUTS					
	MR	$\overline{\text{PL}}$	$\text{CP}_\text{U}$	$\text{CP}_\text{D}$	$\text{D}_0$	$\text{D}_1$	$\text{D}_2$	$\text{D}_3$	$\text{Q}_0$	$\text{Q}_1$	$\text{Q}_2$	$\text{Q}_3$	$\overline{\text{TC}}_\text{U}$	$\overline{\text{TC}}_\text{D}$
reset (clear)	H	X	X	L	X	X	X	X	L	L	L	L	H	L
	H	X	X	H	X	X	X	X	L	L	L	L	H	H
parallel load	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	H	H	H	H	H	H	H	L	H
	L	L	H	X	H	H	H	H	H	H	H	H	H	H
count up	L	H	$\uparrow$	H	X	X	X	X	count up				$\text{H}^{(2)}$	H
count down	L	H	H	$\uparrow$	X	X	X	X	count down				H	$\text{H}^{(3)}$

## Notes

- H = HIGH voltage level  
L = LOW voltage level  
X = don't care  
 $\uparrow$  = LOW-to-HIGH clock transition
- $\overline{\text{TC}}_\text{U}$  =  $\text{CP}_\text{U}$  at terminal count up (HHHH)
- $\overline{\text{TC}}_\text{D}$  =  $\text{CP}_\text{D}$  at terminal count down (LLLL)

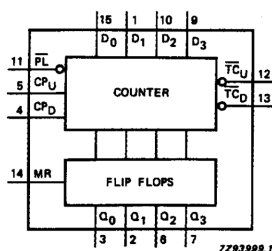


Fig.4 Functional diagram.

# Presettable synchronous 4-bit binary up/down counter

74HC/HCT193

