

# Partiel 1 – Corrigé

## Architecture des ordinateurs

Durée : 1 h 30

### Exercice 1 (2 points)

1. Convertissez, en détaillant chaque étape, le nombre 145,75 dans le format flottant IEEE 754 **simple précision**. Vous exprimerez le résultat final sous forme binaire, **en précisant chacun des champs**.

- $S = 0$
- $0,75 \times 2 = 1,5$   
 $0,5 \times 2 = 1$   
 $|145,75| = 145,75 = 1001\ 0001,11_2$
- $145,75 = (1,001000111)_2 \cdot 2^7$   
 $M = 0010001110...0_2$  et  $e = 7$
- $E = e + \text{biais} = 7 + 127 = 6 + 128$   
 $E = 1000\ 0110_2$
- $145,75 \rightarrow 0\ 10000110\ 001000111000000000000000$

2. Convertissez, en détaillant au maximum, le nombre suivant, codé au format flottant IEEE 754 **double précision**, dans sa représentation décimale :  $0001\ 5800\ 0000\ 0000_{16}$

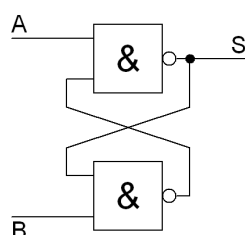
$$= 0000\ 0000\ 0000\ 0001\ 0101\ 1000\ 0000.....0_2$$

$E = 0$  et  $M \neq 0 \rightarrow$  **représentation dénormalisée**

- $S = 0 \rightarrow$  **positif**
- $e = 1 - \text{biais} = 1 - 1023$   
 $e = -1022$
- $m = (0, M)_2 = (0,000101011)_2$
- $+m \cdot 2^e = +(0,000101011)_2 \cdot 2^{-1022}$
- $= +(101011)_2 \cdot 2^{-1031}$   
 $= +43 \cdot 2^{-1031}$

### Exercice 2 (2 points)

1. Donnez la table de vérité du montage ci-dessous :



A	B	S
0	0	1
0	1	1
1	0	0
1	1	S

2. Quelle fonction reconnaissez-vous ?

On reconnaît la table de vérité d'une **bascule RS** avec :  $A = \bar{S}$  et  $B = \bar{R}$ .

**Exercice 3 (5,5 points)**

On dispose d'une mémoire vive (RAM) de 512 Mo, d'une mémoire morte (ROM) de 128 Mo et de deux périphériques ( $P_1$  et  $P_2$ ) adressables respectivement sur 16 ko et 2 ko. On désire les rendre accessibles à un microprocesseur via les bus d'adresse (32 bits : de  $A_0$  à  $A_{31}$  avec  $A_0$  comme bit de poids faible), de donnée (8 bits) et de commande (dont le signal *Address Strobe*). Les mémoires et les périphériques sont compatibles en largeur avec le microprocesseur. La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM,  $P_1$  et  $P_2$ .

1. Donnez la taille du bus d'adresse de chaque mémoire et de chaque périphérique.

La largeur des différents composants est l'octet : c'est donc directement la profondeur qui est donnée dans l'énoncé.

- **RAM** : 512 Mo =  $2^{29}$  octets → **29 fils d'adresse**.
- **ROM** : 128 Mo =  $2^{27}$  octets → **27 fils d'adresse**.
- **$P_1$**  : 16 ko =  $2^{14}$  octets → **14 fils d'adresse**.
- **$P_2$**  : 2 ko =  $2^{11}$  octets → **11 fils d'adresse**.

2. Est-il possible de réaliser un décodage de type linéaire ?

Le décodage de type linéaire associe un composant à un fil d'adresse du microprocesseur. Nous avons 4 composants, donc **4 fils d'adresse sont nécessaires pour la sélection**. Le plus grand composant connecté au microprocesseur est la RAM avec 29 fils d'adresse. Sur les 32 fils du bus d'adresse du microprocesseur, il reste donc **3 fils disponibles** pour le décodage. Par conséquent, **il n'est pas possible de réaliser un décodage de type linéaire**.

*Pour tout le reste de l'exercice, c'est le mode zone qui sera utilisé avec le moins de zones possible.*

3. Donnez les bits d'adresse qui serviront au décodage avec les combinaisons associées aux différents composants ?

Le décodage par zone associe un composant à une zone. Pour 4 composants, il faut donc au minimum 4 zones. Les deux bits de poids fort suffisent :  $A_{31}$  et  $A_{30}$ . La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM,  $P_1$  et  $P_2$ . On associe donc la RAM à la combinaison de bits la plus faible.

$A_{31}$	$A_{30}$	Composant associé
1	1	$P_2$
1	0	$P_1$
0	1	ROM
0	0	RAM

← La RAM doit être située dans les adresses les plus faibles.

4. Donnez la fonction de décodage en tenant compte du signal **AS** (*Address Strobe*).

- $CS_{RAM} = AS \cdot \overline{A_{31}} \cdot \overline{A_{30}}$
- $CS_{ROM} = AS \cdot \overline{A_{31}} \cdot A_{30}$
- $CS_{P1} = AS \cdot A_{31} \cdot \overline{A_{30}}$
- $CS_{P2} = AS \cdot A_{31} \cdot A_{30}$

5. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables (vous donnerez les adresses en représentation hexadécimale à 8 chiffres).

RAM basse :  $0000\ 0000\ 0000\ 0000\ 0000\ 0000\ 0...0_2 = 00000000_{16}$

RAM haute :  $0001\ 1111\ 1111\ 1111\ 1111\ 1111\ 1...1_2 = 1FFFFFFF_{16}$

ROM basse :  $0100\ 0000\ 0000\ 0000\ 0000\ 0000\ 0...0_2 = 40000000_{16}$

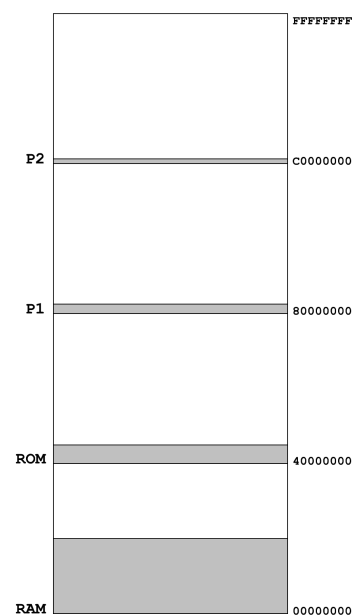
ROM haute :  $0100\ 0111\ 1111\ 1111\ 1111\ 1111\ 1...1_2 = 47FFFFFF_{16}$

P<sub>1</sub> basse :  $1000\ 0000\ 0000\ 0000\ 0000\ 0000\ 0...0_2 = 80000000_{16}$

P<sub>1</sub> haute :  $1000\ 0000\ 0000\ 0000\ 0011\ 1111\ 1...1_2 = 80003FFF_{16}$

P<sub>2</sub> basse :  $1100\ 0000\ 0000\ 0000\ 0000\ 0000\ 0...0_2 = C0000000_{16}$

P<sub>2</sub> haute :  $1100\ 0000\ 0000\ 0000\ 0000\ 0111\ 1...1_2 = C00007FF_{16}$



6. Quelle est la redondance des différents composants ?

La redondance est le nombre de combinaisons que l'on peut réaliser avec les fils inutilisés du bus d'adresse du microprocesseur. Les fils inutilisés sont ceux qui n'appartiennent ni aux fils de sélection, ni aux fils du bus d'adresse des composants.

- **RAM** :  $32 - 2 - 29 = 1$  fil inutilisé  $\rightarrow 2^1 = 2$
- **ROM** :  $32 - 2 - 27 = 3$  fils inutilisés  $\rightarrow 2^3 = 8$
- **P<sub>1</sub>** :  $32 - 2 - 14 = 16$  fils inutilisés  $\rightarrow 2^{16} = 65\ 535$
- **P<sub>2</sub>** :  $32 - 2 - 11 = 19$  fils inutilisés  $\rightarrow 2^{19} = 524\ 288$

**Exercice 4 (4 points)**

1. Si l'on double le nombre de fils du bus de donnée d'une mémoire, par combien a été multipliée la largeur de cette mémoire ?

Doubler le nombre de fils du bus de donnée d'une mémoire a pour effet de doubler la taille de ses mots. **La largeur est donc multipliée par 2.**

2. Combien de fils d'adresse faut-il ajouter à une mémoire pour doubler sa profondeur ?

Doubler la profondeur d'une mémoire, c'est doubler son nombre de mots. **Il suffit pour cela d'ajouter un fil à son bus d'adresse.**

3. Si l'on ajoute deux fils au bus d'adresse d'une mémoire et que l'on double le nombre de fils de son bus de donnée, par combien a été multipliée la capacité en bits de cette mémoire ?

- Ajouter deux fils au bus d'adresse multiplie la capacité par 4.
- Doubler le nombre de fils du bus de donnée multiplie la capacité par 2.

**La capacité totale en bits est donc multipliée par 8.**

4. On dispose de 16 RAM de 512 kbit ayant un bus de donnée de 4 bits. Donnez la **largeur** et la **profondeur** de toutes les mémoires réalisables avec les différentes combinaisons d'assemblage (série et/ou parallèle) des 16 RAM (**dans chaque assemblage, les 16 RAM seront utilisées**).

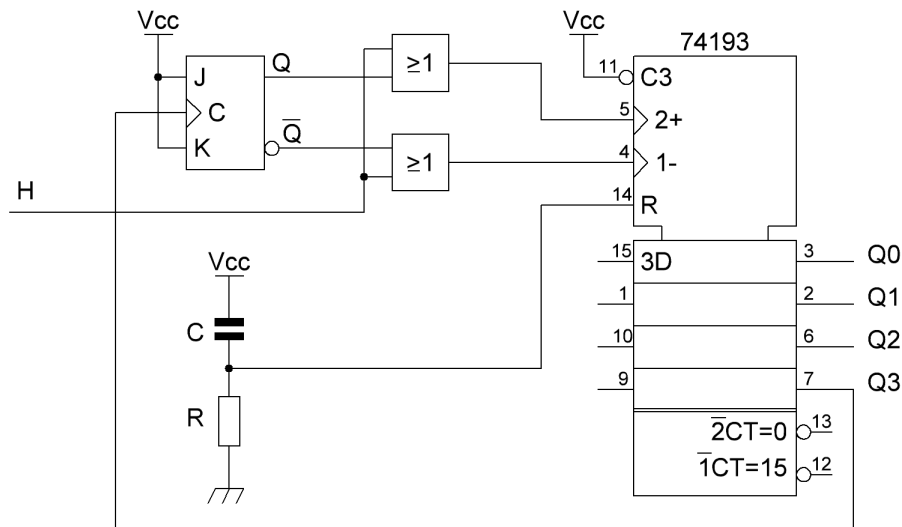
Il faut commencer par déterminer la profondeur de la RAM :

$$512 \text{ kbit} = (512 / 4) \text{ kmot de 4 bits} = 128 \text{ kmot de 4 bits}$$

Nombre de mémoires		Profondeur (mots)	Largeur (bits)
en série	en parallèle		
1	16	128 k	64
2	8	256 k	32
4	4	512 k	16
8	2	1 M	8
16	1	2 M	4

**Exercice 5 (4 points)**

Soit le montage ci-dessous :



1. **En quelques mots**, donnez **le rôle** du condensateur et de la résistance.

Le condensateur et la résistance servent à effectuer un *reset* sur le **74193** au moment de l'allumage.

- La tension aux bornes du condensateur est nulle à l'allumage.
- La tension aux bornes de la résistance est de  $V_{cc}$  à l'allumage.
- L'entrée *reset* du **74193** est activée.
- Le condensateur se charge à travers la résistance.
- La tension aux bornes de la résistance diminue jusqu'à zéro volt.
- L'entrée *reset* du **74193** est désactivée.

2. Si  $Q = 0$ , en quel mode se trouve le **74193** ? (Compteur, décompteur ou chargement parallèle.)

L'entrée d'activation du chargement parallèle est désactivée ( $C3 = 1$ ). Le signal d'horloge **H** se retrouve sur l'entrée d'horloge du compteur ( $2+ = H$ ) et l'entrée d'horloge du décompteur est toujours à 1 ( $1- = 1$ ).

**Le 74193 est en mode compteur** (cf. [documentation technique](#)).

3. Même question si  $Q = 1$  ?

L'entrée d'activation du chargement parallèle est désactivée ( $C3 = 1$ ). Le signal d'horloge **H** se retrouve sur l'entrée d'horloge du décompteur ( $1- = H$ ) et l'entrée d'horloge du compteur est toujours à 1 ( $2+ = 1$ ).

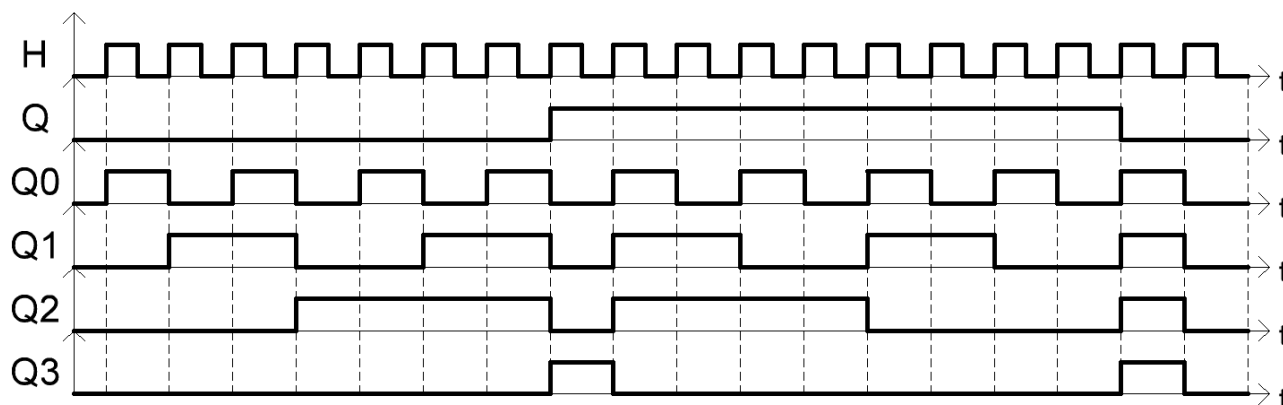
**Le 74193 est en mode décompteur** (cf. [documentation technique](#)).

4. Quel effet aura un front montant sur **Q3** ?

Un front montant sur **Q3** (entrée **C** de la bascule JK) fait basculer la sortie **Q** (car **J = K = 1**).

**Le 74193 change de mode : compteur ↔ décompteur.**

5. Complétez le chronogramme ci-dessous (au départ :  $Q = Q0 = Q1 = Q2 = Q3 = 0$ ).



Quand le compteur atteint la valeur 8, la sortie **Q3** passe à 1. Le front montant sur **Q3** fait basculer la sortie **Q** qui passe à son tour à 1. Le **74193** change de mode et passe en mode décompteur. Il décompte jusqu'à la valeur 15 qui produit un front montant sur **Q3**. Ce front le fait de nouveau changer de mode et ainsi de suite.

**Exercice 6 (2,5 points)****Cochez la réponse correspondante :**

1. Le microprocesseur 68000 est un microprocesseur 16 bits. Cela signifie :
  - (a) que la taille de son bus d'adresse est de 16 bits.
  - (b) que la taille de son bus d'adresse est un multiple de 16 bits.
  - (c) que la taille de son bus de donnée est de 16 bits.**
  - (d) rien du tout.
  
2. Choisir l'affirmation correcte concernant les registres généraux :
  - (a) Il y a 8 registres généraux.
  - (b) La taille de ces registres doit être égale à la taille du bus de donnée du processeur.
  - (c) Il y a 8 registres d'adresse.**
  - (d) La taille des registres généraux dépend du type de donnée.
  
3. Choisir l'affirmation correcte. Le registre **SP** :
  - (a) Pointe sur le bas de la pile.
  - (b) Est un registre non adressable.
  - (c) Est, par défaut, le registre **A0** en mode utilisateur.
  - (d) Contient l'adresse du sommet de la pile.**
  
4. Laquelle de ces instructions n'est pas autorisée ?
  - (a) `MOVE.L D0, D1`
  - (b) MOVE.W (D0), D1**
  - (c) `MOVE.B A0, D1`
  - (d) `MOVE.B (A0), D1`

On suppose que l'espace mémoire est organisé de la façon suivante :

\$3000	\$4C	\$AB
\$3002	\$5A	\$12
\$3004	\$34	\$55
\$3006	\$1A	\$2B
\$3008	\$C9	\$F1
\$300A	\$D2	\$E6

Le registre **D0** contient la valeur `$2CD1FFFF` et le registre **A1** contient la valeur `$00003004`.

5. Quel est le résultat obtenu suite à l'instruction suivante : `MOVE.L (A1) +, D0`
  - (a) **D0** = `$34551A2B` et **A1** = `$00003004`.
  - (b) D0 = \$34551A2B et A1 = \$00003008.**
  - (c) **D0** = `$00003004` et **A1** = `$00003008`.
  - (d) Cette instruction n'est pas autorisée.

## Presetable synchronous 4-bit binary up/down counter

## 74HC/HCT193

### FEATURES

- Synchronous reversible 4-bit binary counting
- Asynchronous parallel load
- Asynchronous reset
- Expandable without external logic
- Output capability: standard
- $I_{CC}$  category: MSI

### GENERAL DESCRIPTION

The 74HC/HCT193 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT193 are 4-bit synchronous binary up/down counters. Separate up/down clocks,  $CP_U$  and  $CP_D$  respectively, simplify operation. The outputs change state synchronously with the LOW-to-HIGH transition of either clock input. If the  $CP_U$  clock is pulsed while  $CP_D$  is held HIGH, the device will count up. If the  $CP_D$  clock is pulsed while  $CP_U$  is held HIGH, the device will count down. Only one clock input can be held HIGH at any time, or erroneous operation will result. The device can be cleared at any time by the asynchronous master reset input (MR); it may also be loaded in parallel by activating the asynchronous parallel load input ( $\overline{PL}$ ).

The "193" contains four master-slave JK flip-flops with the necessary steering logic to provide the asynchronous reset, load, and synchronous count up and count down functions.

Each flip-flop contains JK feedback from slave to master, such that a LOW-to-HIGH transition on the  $CP_D$  input will decrease the count by one, while a similar transition on the  $CP_U$  input will advance the count by one.

One clock should be held HIGH while counting with the other, otherwise the circuit will either count by two's or not at all, depending on the state of the first flip-flop, which cannot toggle as long as either clock input is LOW. Applications requiring reversible operation must make the reversing decision while the activating clock is HIGH to avoid erroneous counts.

The terminal count up ( $\overline{TC_U}$ ) and terminal count down ( $\overline{TC_D}$ ) outputs are normally HIGH. When the circuit has reached the maximum count state of 15, the next HIGH-to-LOW transition of  $CP_U$  will cause  $\overline{TC_U}$  to go LOW.

$\overline{TC_U}$  will stay LOW until  $CP_U$  goes HIGH again, duplicating the count up clock.

Likewise, the  $\overline{TC_D}$  output will go LOW when the circuit is in the zero state and the  $CP_D$  goes LOW. The terminal count outputs can be used as the clock input signals to the next higher order circuit in a multistage counter, since they duplicate the clock waveforms. Multistage counters will not be fully synchronous, since there is a slight delay time difference added for each stage that is added.

The counter may be preset by the asynchronous parallel load capability of the circuit. Information present on the parallel data inputs ( $D_0$  to  $D_3$ ) is loaded into the counter and appears on the outputs ( $Q_0$  to  $Q_3$ ) regardless of the conditions of the clock inputs when the parallel load ( $\overline{PL}$ ) input is LOW. A HIGH level on the master reset (MR) input will disable the parallel load gates, override both clock inputs and set all outputs ( $Q_0$  to  $Q_3$ ) LOW. If one of the clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that clock will be interpreted as a legitimate signal and will be counted.



# Presettable synchronous 4-bit binary up/down counter

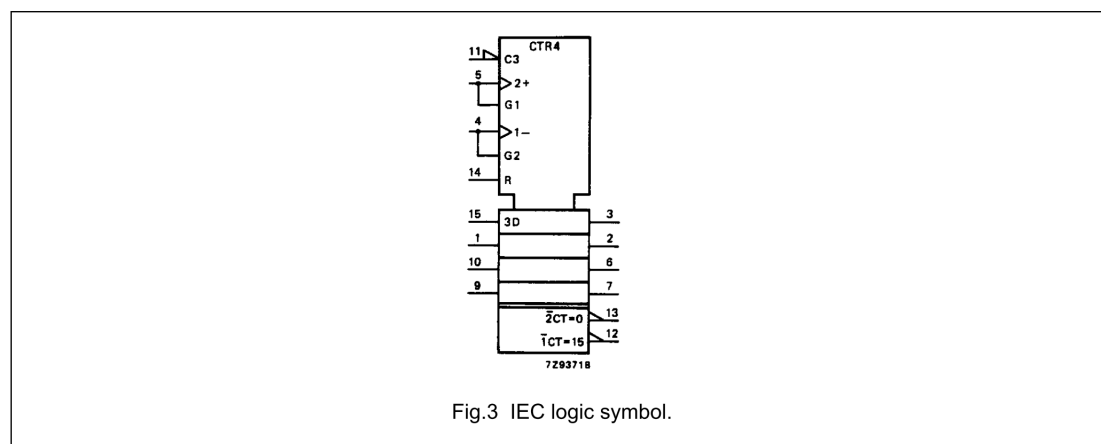
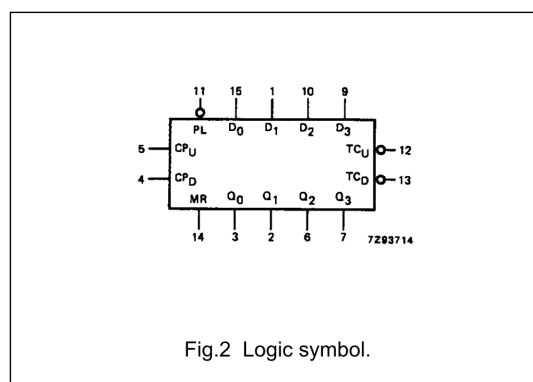
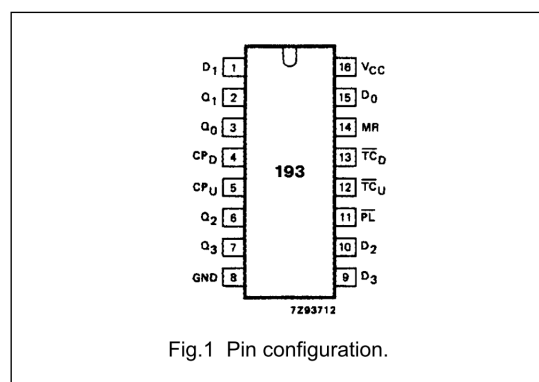
74HC/HCT193

## PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	$Q_0$ to $Q_3$	flip-flop outputs
4	$CP_D$	count down clock input <sup>(1)</sup>
5	$CP_U$	count up clock input <sup>(1)</sup>
8	GND	ground (0 V)
11	$\overline{PL}$	asynchronous parallel load input (active LOW)
12	$\overline{TC_U}$	terminal count up (carry) output (active LOW)
13	$\overline{TC_D}$	terminal count down (borrow) output (active LOW)
14	MR	asynchronous master reset input (active HIGH)
15, 1, 10, 9	$D_0$ to $D_3$	data inputs
16	$V_{CC}$	positive supply voltage

### Note

1. LOW-to-HIGH, edge triggered



# Presettable synchronous 4-bit binary up/down counter

74HC/HCT193

## FUNCTION TABLE

OPERATING MODE	INPUTS								OUTPUTS					
	MR	$\overline{\text{PL}}$	$\text{CP}_U$	$\text{CP}_D$	$\text{D}_0$	$\text{D}_1$	$\text{D}_2$	$\text{D}_3$	$\text{Q}_0$	$\text{Q}_1$	$\text{Q}_2$	$\text{Q}_3$	$\overline{\text{TC}}_U$	$\overline{\text{TC}}_D$
reset (clear)	H	X	X	L	X	X	X	X	L	L	L	L	H	L
	H	X	X	H	X	X	X	X	L	L	L	L	H	H
parallel load	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	H	H	H	H	H	H	H	L	H
	L	L	H	X	H	H	H	H	H	H	H	H	L	H
count up	L	H	$\uparrow$	H	X	X	X	X	count up				$\text{H}^{(2)}$	H
count down	L	H	H	$\uparrow$	X	X	X	X	count down				H	$\text{H}^{(3)}$

## Notes

- H = HIGH voltage level  
L = LOW voltage level  
X = don't care  
 $\uparrow$  = LOW-to-HIGH clock transition
- $\overline{\text{TC}}_U$  =  $\text{CP}_U$  at terminal count up (HHHH)
- $\overline{\text{TC}}_D$  =  $\text{CP}_D$  at terminal count down (LLLL)

