

## T.D. 7

# Décodage d'adresses

On dispose d'une mémoire vive (RAM) de 8 Mbit, d'une mémoire morte (ROM) de 8 Mbit et de deux périphériques ( $P_1$  et  $P_2$ ) adressables respectivement sur 8 ko et 4 ko. On désire les rendre accessibles à un microprocesseur via les bus d'adresse (24 bits), de donnée (8 bits) et de commande. Les mémoires et les périphériques sont compatibles en largeur avec le microprocesseur. La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM et les deux périphériques. Dans tout l'exercice, le *chip select* de  $P_1$  sera le seul à être actif à l'état bas.

1. Donnez la taille du bus d'adresse de chaque mémoire et de chaque périphérique.

***Dans un premier temps, c'est le mode linéaire qui sera utilisé.***

2. Quels bits d'adresse vont servir au décodage et à quel composant seront-ils associés ?
3. En tenant compte du signal **AS** (*Address Strobe*) que fournit le microprocesseur et qui indique si la valeur sur son bus d'adresse est valide, donnez la fonction de décodage : c'est-à-dire les équations du **CS** de chaque composant relié au microprocesseur.
4. Quel est le principal défaut de ce type de décodage ?
5. Proposez une solution simple afin de supprimer ce problème.

***Pour la suite, on désire ajouter un périphérique  $P_3$  adressable sur 2 ko (11 fils d'adresse).***

6. Est-ce toujours possible en mode linéaire et pourquoi ?

***On utilise maintenant le mode zone (toujours avec  $P_3$ ).***

***On travaillera de préférence avec le moins de zones possible.***

7. Quels bits d'adresse vont servir au décodage et à quelles combinaisons seront associés les différents composants ?
8. Donnez la nouvelle fonction de décodage.
9. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables.
10. Quelle est la redondance des différents composants ?
11. Donnez deux adresses différentes par composant pour sélectionner leur adresse  $1F2_{16}$ .
12. Donnez le schéma de câblage.