

Architecture des ordinateurs

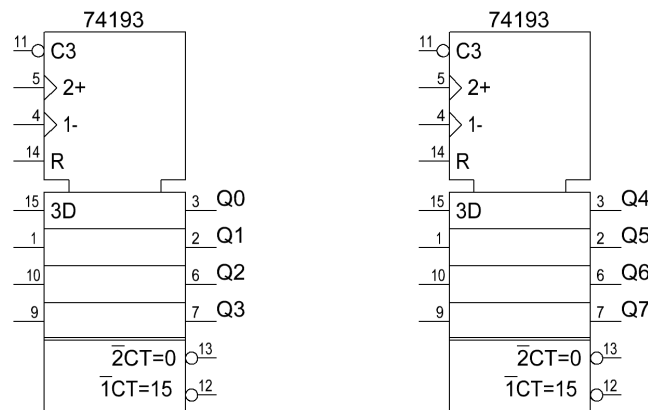
Partiel 1

Nom : Prénom : Classe : Durée : 1^h30

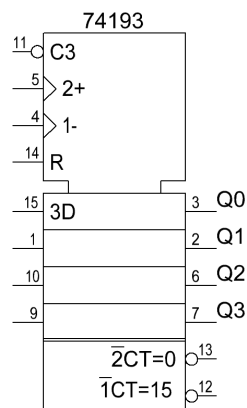
Exercice 1 (5 points)

Chaque question est indépendante. Pour chacune d'elles, vous avez à votre disposition toutes les portes logiques nécessaires. La [documentation constructeur du 74193](#) est fournie en annexes.

1. Câblez les deux **74193** ci-dessous afin de réaliser un compteur modulo 192. On appelle **Hc** l'entrée d'horloge de ce compteur ; vous devrez faire apparaître clairement sur votre schéma l'emplacement de **Hc**.



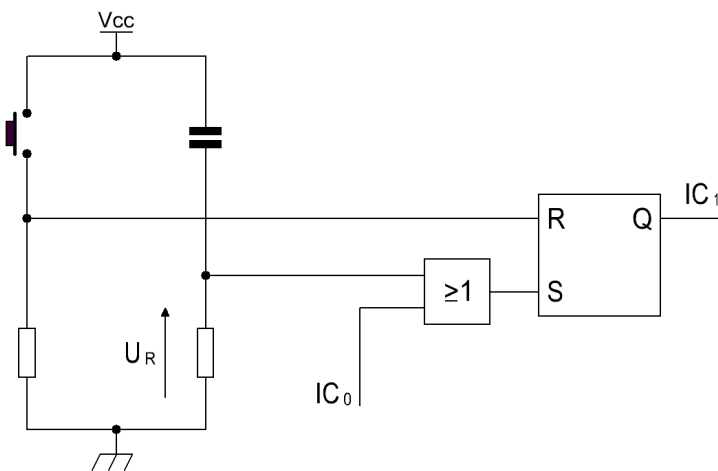
2. Câblez le **74193** ci-dessous afin de réaliser un décompteur modulo 12. On appelle **Hd** l'entrée d'horloge de ce décompteur ; vous devrez faire apparaître clairement sur votre schéma l'emplacement de **Hd**.



Exercice 2 (4,5 points)

On désire réaliser une RAM_2 de 8 Kbits avec un bus de donnée de 16 bits, à l'aide de plusieurs RAM_1 de 1 Kbits ayant un bus de donnée de 8 bits.

1. Donnez le nombre de fils du bus d'adresse de la RAM_1 .
2. Donnez le nombre de fils du bus d'adresse de la RAM_2 .
3. Combien de mémoire doit-on assembler en série ?
4. Combien de mémoire doit-on assembler en parallèle ?
5. Combien de bits d'adresse vont servir à déterminer le **CS** des RAM ?
6. Donnez le schéma de câblage (détaillez le nombre de fils pour chaque bus).

Exercice 3 (3 points)**Indications**

- On suppose que le bouton poussoir n'est pas pressé lors de la mise sous tension.
- La tension de seuil des entrées de la porte *ou* est $V_{cc}/2$.

1. À la mise sous tension, dessinez l'évolution de la tension U_R aux bornes de la résistance et donnez le niveau logique considéré par la porte *ou*.
2. Exprimez **S** en fonction de IC_0 , en régime transitoire et permanent.
(On considère que le régime transitoire est l'intervalle de temps compris entre l'allumage et l'instant où la tension U_R passe la tension de seuil. Le régime permanent succède au régime transitoire.)
3. Si IC_0 est au niveau bas à l'allumage, à quelle valeur est initialisée la sortie IC_1 ?
4. Comment faire passer la sortie IC_1 à 0 quand elle est à 1 (avec $R = 0$ et $S = 0$) ?
5. Comment faire passer la sortie IC_1 à 1 quand elle est à 0 (avec $R = 0$ et $S = 0$) ?

Exercice 4 (2 points)

1. Convertissez, en détaillant chaque étape, le nombre 128,5 dans le format flottant IEEE 754 **simple précision**. Vous exprimerez le résultat final, sous forme binaire, **en précisant chacun des champs**.
2. Convertissez, en détaillant au maximum, le nombre ci-dessous, codé au format flottant IEEE 754 **double précision**, dans sa représentation décimale :
0003 0C00 0000 0000₁₆

Exercice 5 (3 points)

On dispose d'une mémoire vive (RAM) possédant 18 fils d'adresse, d'une mémoire morte (ROM) possédant 20 fils d'adresse et de deux périphériques (P_1 et P_2) possédant respectivement 8 et 6 fils d'adresse. On désire les rendre accessibles à un microprocesseur via les bus d'adresse (24 fils), de donnée (8 fils) et de commande. Les mémoires et les périphériques sont compatibles en largeur avec le microprocesseur. La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM et les deux périphériques.

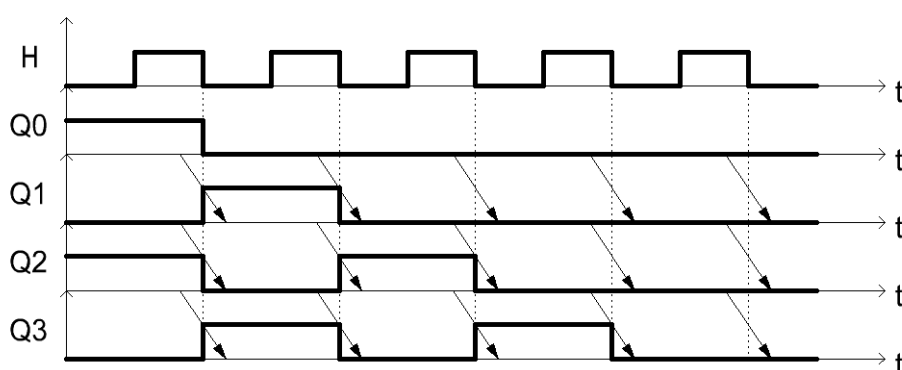
1. Est-il possible de réaliser un décodage de type linéaire ?

Pour tout le reste de l'exercice, c'est le mode zone qui est utilisé avec le moins de zones possible.

2. Donnez les bits d'adresse qui serviront au décodage avec les combinaisons associées aux différents composants.
3. Donnez la fonction de décodage.
4. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables.

Exercice 6 (2,5 points)

1. Uniquement à l'aide de quatre bascules D, donnez le schéma de câblage réalisant le chronogramme ci-dessous. À vous de déterminer si les bascules doivent être synchronisées sur front montant ou descendant. Si le montage nécessite une entrée, elle portera le nom de E.



2. Réalisez une porte *et* à l'aide de plusieurs portes *non-et* (donnez le schéma de câblage).

Presetable synchronous 4-bit binary up/down counter

74HC/HCT193

FEATURES

- Synchronous reversible 4-bit binary counting
- Asynchronous parallel load
- Asynchronous reset
- Expandable without external logic
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT193 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT193 are 4-bit synchronous binary up/down counters. Separate up/down clocks, CP_U and CP_D respectively, simplify operation. The outputs change state synchronously with the LOW-to-HIGH transition of either clock input. If the CP_U clock is pulsed while CP_D is held HIGH, the device will count up. If the CP_D clock is pulsed while CP_U is held HIGH, the device will count down. Only one clock input can be held HIGH at any time, or erroneous operation will result. The device can be cleared at any time by the asynchronous master reset input (MR); it may also be loaded in parallel by activating the asynchronous parallel load input (\overline{PL}).

The "193" contains four master-slave JK flip-flops with the necessary steering logic to provide the asynchronous reset, load, and synchronous count up and count down functions.

Each flip-flop contains JK feedback from slave to master, such that a LOW-to-HIGH transition on the CP_D input will decrease the count by one, while a similar transition on the CP_U input will advance the count by one.

One clock should be held HIGH while counting with the other, otherwise the circuit will either count by two's or not at all, depending on the state of the first flip-flop, which cannot toggle as long as either clock input is LOW. Applications requiring reversible operation must make the reversing decision while the activating clock is HIGH to avoid erroneous counts.

The terminal count up (\overline{TC}_U) and terminal count down (\overline{TC}_D) outputs are normally HIGH. When the circuit has reached the maximum count state of 15, the next HIGH-to-LOW transition of CP_U will cause \overline{TC}_U to go LOW.

\overline{TC}_U will stay LOW until CP_U goes HIGH again, duplicating the count up clock.

Likewise, the \overline{TC}_D output will go LOW when the circuit is in the zero state and the CP_D goes LOW. The terminal count outputs can be used as the clock input signals to the next higher order circuit in a multistage counter, since they duplicate the clock waveforms. Multistage counters will not be fully synchronous, since there is a slight delay time difference added for each stage that is added.

The counter may be preset by the asynchronous parallel load capability of the circuit. Information present on the parallel data inputs (D_0 to D_3) is loaded into the counter and appears on the outputs (Q_0 to Q_3) regardless of the conditions of the clock inputs when the parallel load (\overline{PL}) input is LOW. A HIGH level on the master reset (MR) input will disable the parallel load gates, override both clock inputs and set all outputs (Q_0 to Q_3) LOW. If one of the clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that clock will be interpreted as a legitimate signal and will be counted.

Presetable synchronous 4-bit binary
up/down counter

74HC/HCT193

PIN DESCRIPTION

| PIN NO. | SYMBOL | NAME AND FUNCTION |
|--------------|-------------------|--|
| 3, 2, 6, 7 | Q_0 to Q_3 | flip-flop outputs |
| 4 | CP_D | count down clock input ⁽¹⁾ |
| 5 | CP_U | count up clock input ⁽¹⁾ |
| 8 | GND | ground (0 V) |
| 11 | \overline{PL} | asynchronous parallel load input (active LOW) |
| 12 | \overline{TC}_U | terminal count up (carry) output (active LOW) |
| 13 | \overline{TC}_D | terminal count down (borrow) output (active LOW) |
| 14 | MR | asynchronous master reset input (active HIGH) |
| 15, 1, 10, 9 | D_0 to D_3 | data inputs |
| 16 | V_{CC} | positive supply voltage |

Note

1. LOW-to-HIGH, edge triggered

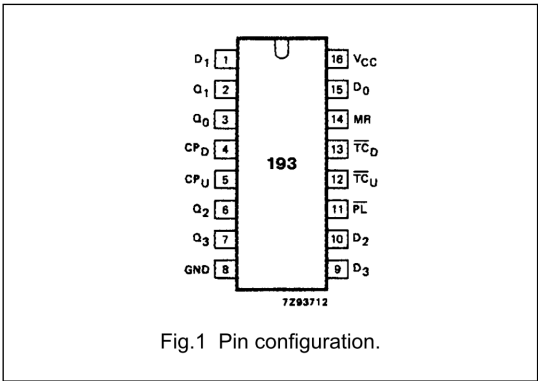


Fig.1 Pin configuration.

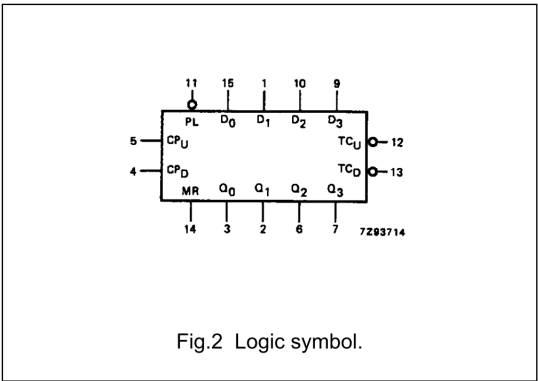


Fig.2 Logic symbol.

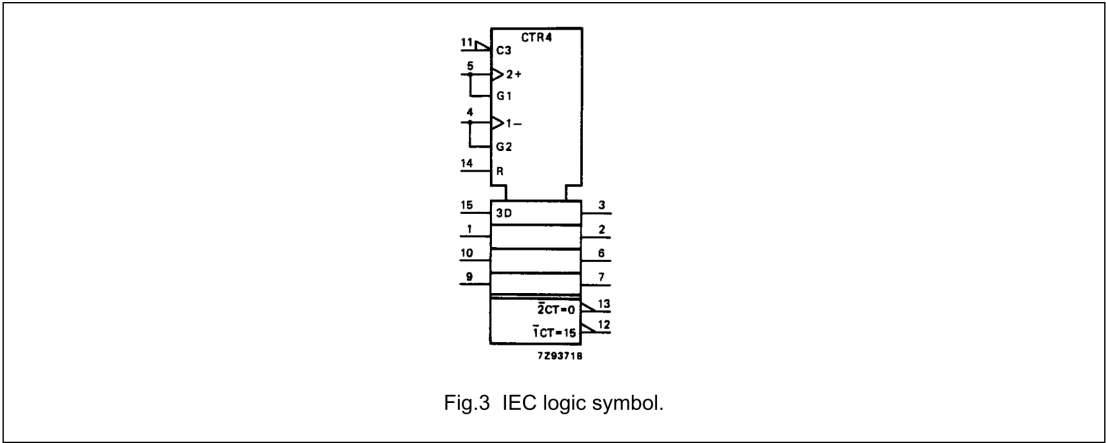


Fig.3 IEC logic symbol.

Presettable synchronous 4-bit binary
up/down counter

74HC/HCT193

FUNCTION TABLE

| OPERATING MODE | INPUTS | | | | | | | | OUTPUTS | | | | | |
|----------------|--------|------------------------|----------------------|----------------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|---------------------------------|---------------------------------|
| | MR | $\overline{\text{PL}}$ | CP_U | CP_D | D_0 | D_1 | D_2 | D_3 | Q_0 | Q_1 | Q_2 | Q_3 | $\overline{\text{TC}}_\text{U}$ | $\overline{\text{TC}}_\text{D}$ |
| reset (clear) | H | X | X | L | X | X | X | X | L | L | L | L | H | L |
| | H | X | X | H | X | X | X | X | L | L | L | L | H | H |
| parallel load | L | L | X | L | L | L | L | L | L | L | L | L | H | L |
| | L | L | X | H | L | L | L | L | L | L | L | L | H | H |
| | L | L | L | X | H | H | H | H | H | H | H | H | L | H |
| | L | L | H | X | H | H | H | H | H | H | H | H | H | H |
| count up | L | H | \uparrow | H | X | X | X | X | count up | | | | $\text{H}^{(2)}$ | H |
| count down | L | H | H | \uparrow | X | X | X | X | count down | | | | H | $\text{H}^{(3)}$ |

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care
 \uparrow = LOW-to-HIGH clock transition
2. $\overline{\text{TC}}_\text{U}$ = CP_U at terminal count up (HHHH)
3. $\overline{\text{TC}}_\text{D}$ = CP_D at terminal count down (LLLL)

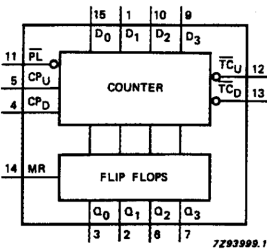


Fig.4 Functional diagram.

Presettable synchronous 4-bit binary up/down counter

74HC/HCT193

