

Partiel 1

Architecture des ordinateurs

Durée : 1 h 30

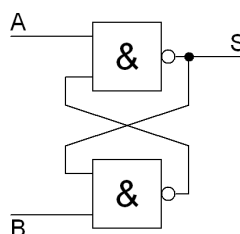
Nom : Prénom : Classe :

Exercice 1 (2 points)

1. Convertissez, **en détaillant chaque étape**, le nombre 145,75 dans le format flottant IEEE 754 **simple précision**. Vous exprimerez le résultat final sous forme binaire, **en précisant chacun des champs**.
2. Convertissez, **en détaillant au maximum**, le nombre suivant, codé au format flottant IEEE 754 **double précision**, dans sa représentation décimale : 0001 5800 0000 0000₁₆

Exercice 2 (2 points)

1. Donnez la table de vérité du montage ci-dessous :



2. Quelle fonction reconnaissez-vous ?

Exercice 3 (5,5 points)

On dispose d'une mémoire vive (RAM) de 512 Mo, d'une mémoire morte (ROM) de 128 Mo et de deux périphériques (P_1 et P_2) adressables respectivement sur 16 ko et 2 ko. On désire les rendre accessibles à un microprocesseur via les bus d'adresse (32 bits : de A_0 à A_{31} avec A_0 comme bit de poids faible), de donnée (8 bits) et de commande (dont le signal *Address Strobe*). Les mémoires et les périphériques sont compatibles en largeur avec le microprocesseur. La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM, P_1 et P_2 .

1. Donnez la taille du bus d'adresse de chaque mémoire et de chaque périphérique.
2. Est-il possible de réaliser un décodage de type linéaire ?

Pour tout le reste de l'exercice, c'est le mode zone qui sera utilisé avec le moins de zones possible.

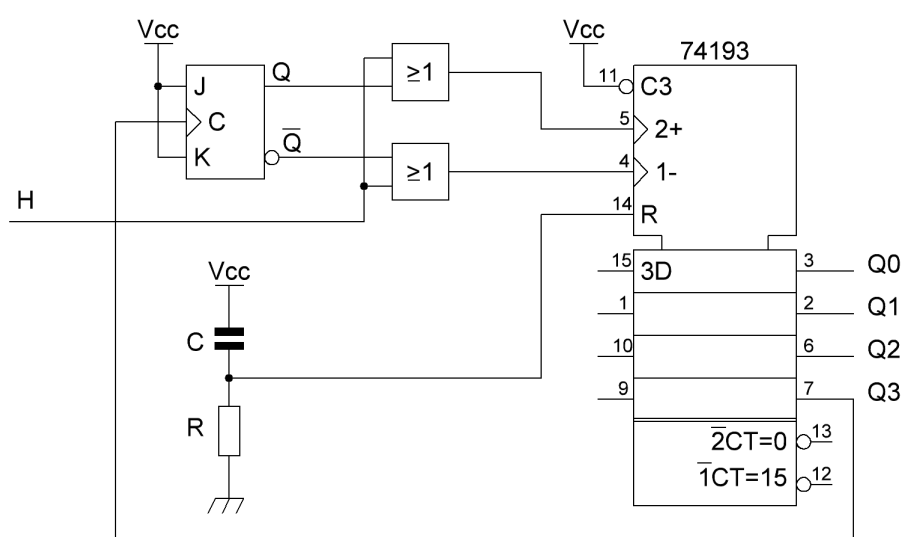
3. Donnez les bits d'adresse qui serviront au décodage avec les combinaisons associées aux différents composants ?
4. Donnez la fonction de décodage en tenant compte du signal **AS** (*Address Strobe*).
5. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables (vous donnerez les adresses en représentation hexadécimale à 8 chiffres).
6. Quelle est la redondance des différents composants ?

Exercice 4 (4 points)

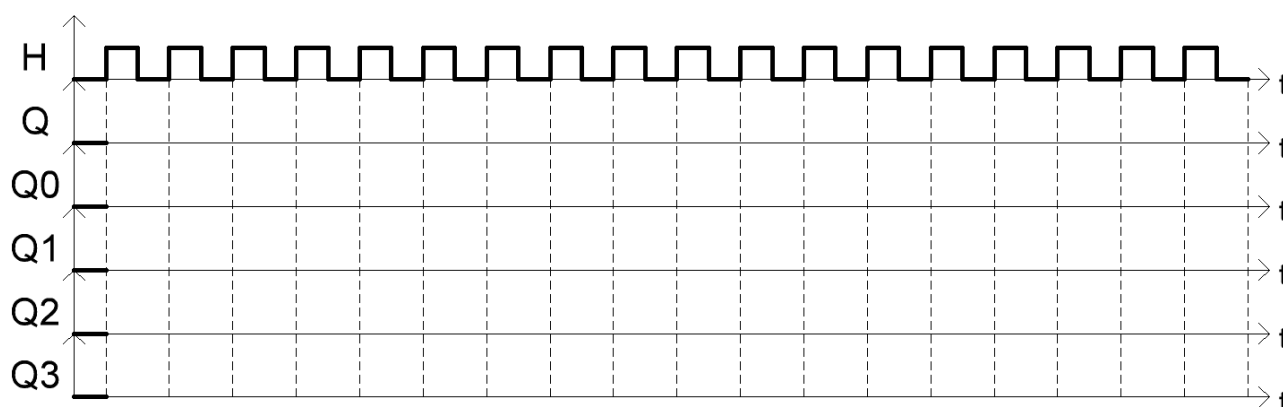
1. Si l'on double le nombre de fils du bus de donnée d'une mémoire, par combien a été multipliée la largeur de cette mémoire ?
2. Combien de fils d'adresse faut-il ajouter à une mémoire pour doubler sa profondeur ?
3. Si l'on ajoute deux fils au bus d'adresse d'une mémoire et que l'on double le nombre de fils de son bus de donnée, par combien a été multipliée la capacité en bits de cette mémoire ?
4. On dispose de 16 RAM de 512 kbit ayant un bus de donnée de 4 bits. Donnez la **largeur** et la **profondeur** de toutes les mémoires réalisables avec les différentes combinaisons d'assemblage (série et/ou parallèle) des 16 RAM (**dans chaque assemblage, les 16 RAM seront utilisées**).

Exercice 5 (4 points)

Soit le montage ci-dessous :



1. **En quelques mots**, donnez **le rôle** du condensateur et de la résistance.
2. Si $Q = 0$, en quel mode se trouve le **74193** ? (Compteur, décompteur ou chargement parallèle.)
3. Même question si $Q = 1$?
4. Quel effet aura un front montant sur **Q3** ?
5. Complétez le chronogramme ci-dessous (au départ : $Q = Q0 = Q1 = Q2 = Q3 = 0$).



Exercice 6 (2,5 points)**Cochez la réponse correspondante :**

1. Le microprocesseur 68000 est un microprocesseur 16 bits. Cela signifie :
 - (a) que la taille de son bus d'adresse est de 16 bits.
 - (b) que la taille de son bus d'adresse est un multiple de 16 bits.
 - (c) que la taille de son bus de donnée est de 16 bits.
 - (d) rien du tout.

2. Choisir l'affirmation correcte concernant les registres généraux :
 - (a) Il y a 8 registres généraux.
 - (b) La taille de ces registres doit être égale à la taille du bus de donnée du processeur.
 - (c) Il y a 8 registres d'adresse.
 - (d) La taille des registres généraux dépend du type de donnée.

3. Choisir l'affirmation correcte. Le registre **SP** :
 - (a) Pointe sur le bas de la pile.
 - (b) Est un registre non adressable.
 - (c) Est, par défaut, le registre **A0** en mode utilisateur.
 - (d) Contient l'adresse du sommet de la pile.

4. Laquelle de ces instructions n'est pas autorisée ?
 - (a) `MOVE.L D0, D1`
 - (b) `MOVE.W (D0), D1`
 - (c) `MOVE.B A0, D1`
 - (d) `MOVE.B (A0), D1`

On suppose que l'espace mémoire est organisé de la façon suivante :

\$3000	\$4C	\$AB
\$3002	\$5A	\$12
\$3004	\$34	\$55
\$3006	\$1A	\$2B
\$3008	\$C9	\$F1
\$300A	\$D2	\$E6

Le registre **D0** contient la valeur `$2CD1FFFF` et le registre **A1** contient la valeur `$00003004`.

5. Quel est le résultat obtenu suite à l'instruction suivante : `MOVE.L (A1) +, D0`
 - (a) **D0** = `$34551A2B` et **A1** = `$00003004`.
 - (b) **D0** = `$34551A2B` et **A1** = `$00003008`.
 - (c) **D0** = `$00003004` et **A1** = `$00003008`.
 - (d) Cette instruction n'est pas autorisée.

Presetable synchronous 4-bit binary up/down counter

74HC/HCT193

FEATURES

- Synchronous reversible 4-bit binary counting
- Asynchronous parallel load
- Asynchronous reset
- Expandable without external logic
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT193 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT193 are 4-bit synchronous binary up/down counters. Separate up/down clocks, CP_U and CP_D respectively, simplify operation. The outputs change state synchronously with the LOW-to-HIGH transition of either clock input. If the CP_U clock is pulsed while CP_D is held HIGH, the device will count up. If the CP_D clock is pulsed while CP_U is held HIGH, the device will count down. Only one clock input can be held HIGH at any time, or erroneous operation will result. The device can be cleared at any time by the asynchronous master reset input (MR); it may also be loaded in parallel by activating the asynchronous parallel load input (\overline{PL}).

The "193" contains four master-slave JK flip-flops with the necessary steering logic to provide the asynchronous reset, load, and synchronous count up and count down functions.

Each flip-flop contains JK feedback from slave to master, such that a LOW-to-HIGH transition on the CP_D input will decrease the count by one, while a similar transition on the CP_U input will advance the count by one.

One clock should be held HIGH while counting with the other, otherwise the circuit will either count by two's or not at all, depending on the state of the first flip-flop, which cannot toggle as long as either clock input is LOW.

Applications requiring reversible operation must make the reversing decision while the activating clock is HIGH to avoid erroneous counts.

The terminal count up ($\overline{TC_U}$) and terminal count down ($\overline{TC_D}$) outputs are normally HIGH. When the circuit has reached the maximum count state of 15, the next HIGH-to-LOW transition of CP_U will cause $\overline{TC_U}$ to go LOW.

$\overline{TC_U}$ will stay LOW until CP_U goes HIGH again, duplicating the count up clock.

Likewise, the $\overline{TC_D}$ output will go LOW when the circuit is in the zero state and the CP_D goes LOW. The terminal count outputs can be used as the clock input signals to the next higher order circuit in a multistage counter, since they duplicate the clock waveforms. Multistage counters will not be fully synchronous, since there is a slight delay time difference added for each stage that is added.

The counter may be preset by the asynchronous parallel load capability of the circuit. Information present on the parallel data inputs (D_0 to D_3) is loaded into the counter and appears on the outputs (Q_0 to Q_3) regardless of the conditions of the clock inputs when the parallel load (\overline{PL}) input is LOW. A HIGH level on the master reset (MR) input will disable the parallel load gates, override both clock inputs and set all outputs (Q_0 to Q_3) LOW. If one of the clock inputs is LOW during and after a reset or load operation, the next LOW-to-HIGH transition of that clock will be interpreted as a legitimate signal and will be counted.

Presettable synchronous 4-bit binary up/down counter

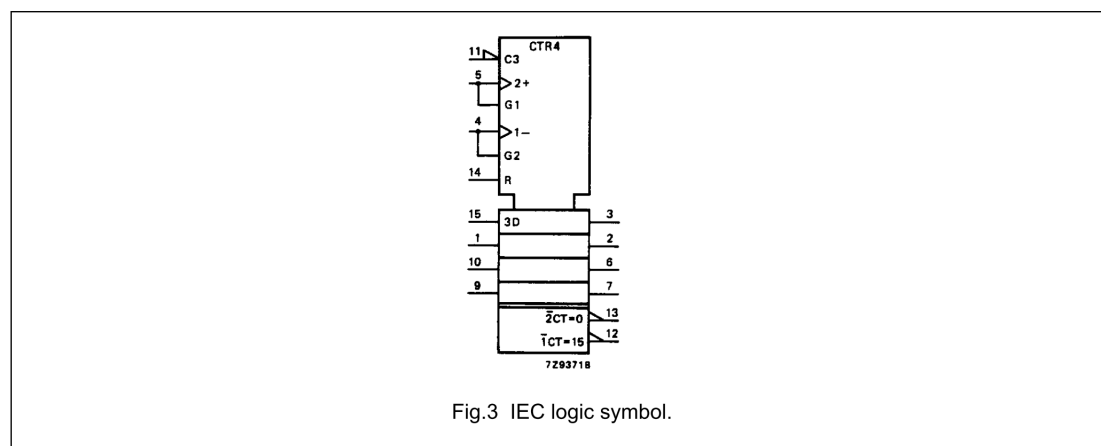
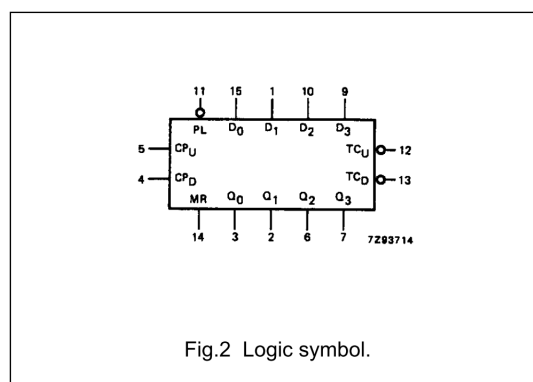
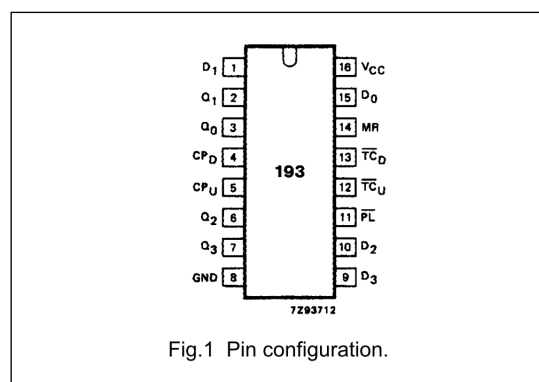
74HC/HCT193

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	CP_D	count down clock input ⁽¹⁾
5	CP_U	count up clock input ⁽¹⁾
8	GND	ground (0 V)
11	\overline{PL}	asynchronous parallel load input (active LOW)
12	$\overline{TC_U}$	terminal count up (carry) output (active LOW)
13	$\overline{TC_D}$	terminal count down (borrow) output (active LOW)
14	MR	asynchronous master reset input (active HIGH)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage

Note

1. LOW-to-HIGH, edge triggered



Presettable synchronous 4-bit binary up/down counter

74HC/HCT193

FUNCTION TABLE

OPERATING MODE	INPUTS								OUTPUTS					
	MR	$\overline{\text{PL}}$	CP_U	CP_D	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3	$\overline{\text{TC}}_\text{U}$	$\overline{\text{TC}}_\text{D}$
reset (clear)	H	X	X	L	X	X	X	X	L	L	L	L	H	L
	H	X	X	H	X	X	X	X	L	L	L	L	H	H
parallel load	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	H	H	H	H	H	H	H	L	H
	L	L	H	X	H	H	H	H	H	H	H	H	H	H
count up	L	H	\uparrow	H	X	X	X	X	count up				$\text{H}^{(2)}$	H
count down	L	H	H	\uparrow	X	X	X	X	count down				H	$\text{H}^{(3)}$

Notes

- H = HIGH voltage level
L = LOW voltage level
X = don't care
 \uparrow = LOW-to-HIGH clock transition
- $\overline{\text{TC}}_\text{U}$ = CP_U at terminal count up (HHHH)
- $\overline{\text{TC}}_\text{D}$ = CP_D at terminal count down (LLLL)

