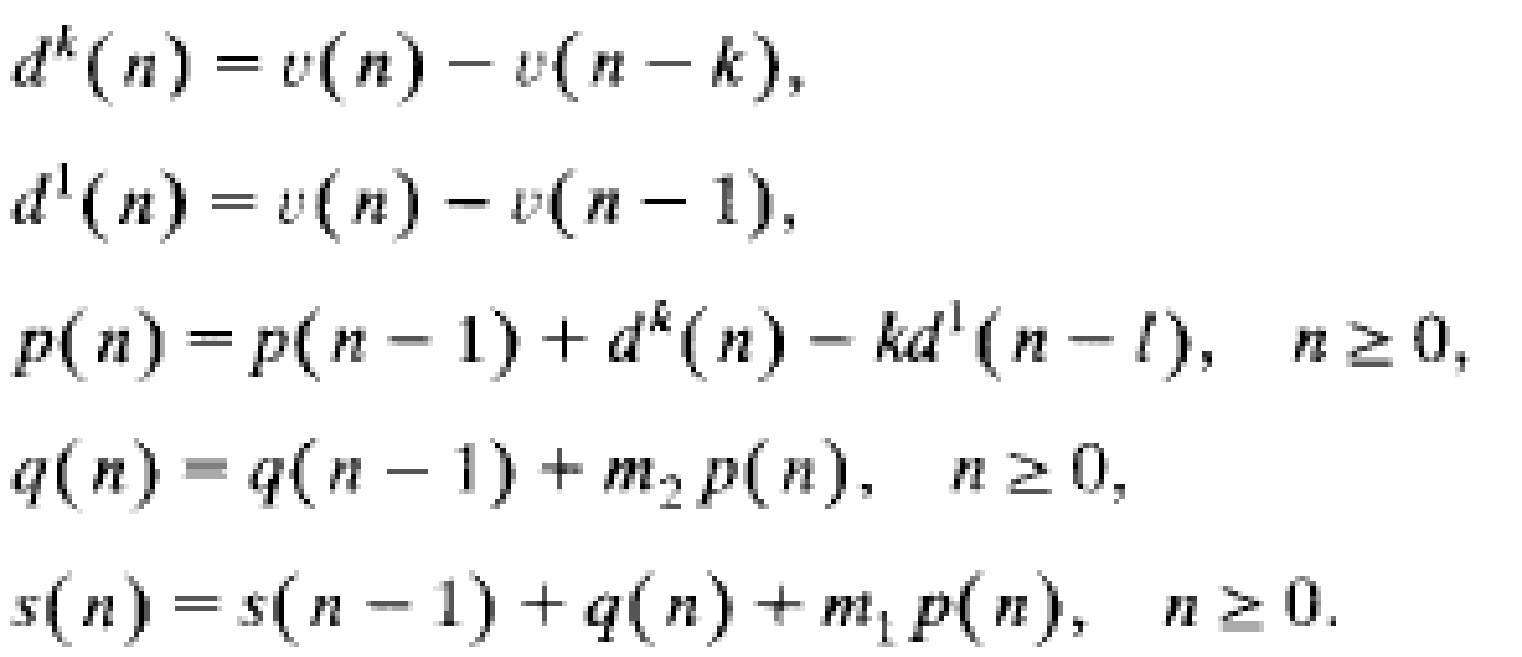
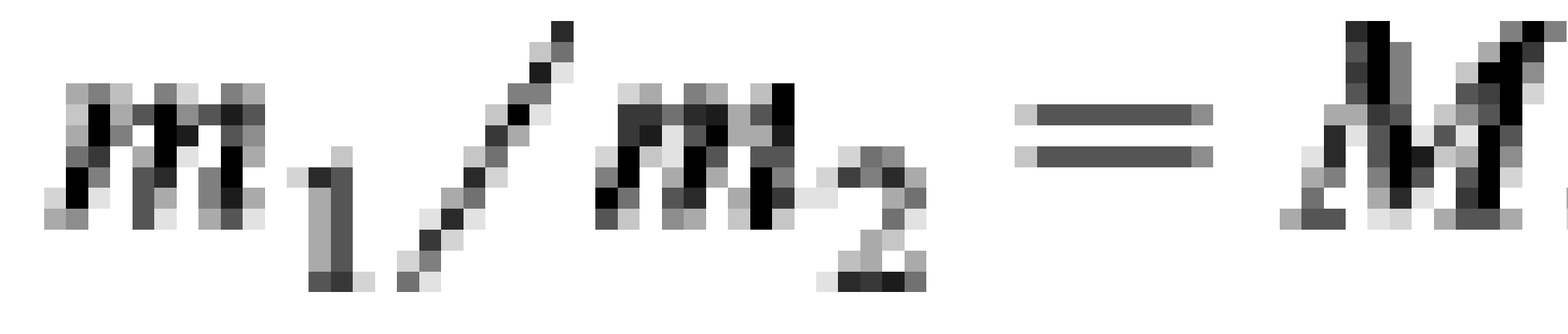
**Задание №0: знакомство с SVN**

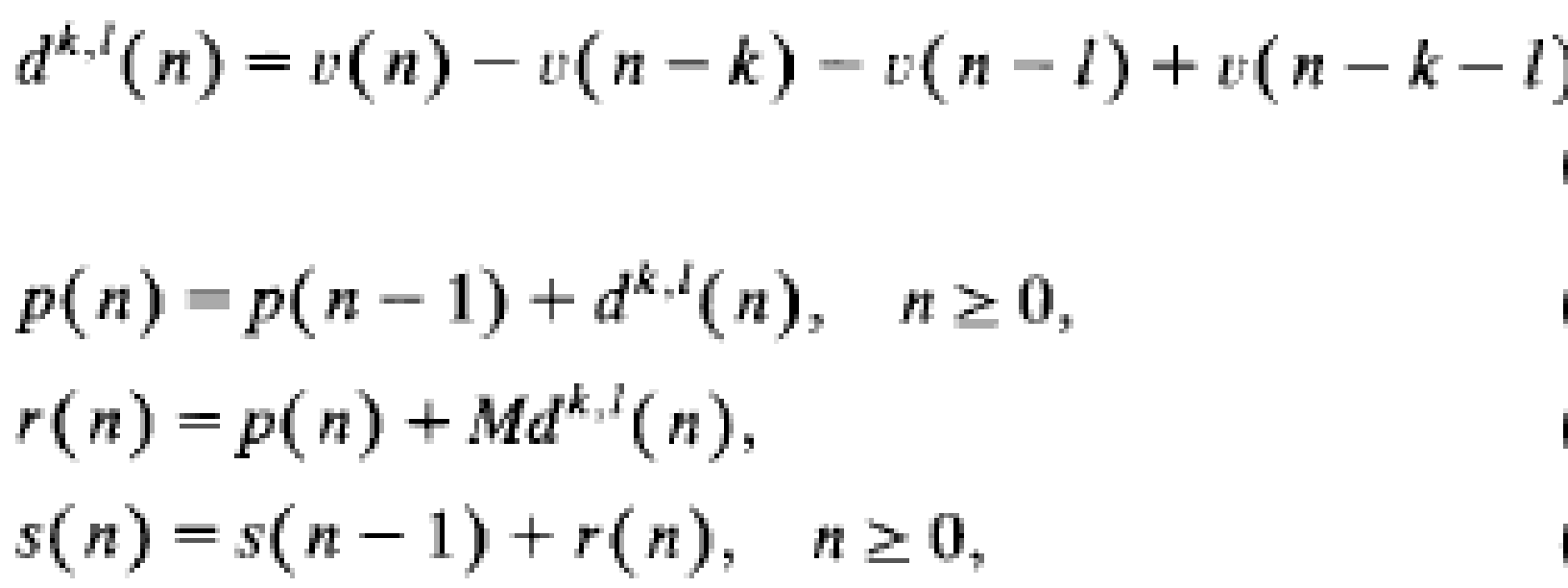
1. 3 балла) Проделать все пункты согласно файлу Инструкция.doc (Google Disk)
2. (2 балл) Установить MATLAB

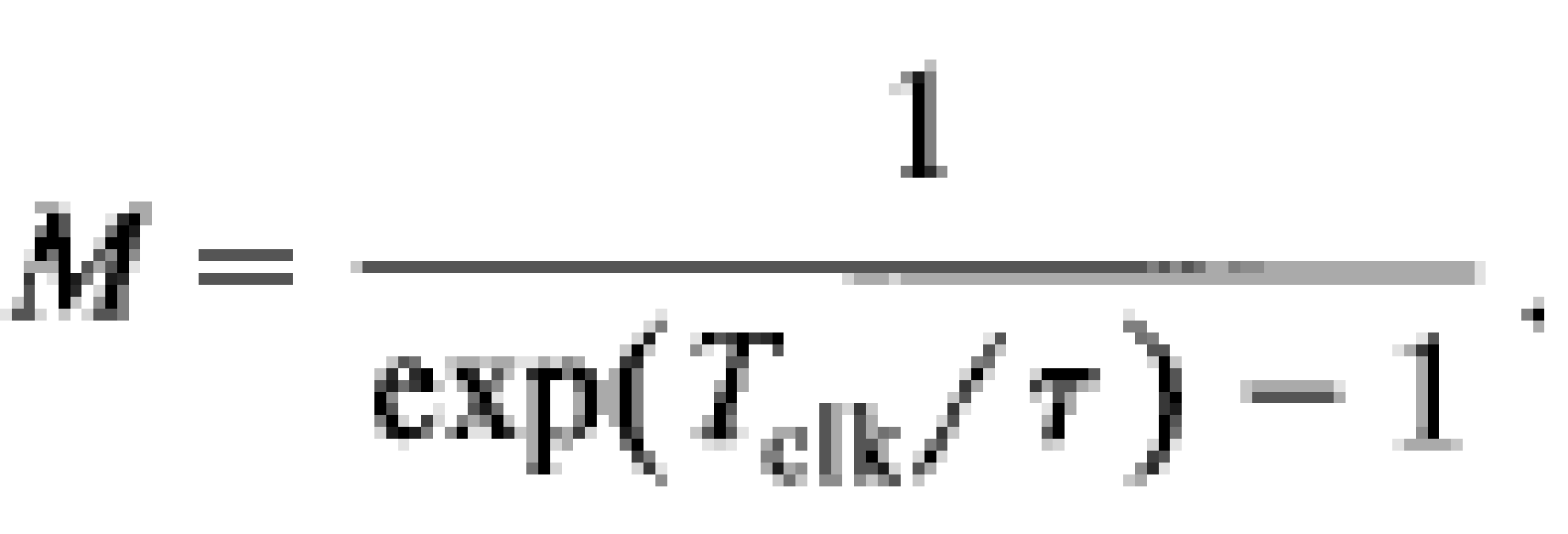
**Задание №1: моделирование в MATLAB**

1. (3 балла) Создать файл проекта в MATLAB, который будет запускать m-функцию, генерирующую массив чисел и рисовать график соответствующий формуле: , где А – амплитуда. Принять ее равной 1.
2. (3 балла) Постройте график из задания 1 при τ1 = 16, τ2 = 5, с шагом по t = 1 в пределах от -10 до 100.
3. (2 балла) Написать m-функцию в MATLAB, запускаемую из головного проекта, которая будет преобразовывать функцию из предыдущего задания в:

А.



Б.



Построить график финальной функции. Добавить к файлам функций и проекта комментарии с тем, что они делают и зачем они нужны.

|  |  |
| --- | --- |
| Вариант 1 | Трапецеидальный фильтр (формулы Б) с параметрами k = 8, l =5, M=16 |
| Вариант 2 | Треугольный фильтр (формулы Б) с параметрами k = 5, l =5, M=16 |
| Вариант 3 | Модифицированный cusp-like фильтр (формулы А) с параметрами l = 5, k =11, m1=16, m2 = 1 |
| Вариант 4 | Трапецеидальный фильтр (формулы Б) с параметрами k = 9, l =5, M=16, |
| Вариант 5 | Треугольный фильтр (формулы Б) с параметрами k = 6, l =6, M=16 |
| Вариант 6 | Модифицированный cusp-like фильтр (формулы А) с параметрами l = 6,k =13, m1=16, m2 = 1 |
| Вариант 7 | Трапецеидальный фильтр (формулы Б) с параметрами k = 10, l =5, M=16 |
| Вариант 8 | Треугольный фильтр (формулы Б) с параметрами k = 9, l =6, M=15 |

**Задание № 2: знакомство с синтаксисом Verilog**

1. (1 балл) Установить на свой рабочий компьютер (ноутбук) – Quartus II версии 9.1.
2. (2 балла) Написать модуль на SystemVerilog выполняющий следующие действия С = A\*B, где А и В входные сигналы.
3. (2 балла) Написать модуль на SystemVerilog, описывающий работу D-триггера со входами (d, clk и выходом out).
4. (2 балла) Написать модуль, описывающий 8-разрядный регистр, который выполняет следующую операцию на частоте 200 МГц (клок и данные меняются на этой частоте): DATA\_OUT[7..0] <= A[7..0]\*B[7..0]+C[7..0].
5. (2 балла) Параметризовать модуль из пункта 4: создать файл параметров и вынести туда разрядность шин. Определить «правильную» ширину выходной шины (чтобы не было переполнения) при 8-разрядных входных сигналах
6. (2 балла) Создать \*.vwf файл и просимулировать модули из пунктов 2-5 во временной/функциональной моде.

**Задание № 3: проектирование алгоритма цифровой обработки**

* + - 1. (12 баллов) Реализовать ваш вариант алгоритма из Задания №1MatLAB в программе Quartus II на языке SystemVerilog: создать файл с модулем вашего варианта и файл с его параметрами. А так же подключить ваши файлы к общему проекту.

**Задание № 4: знакомство с САПР Altium Designer (проектирование схем)**

1. (1 балл) Установить на свой рабочий компьютер (ноутбук) – Altium Designer версии 10.
2. (2 балла) Создать проект вашей платы в виде структуры (Pcb project и схемотехнический файл Sch).
3. (5 балла) Создать в своей папке файл библиотеки (V\_№варианта.schlib) элементов и нарисовать в нем резистор, конденсатор, ОУ и 14-ти битный АЦП нарисовать из приложенных pdf файлов.
4. (4 балла) Нарисовать схему содержащую созданные элементы из пункта 3 преобразующую сигнал вида ступеньки амплитудой 2В в экспоненциальный сигнал с параметрами вашего варианта для передачи его в оцифрованной форме в ПЛИС.

**Задание № 5: знакомство с САПР Altium Designer (разводка ПП)**

1. (1 балла) Создать файл изображения вашей платы в проекте (Pcb).
2. (4 балла) Создать в своей папке файл библиотеки (V\_№варианта.pcblib) элементов и нарисовать в нем резистор, конденсатор, ОУ и 14-ти битный АЦП из приложенных pdf файлов.
3. (1 балла) Привязать элементы из Pcblib к элементам из Schlib. Обновить Pcb файл вашего проекта с добавлением новых элементов.
4. (1 балла)Проверить, что все элементы на наличие связей на указанных “ножках”, иначе программа не даст их соединить. Если таковых нет, значит, прошлое задание (№4) выполнено не правильно и будут сниматься баллы.
5. (4 балла) Нарисовать ваш канал в области не превышающей 7х2см. Соединить все необходимые связи между элементами. Вход должен быть расположен слева, а АЦП с правой стороны канала. Входной сигнал должен появляться через дырку.