



第二章 数字电路基础和门电路

§ 2.1 数字电路基础

§ 2.2 逻辑门——外特性

§ 2.3 集成逻辑门的电路特性——内部

§ 2.4 竞争冒险现象



§ 2.3 集成逻辑门的电路特性

2.3.1 标准集成逻辑门电路——与非门内部结构

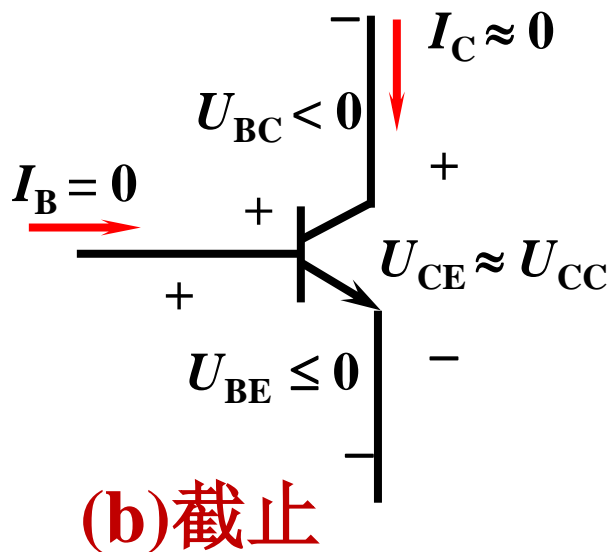
2.3.2 集电极开路逻辑门——OC门

2.3.3 三态门——特殊用途

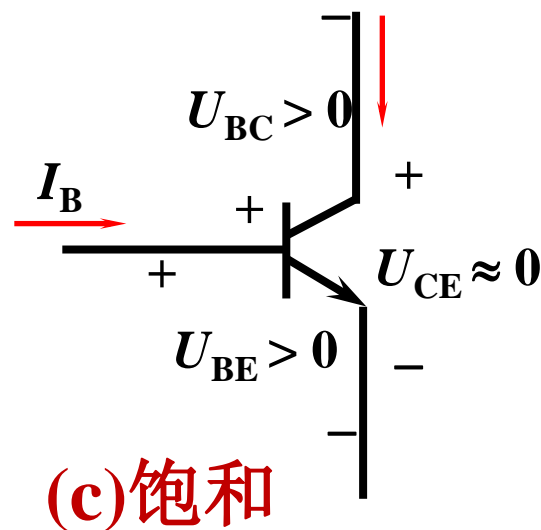
2.3.4 门电路的特性和参数

各种逻辑门电路如何构成？
外部电气特性和主要参数？

晶体管工作状态



$I_C \approx 0$
发射极和集电极之间如同开关断开，电阻很大。



$U_{CE} \approx 0$
发射极和集电极之间如同开关接通，电阻很小

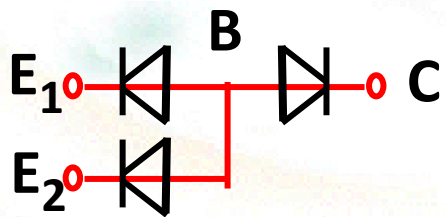
数字电路



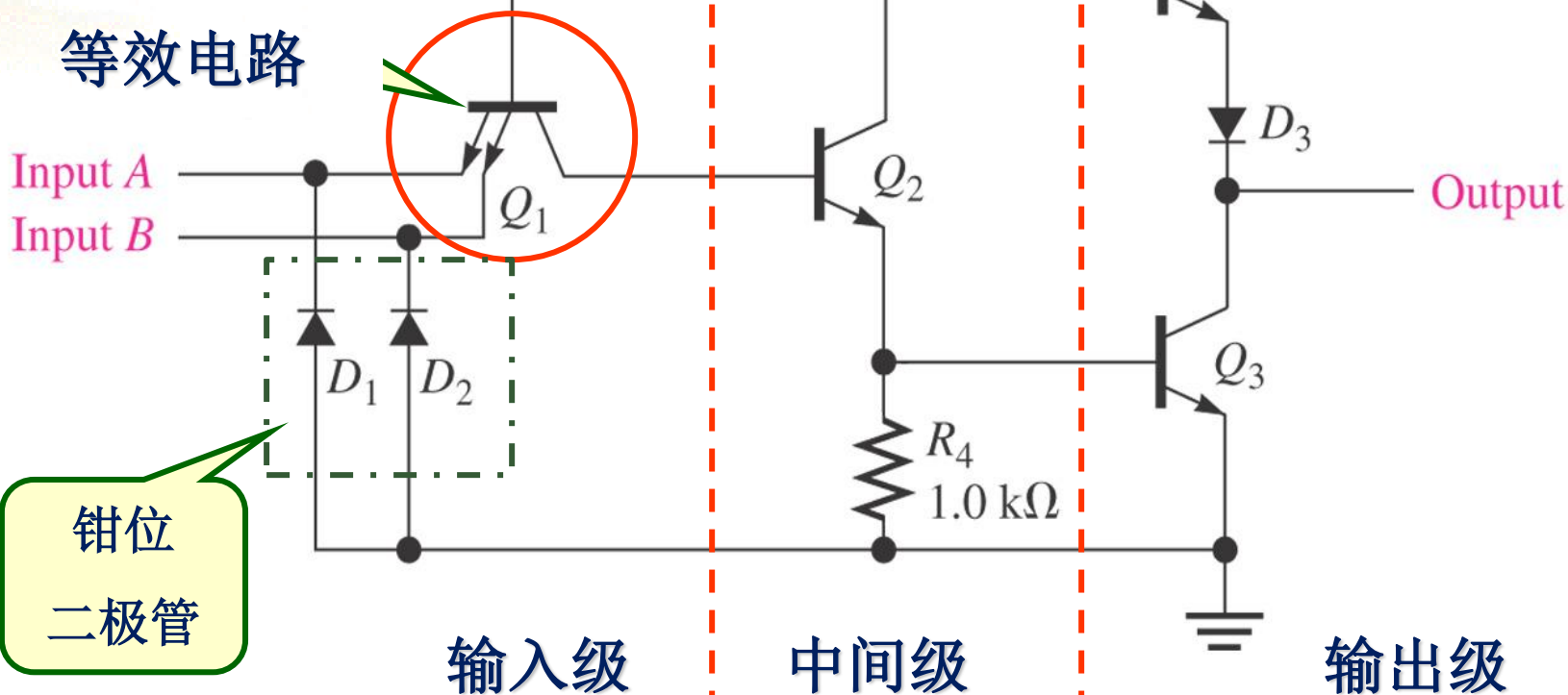
2.3.1 标准集成逻辑门电路

数字电路均工作在开关状态!

TTL 与非门为例

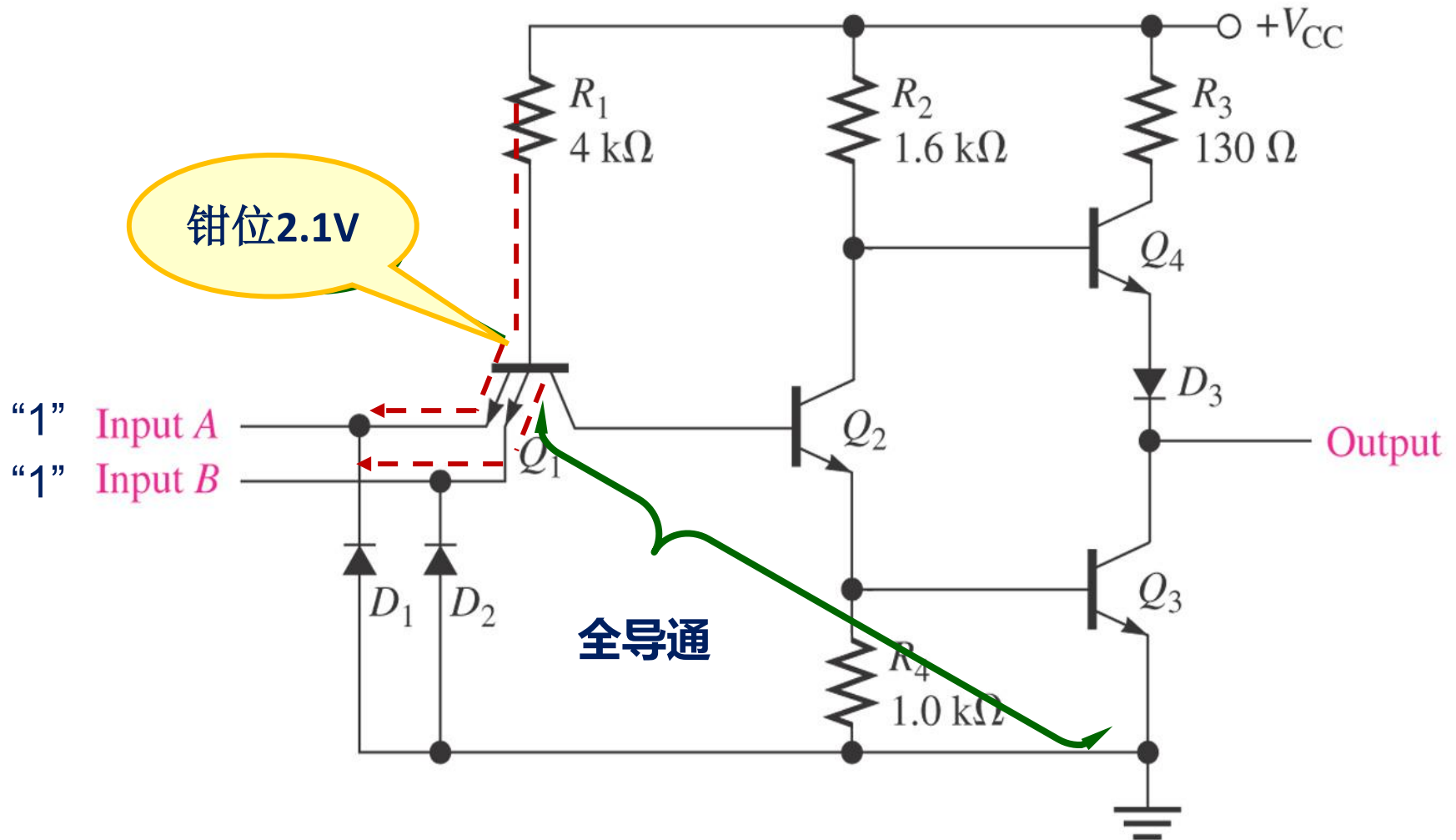


等效电路



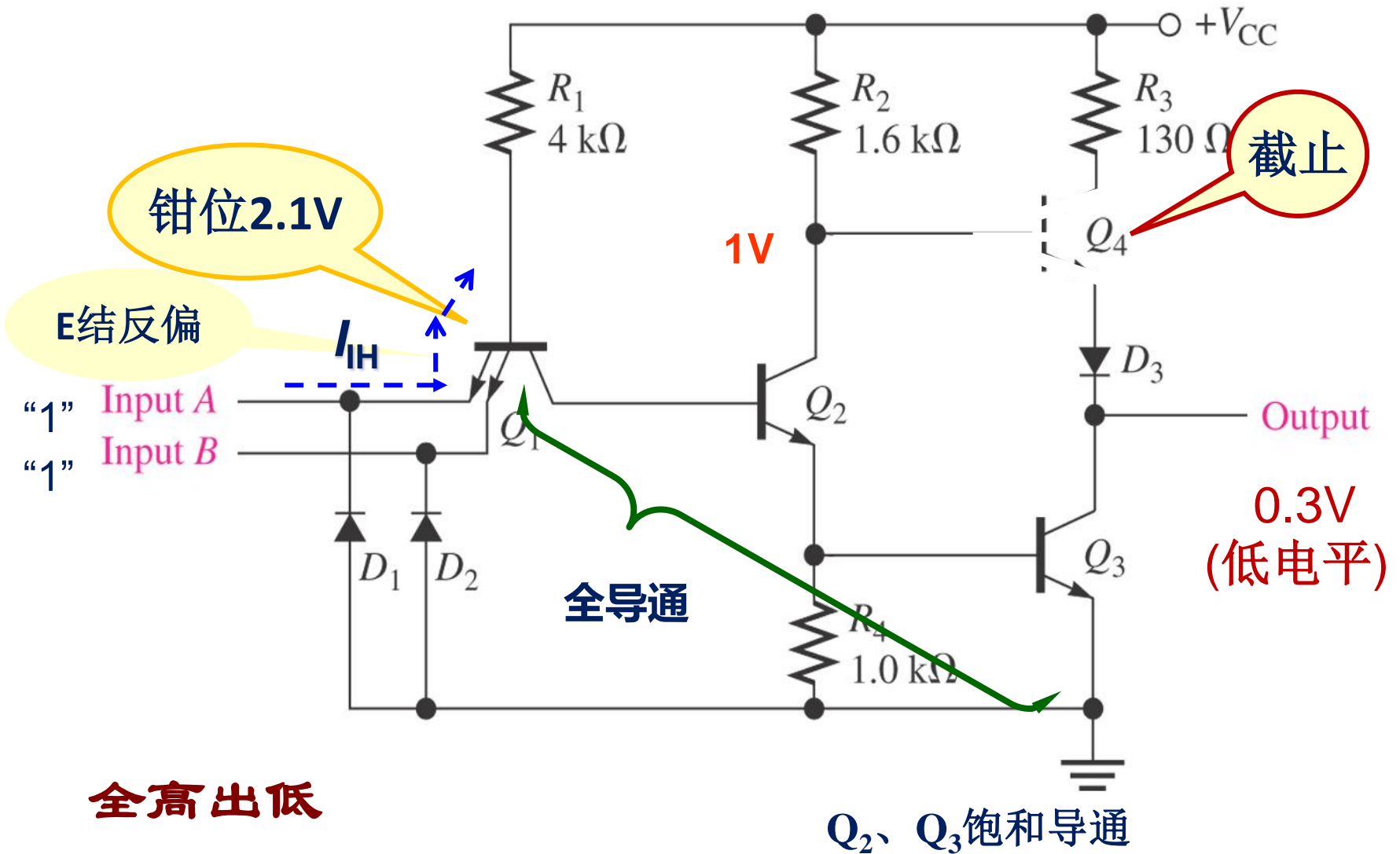


输入都为高电平 (3.6V)





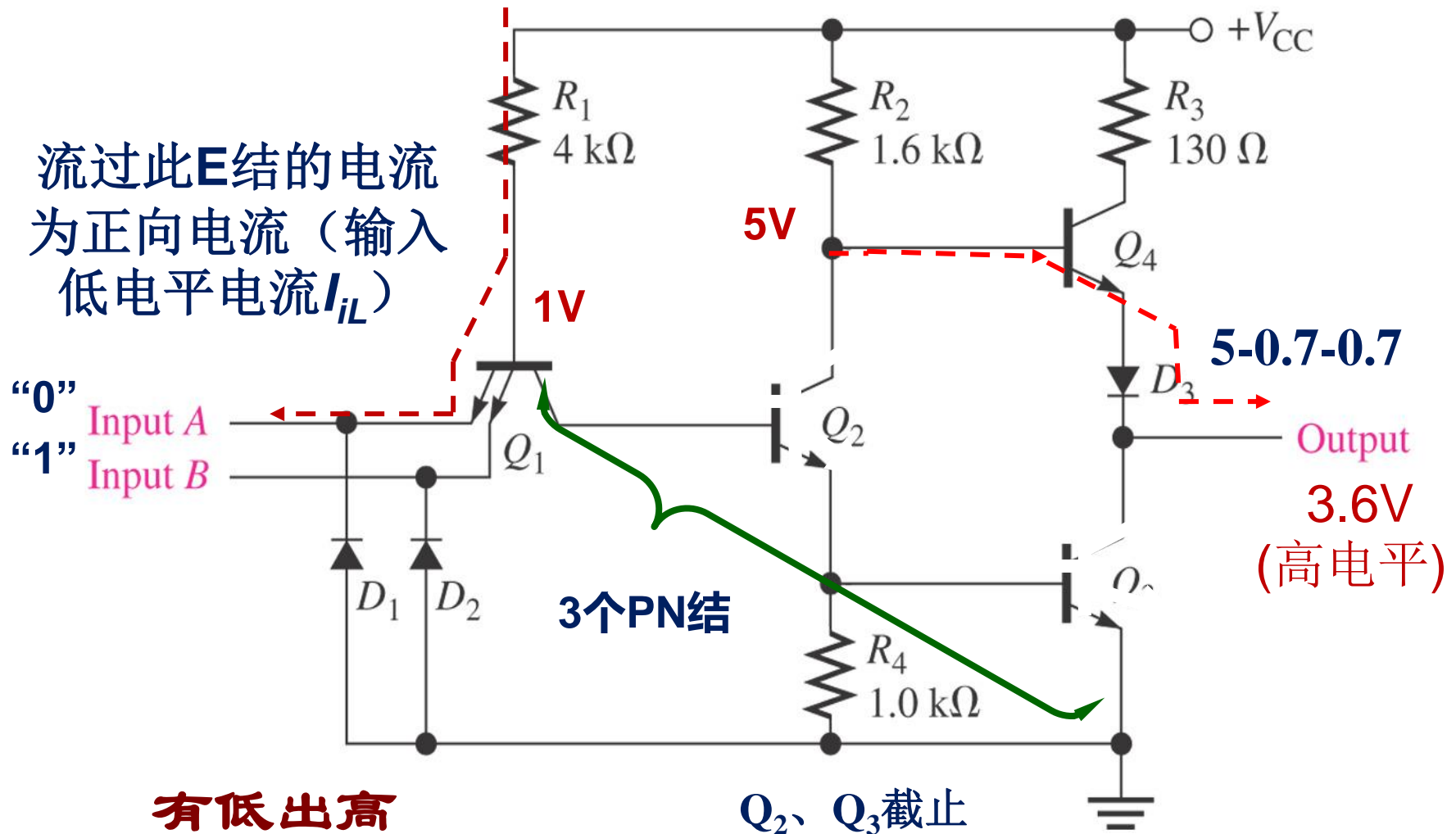
输入都为高电平 (3.6V)





有一个输入为低电平 (0.3V)

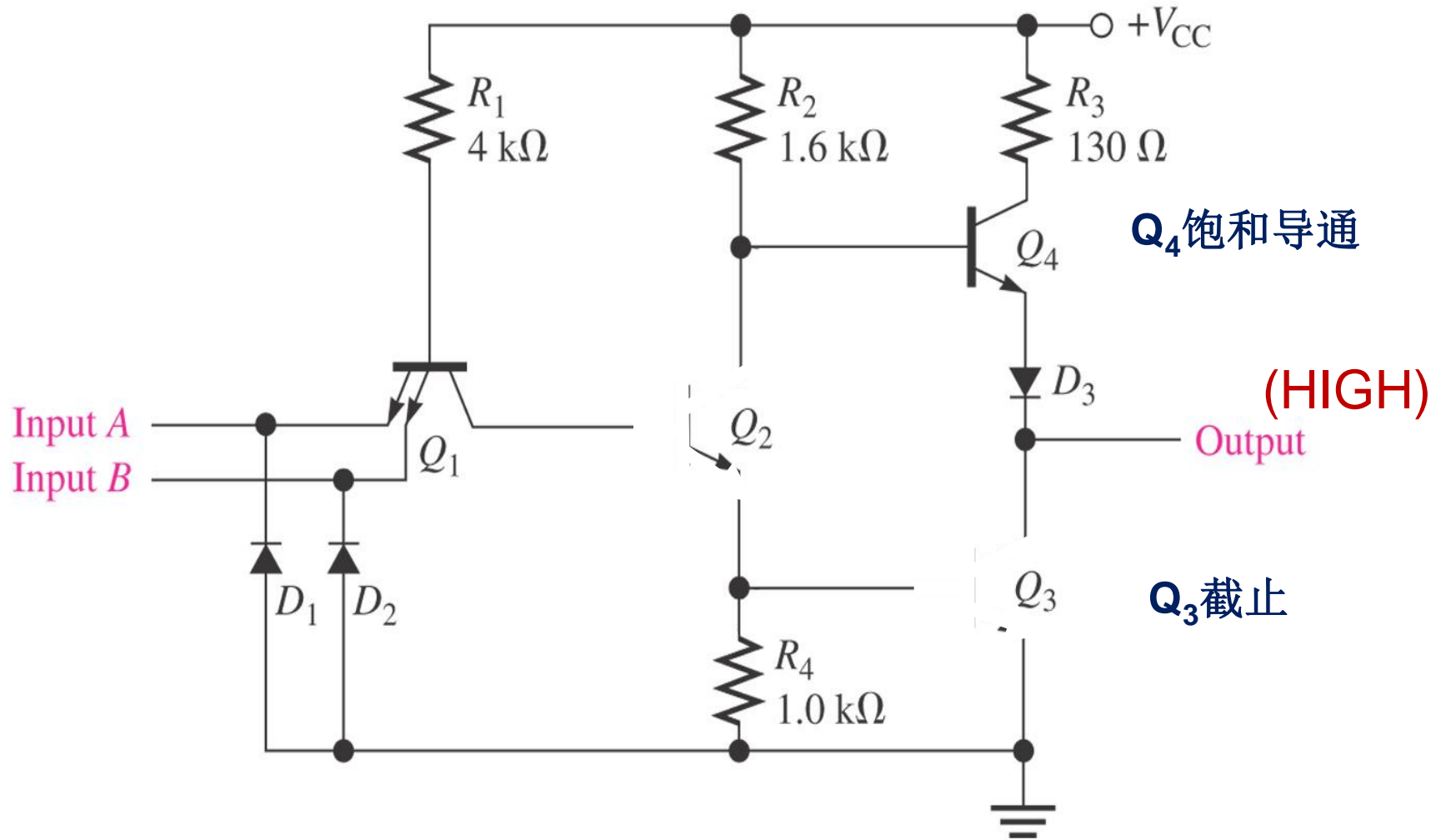
NAND Gate





推挽式输出

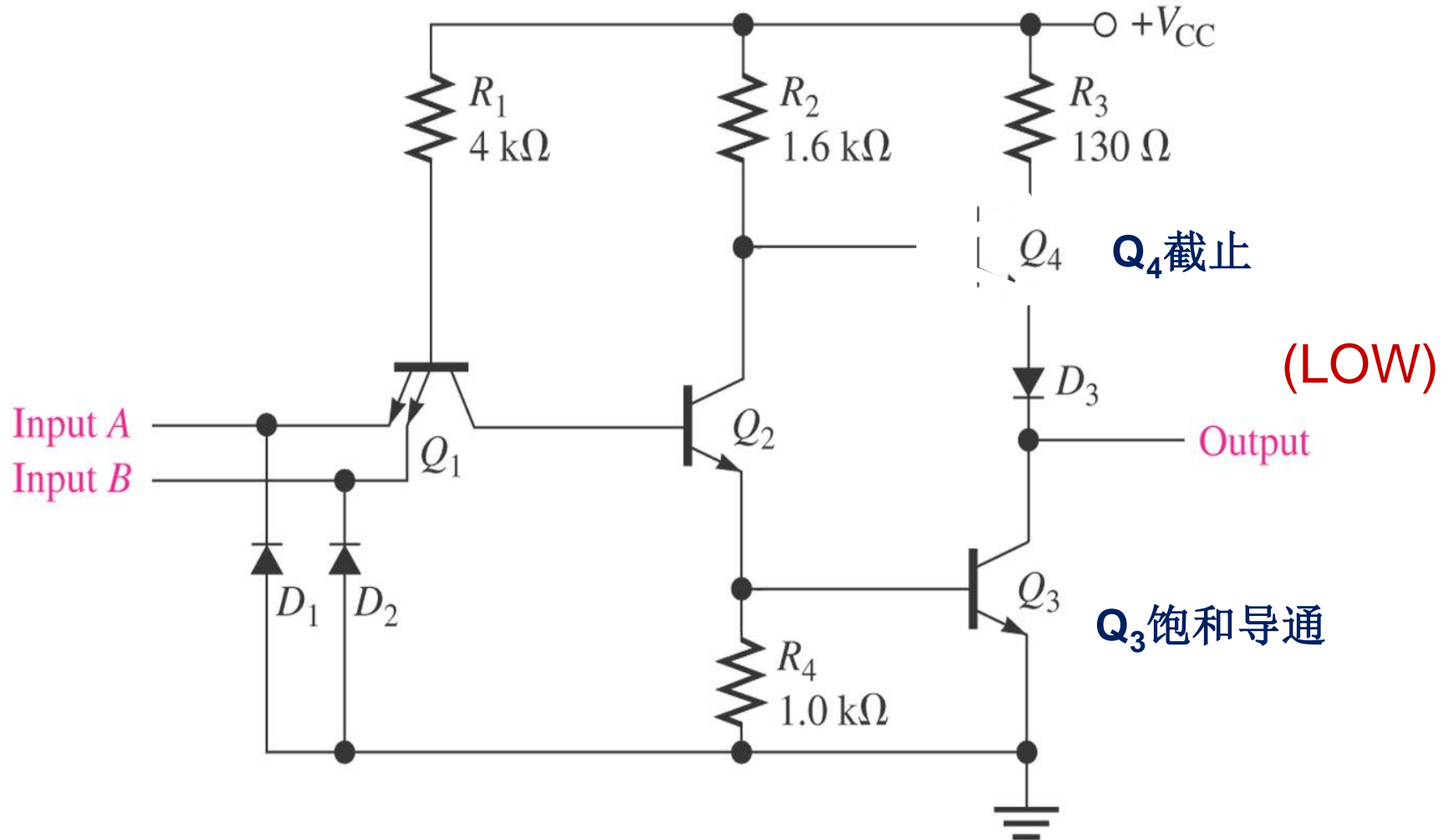
输出为高电平





推挽式输出

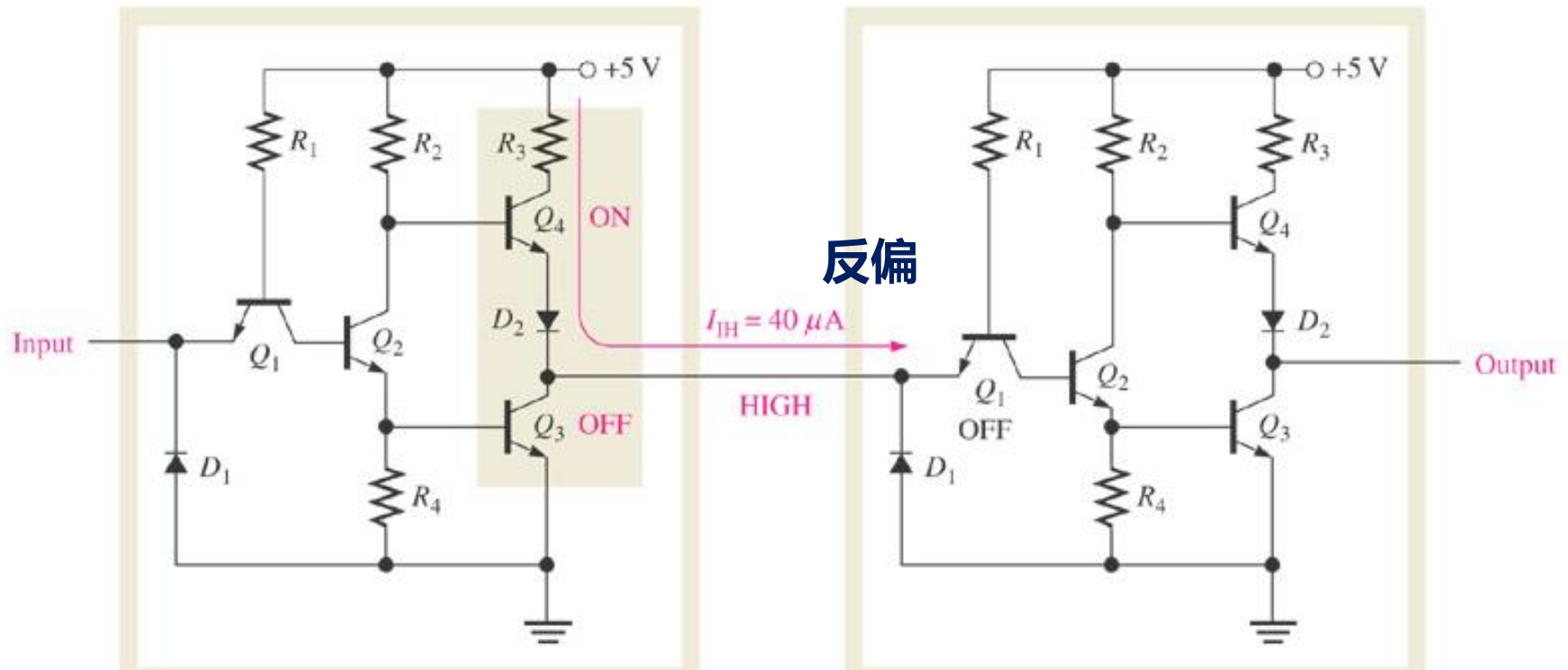
输出为低电平





前后级之间电流关系

前级输出为高电平时



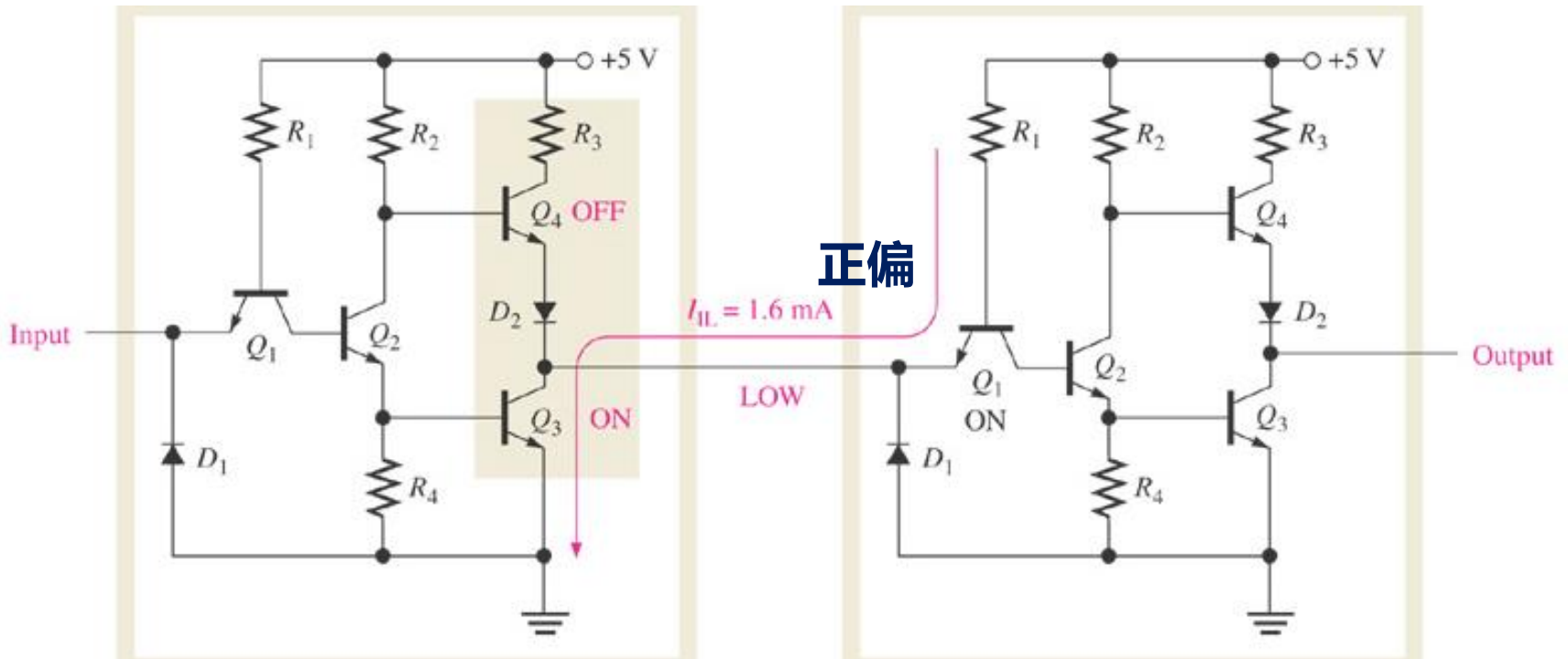
电流流出前级（拉电流）

后级输入电流记为 I_{IH}



前后级之间电流关系

前级输出为低电平时



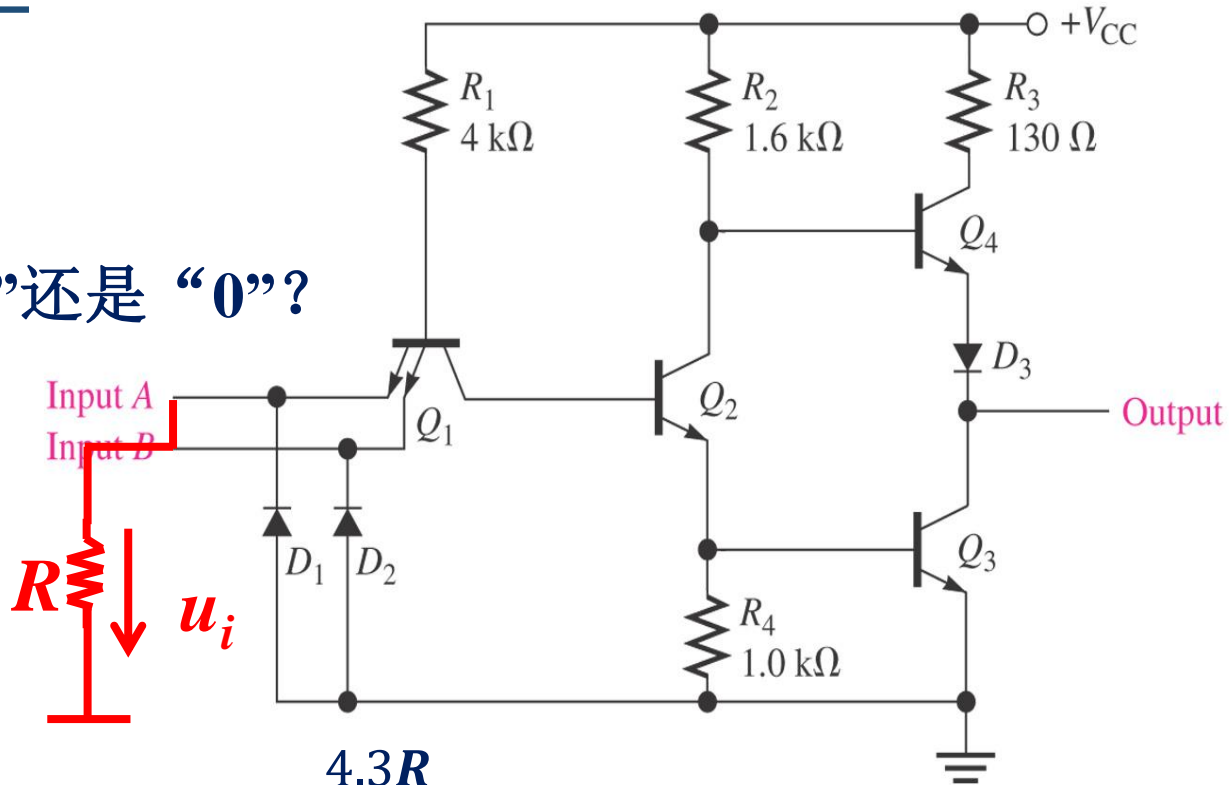
电流流入前级（灌电流）

后级输入电流记为 I_{IL}



输入端通过电阻接地

输入是“1”还是“0”？



$$u_i = \frac{R}{R_1 + R} (5 - U_{be1}) \approx \frac{4.3R}{R_1 + R}$$

R 较小时,输入看作低电平

R 较大时,输入看作高电平

TTL电路中悬空的输入端相当于接高电平



TTL电路中悬空的输入端相当于接高电平

读电路图时遇到悬空输入端看作高电平处理！

设计电路时不允许输入端悬空！

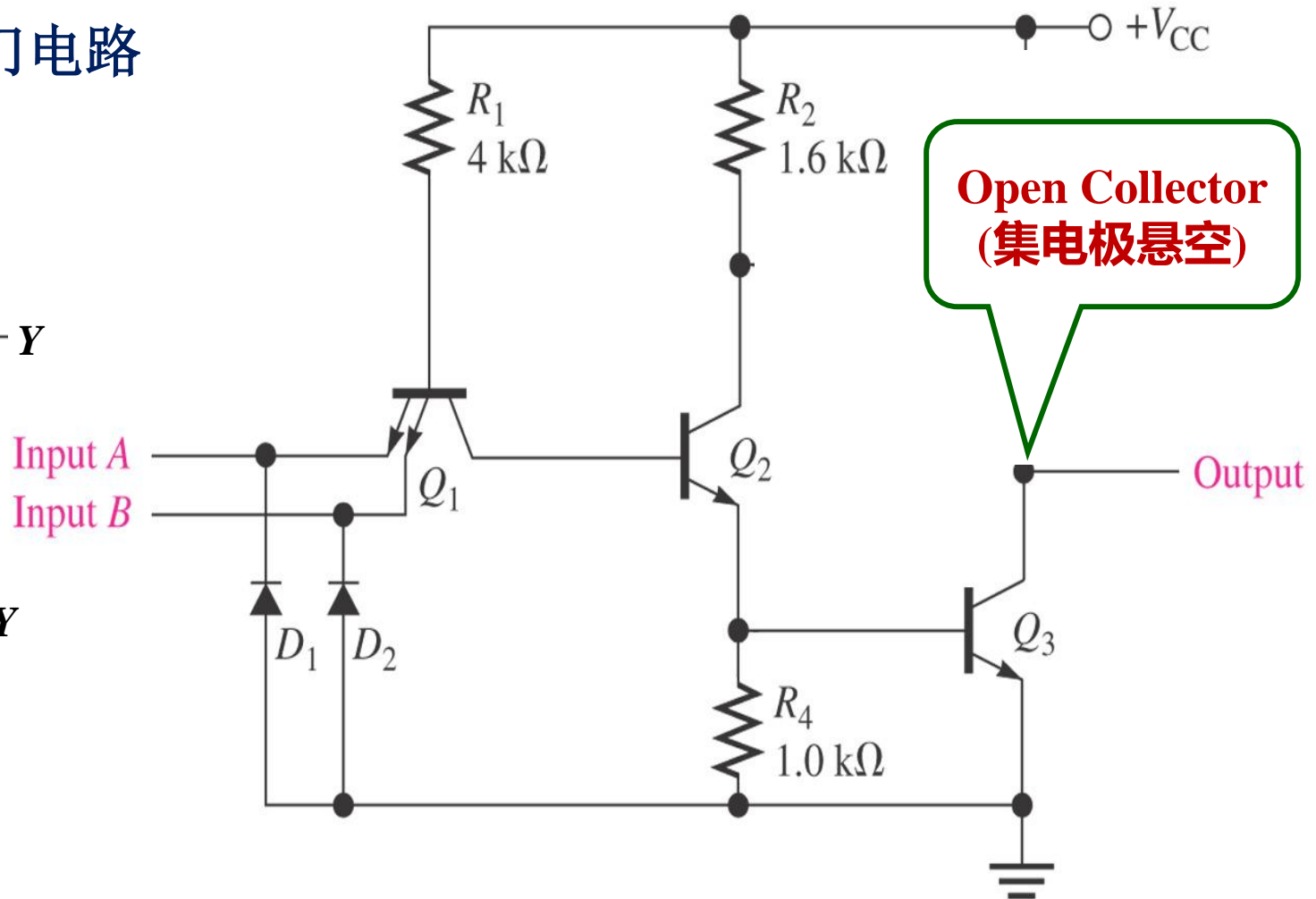
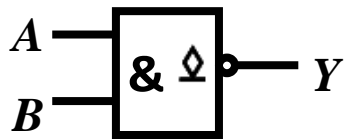
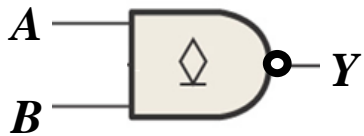
Multisim仿真软件可以设置悬空输入端所表示的高电平，缺省情况为低电平



2.3.2 集电极开路逻辑门 (OC门)

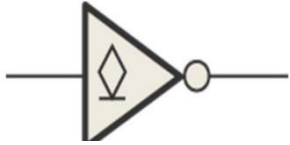
OC 与非门电路

逻辑符号

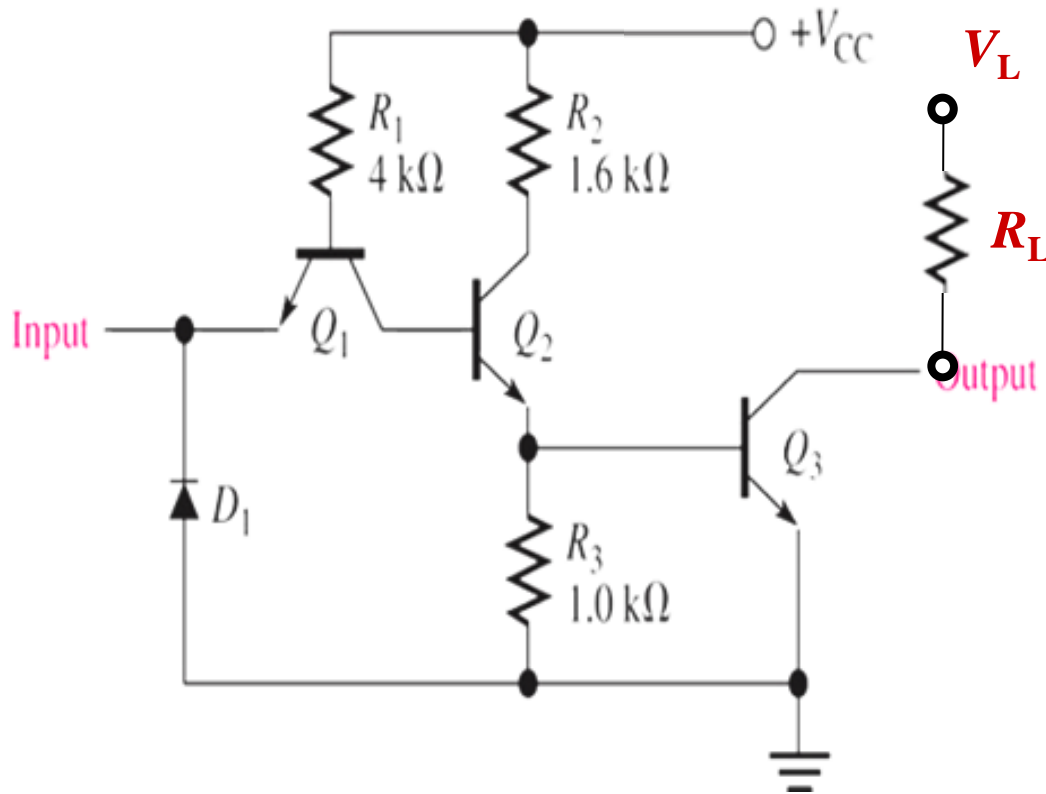




OC 非门



实际应用中OC门往往需要接负载电阻 R_L 和电源 V_L 才能工作



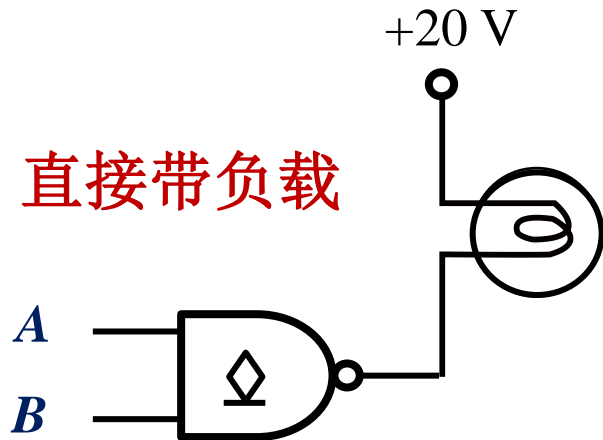
当输出为低电平时，
对应于 Q_3 饱和导通，
 R_L 和电源 V_L 接通

当输出为高电平时，
对应于 Q_3 截止，电阻
 R_L 和电源 V_L 断开连接

OC门在电路中可以看作是一个可控制负载电源通断的逻辑开关



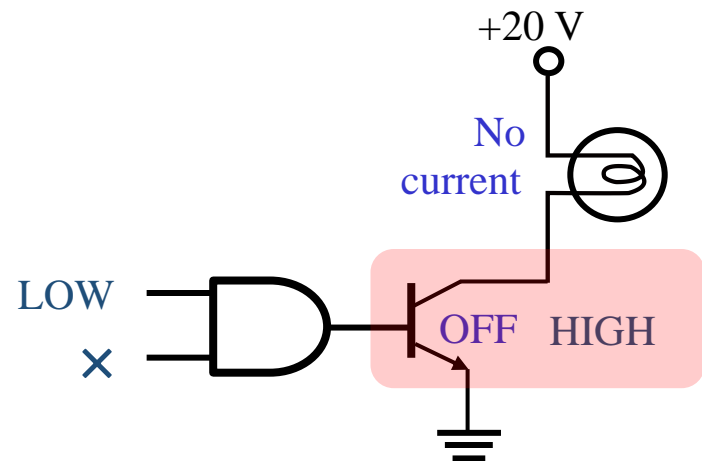
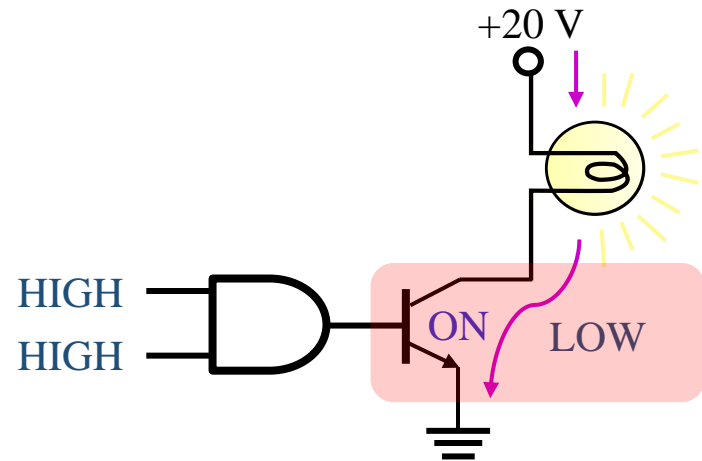
OC门应用举例



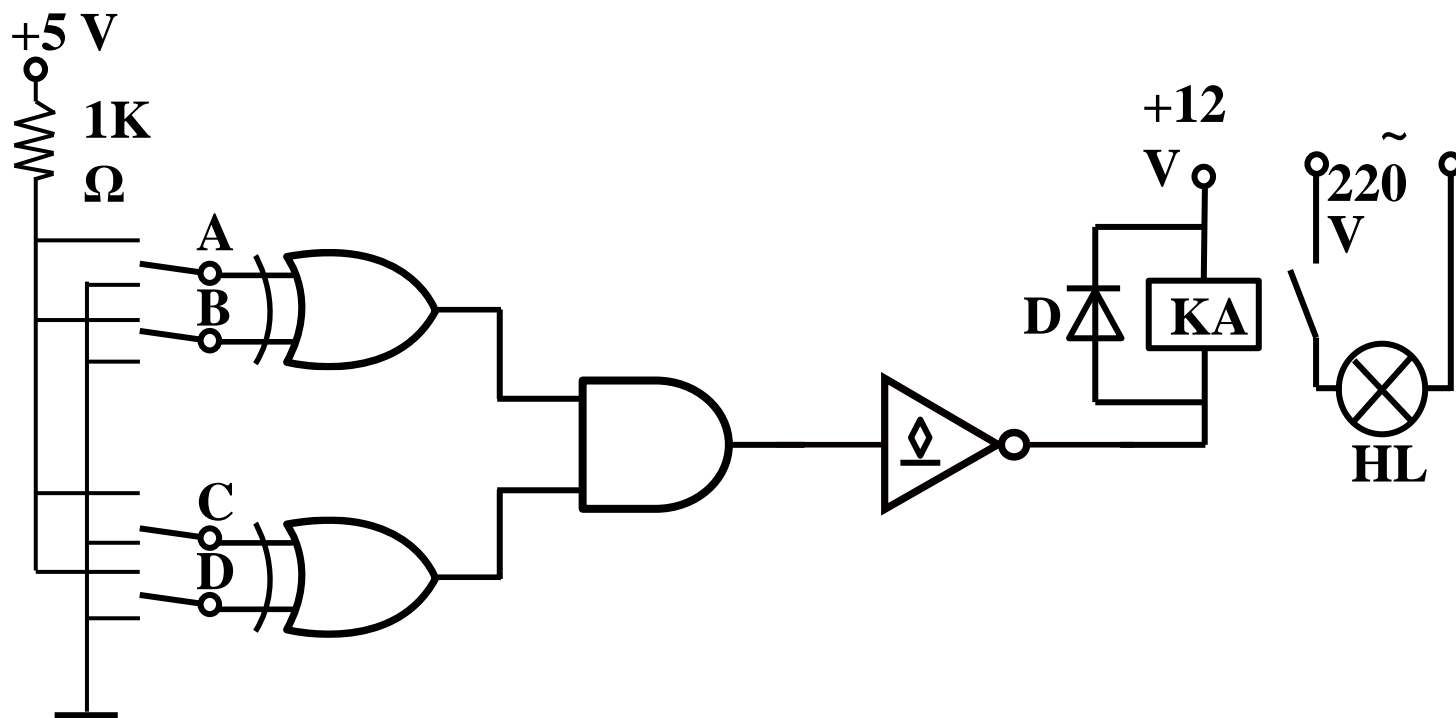
相当于逻辑开关，用以控制负载的通断

输出端为逻辑0，开关接通
输出端为逻辑1，开关断开

负载工作电压可超过门电路电源电压



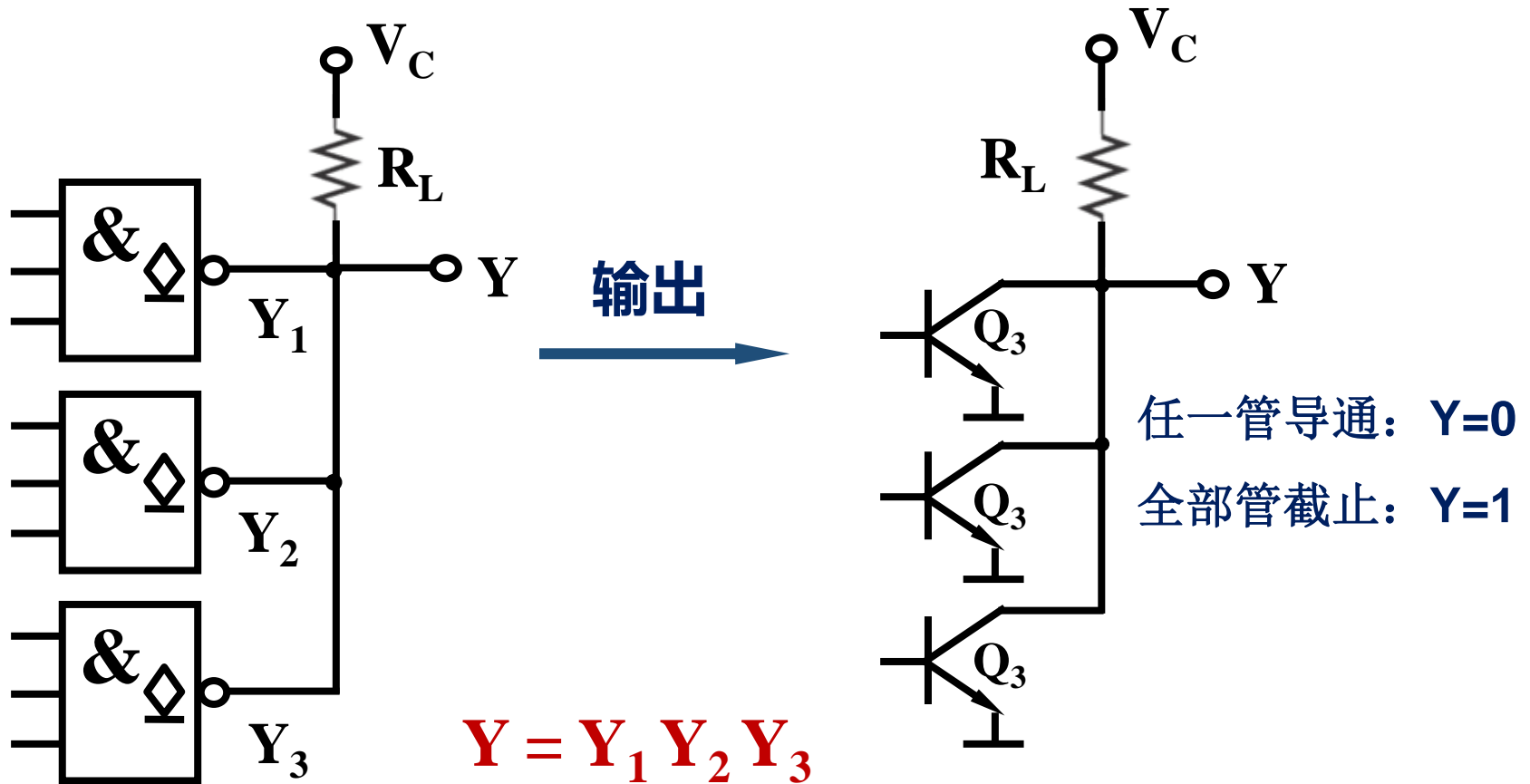
输入ABCD输入为何值 [填空1] [填空2] [填空3] [填空4]
时灯HL会亮?



作答

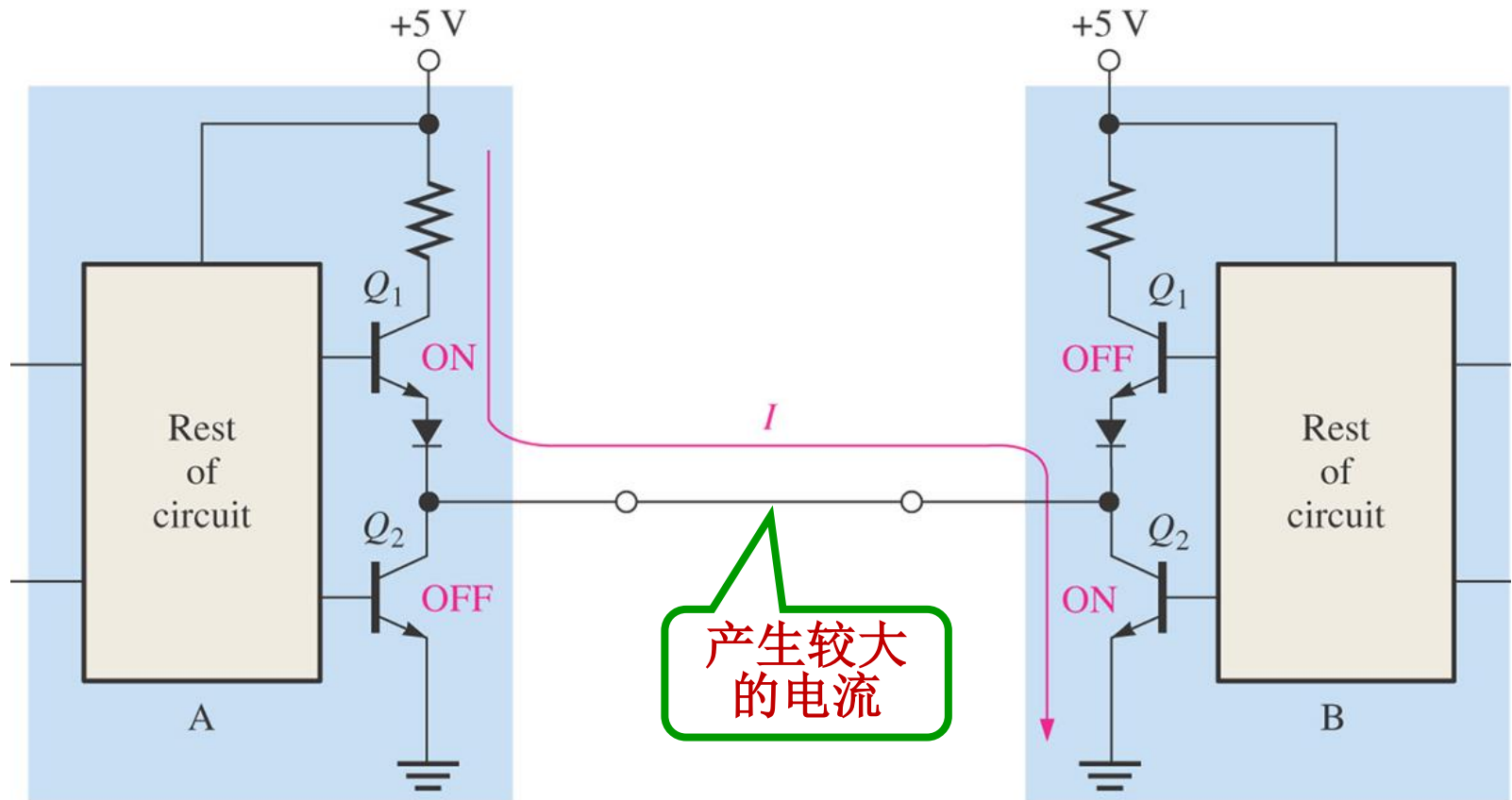


OC门的使用：多个输出可以直接相连（线与）





注意：标准逻辑门电路的输出不允许直接连接！

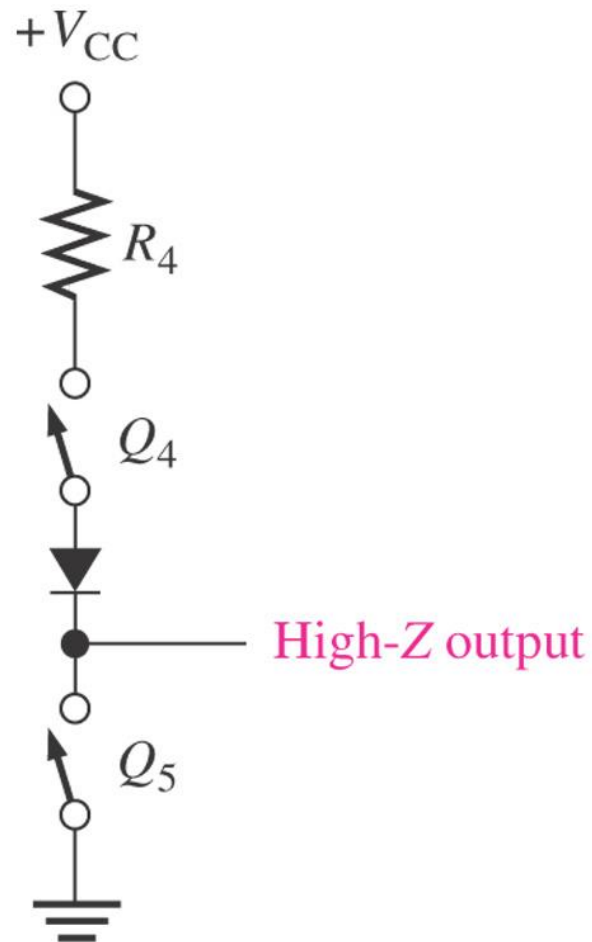






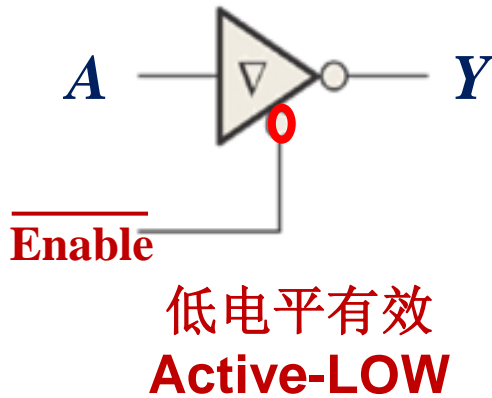


高阻状态的等效 电路



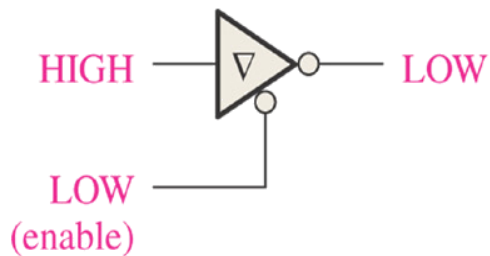
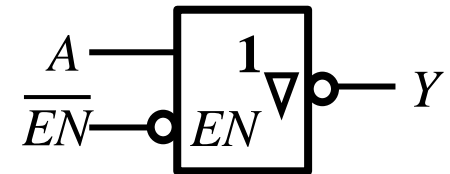


三态非门

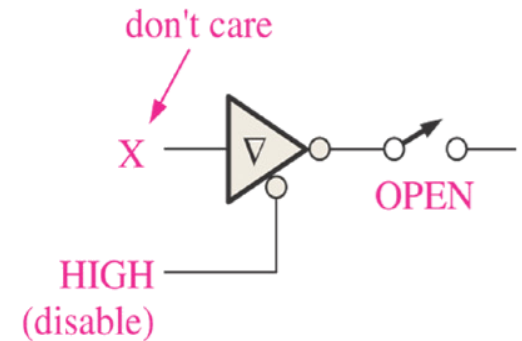
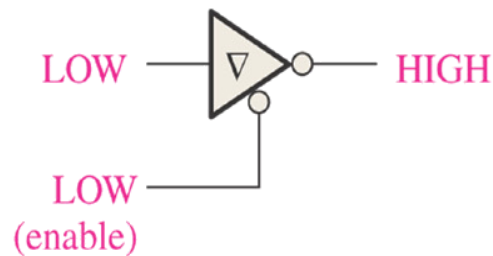


功能表

$\overline{\text{Enable}} = 0$	$Y = \overline{A}$
$\overline{\text{Enable}} = 1$	High-Z



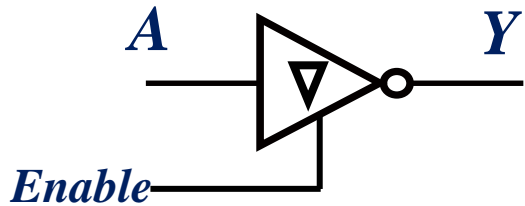
(a) Enabled for normal logic operation



(b) High-Z state

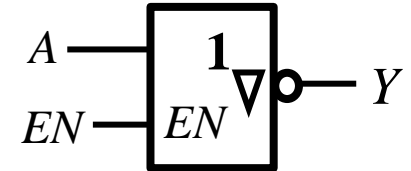


高电平有效 (Active-HIGH) 的三态非门

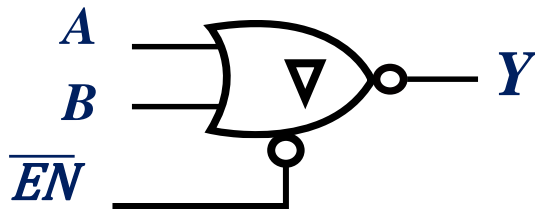


功能表

$Enable = 1$	$Y = \overline{A}$
$Enable = 0$	High-Z



三态或非门



功能表

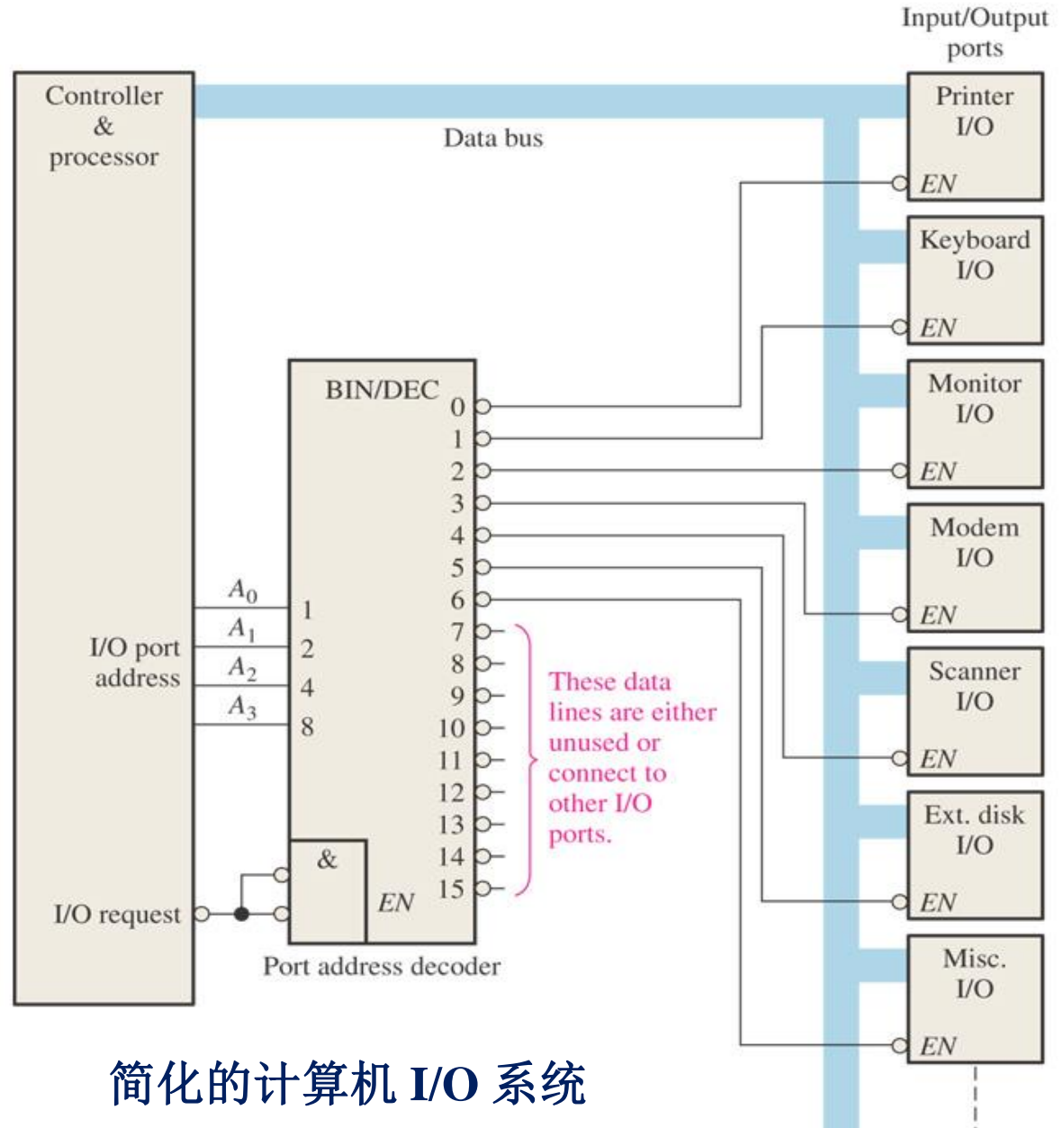
$\overline{EN} = 0$	$Y = \overline{A + B}$
$\overline{EN} = 1$	High-Z

低电平有效



三态门的应用

在任一时刻只有一个
外设的数据线和数据
总线相连

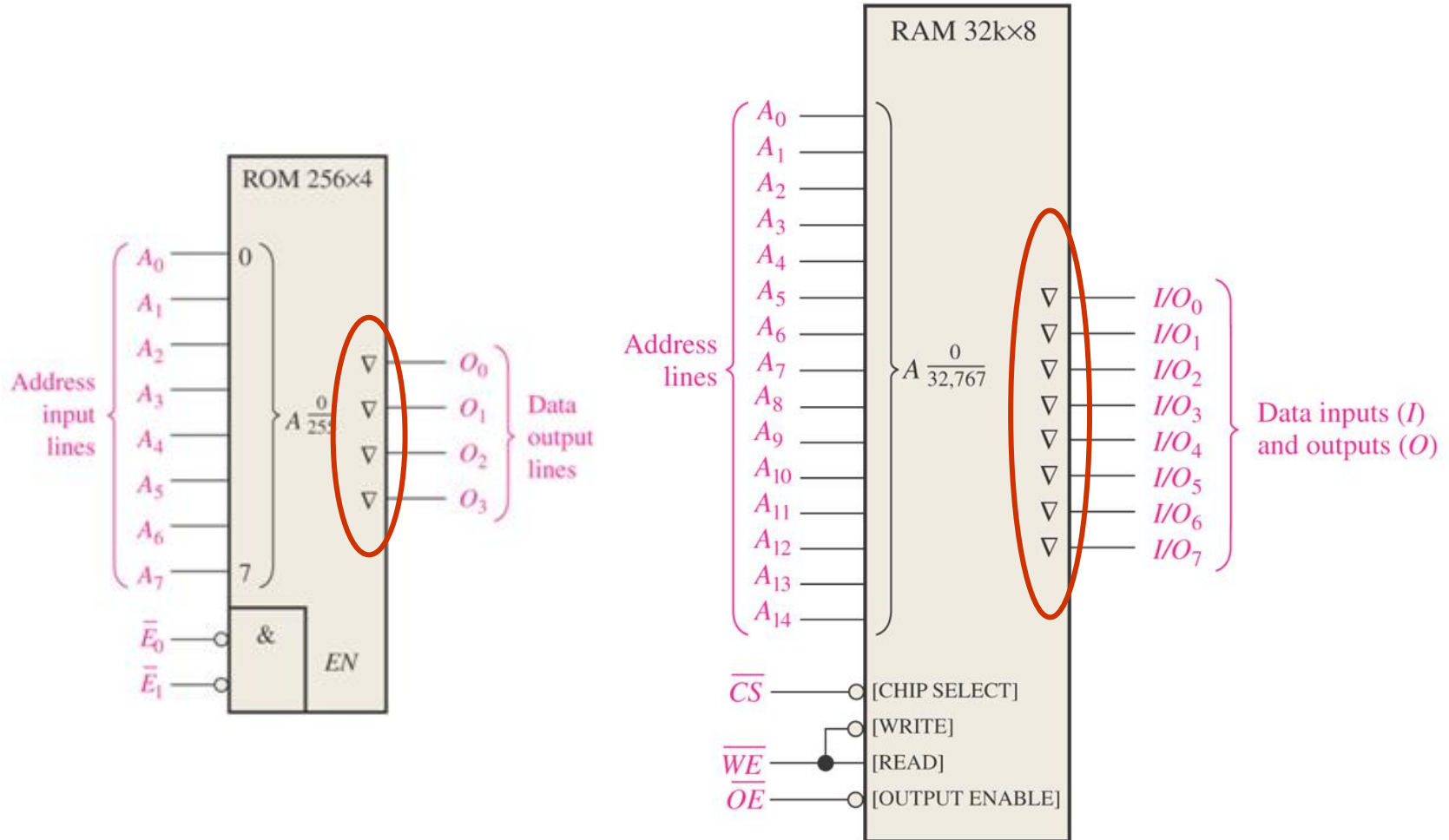


简化的计算机 I/O 系统



三态门的应用

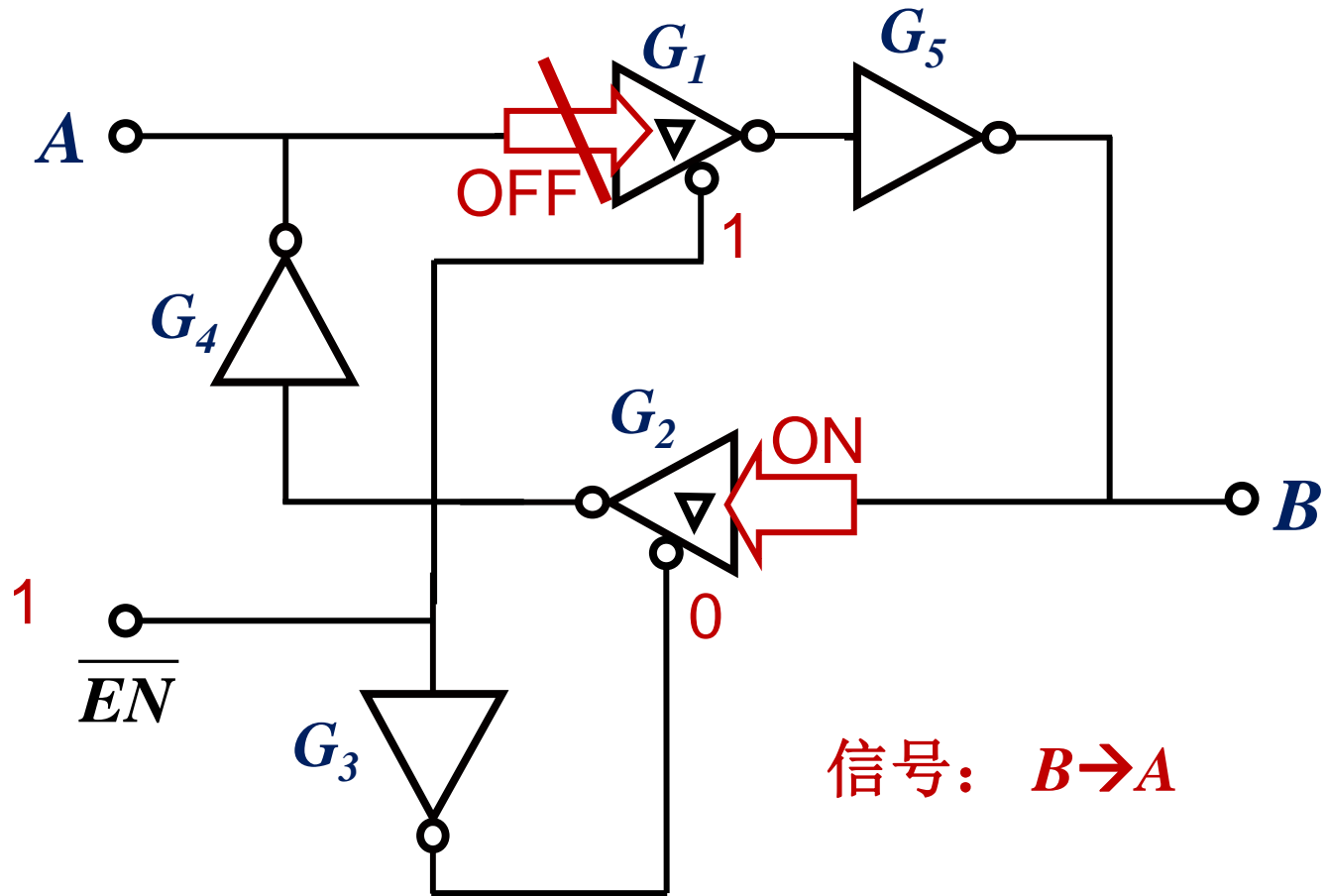
ROM, RAM以三态方式进行数据的读写





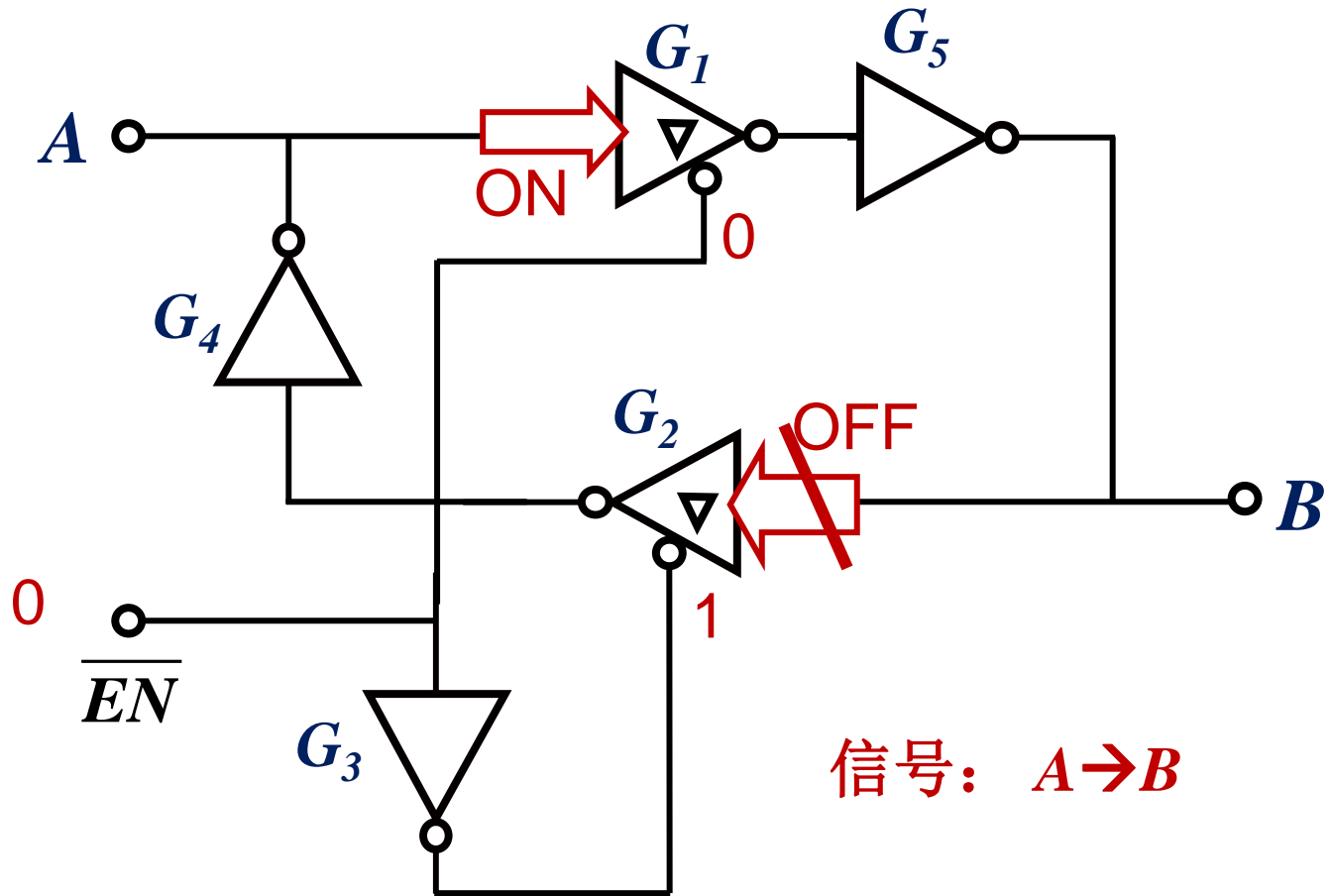
三态门的应用

数据双向传输线路





数据双向传输线路





2.3 集成门电路特性

按器件类型

TTL 系列 **74, 74S, 74AS, 74LS, 74ALS** **54: 军用**

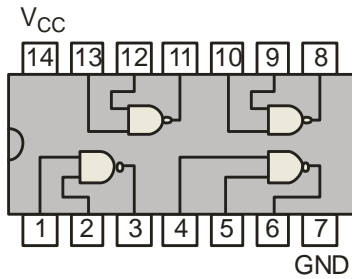
CMOS 系列 **74HC, 74HCT, 4000 系列**

具有同样数字编号的芯片具有相同的逻辑功能和同样的管脚安排

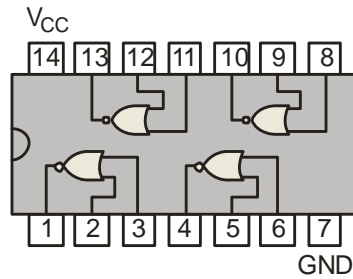
如 7400, 74S00, 74LS00, 74ALS00, 74F00, 74HC00, 74AHC00 都为四个两输入的与非门，管脚安排也相同



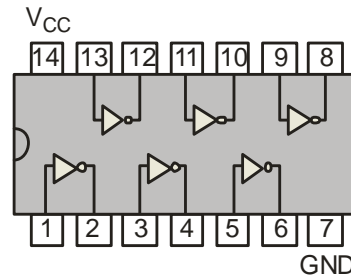
常用逻辑门芯片



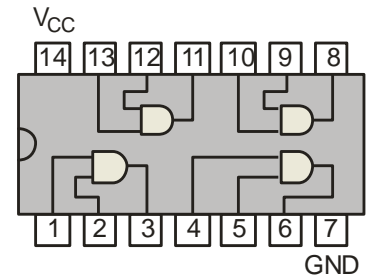
'00



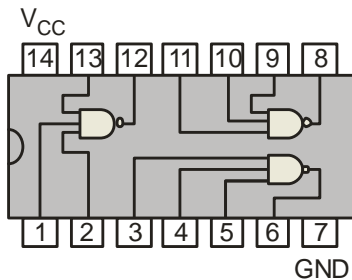
'02



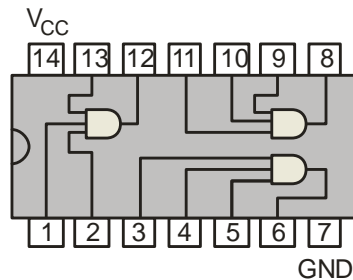
'04



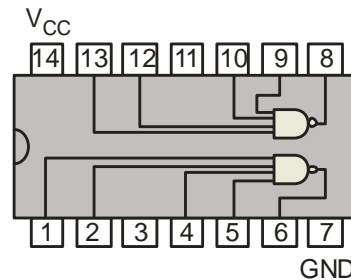
'08



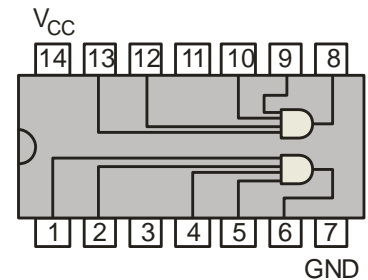
'10



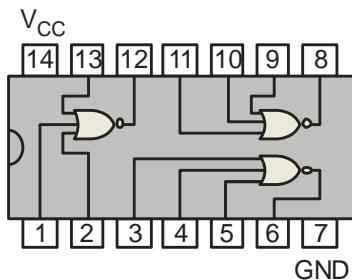
'11



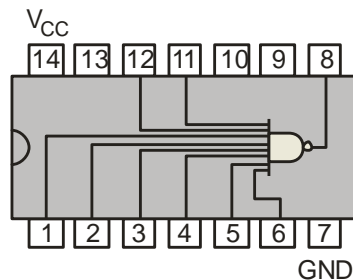
'20



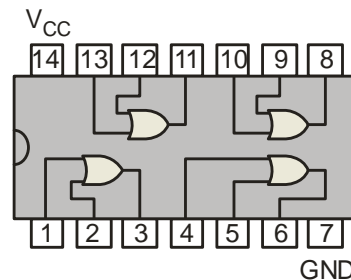
'21



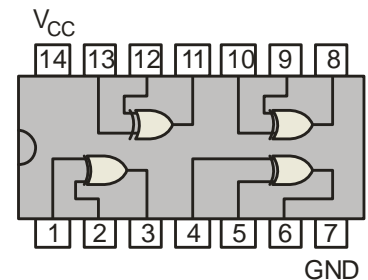
'27



'30



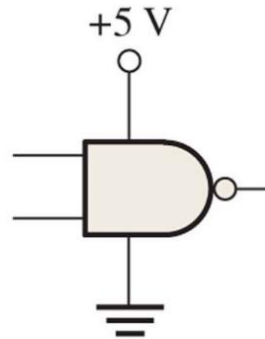
'32



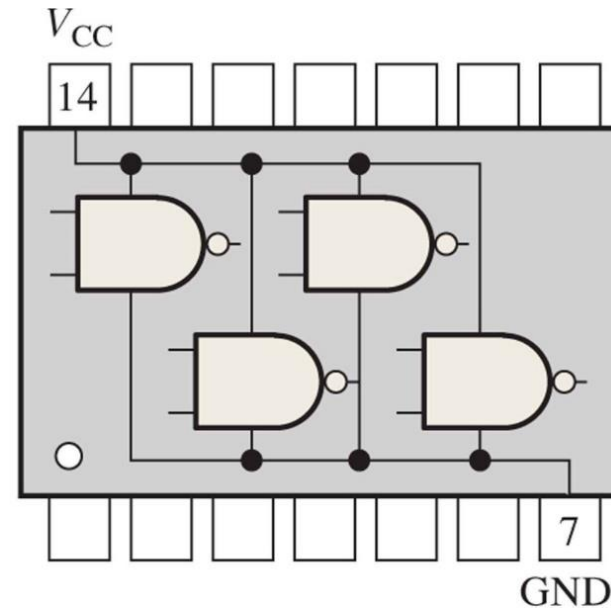
'86



直流电源供电



(a) Single gate



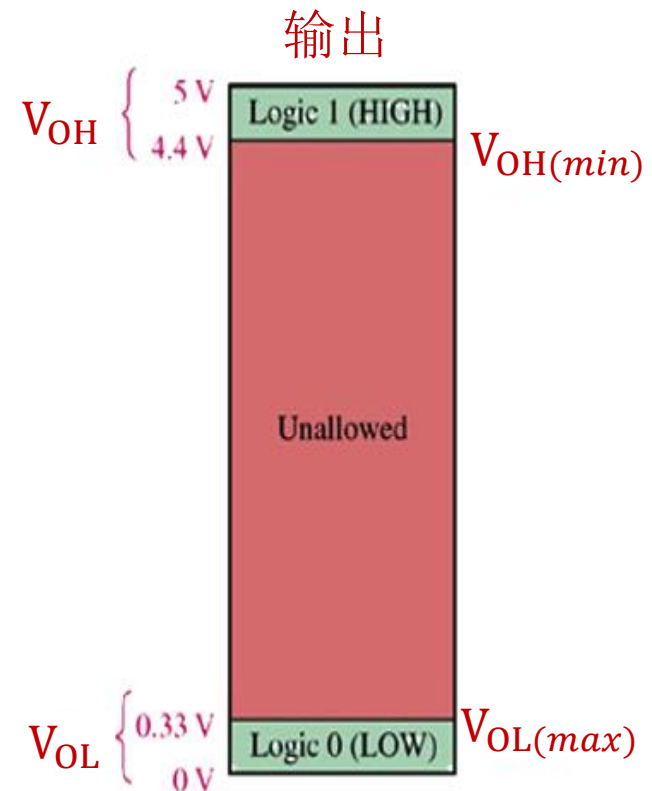
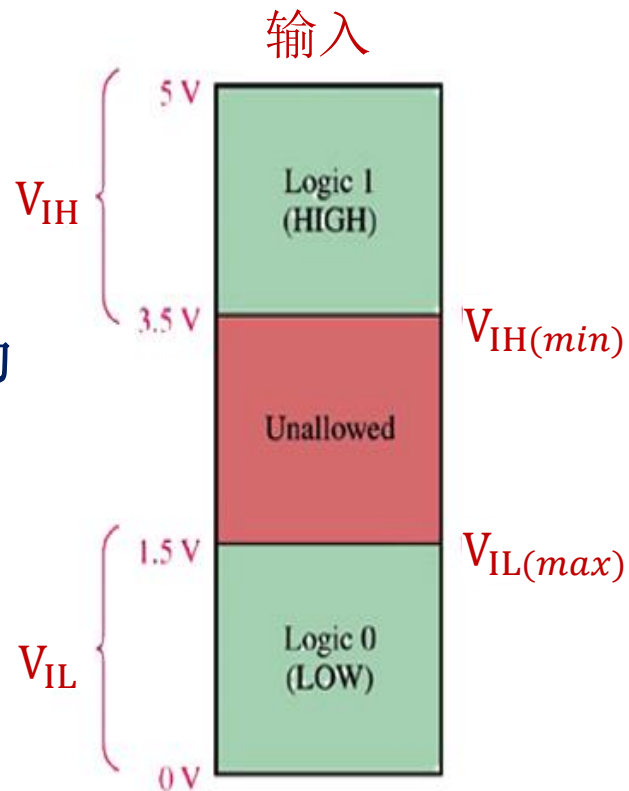
(b) IC dual in-line package

标准TTL电路的供电电源为+5V

CMOS电路有+5V、+3.3V、+2.5V等不同的供电电源种类



5V电源供电的 CMOS芯片

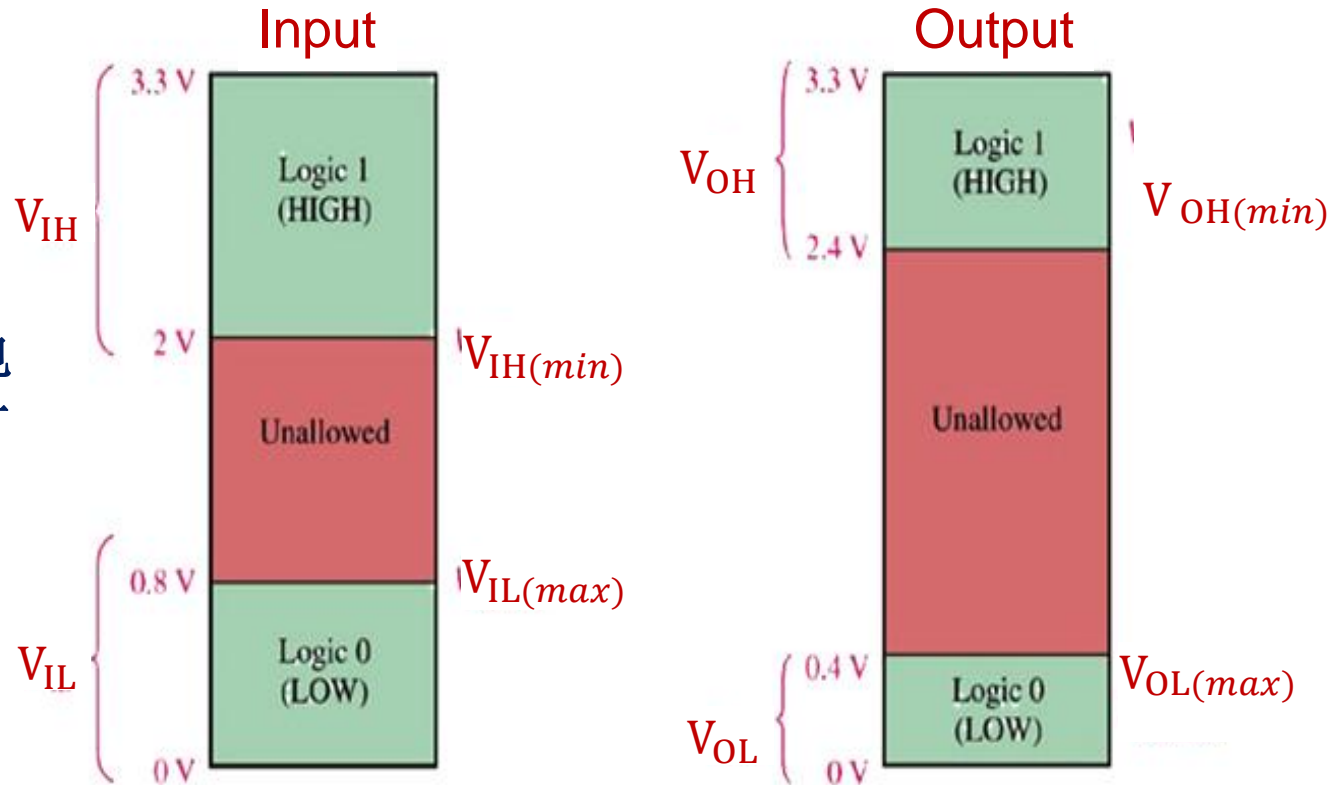


$$V_{OH(min)} > V_{IH(min)}$$

$$V_{OL(max)} < V_{IL(max)}$$



3.3V电源供电的CMOS芯片

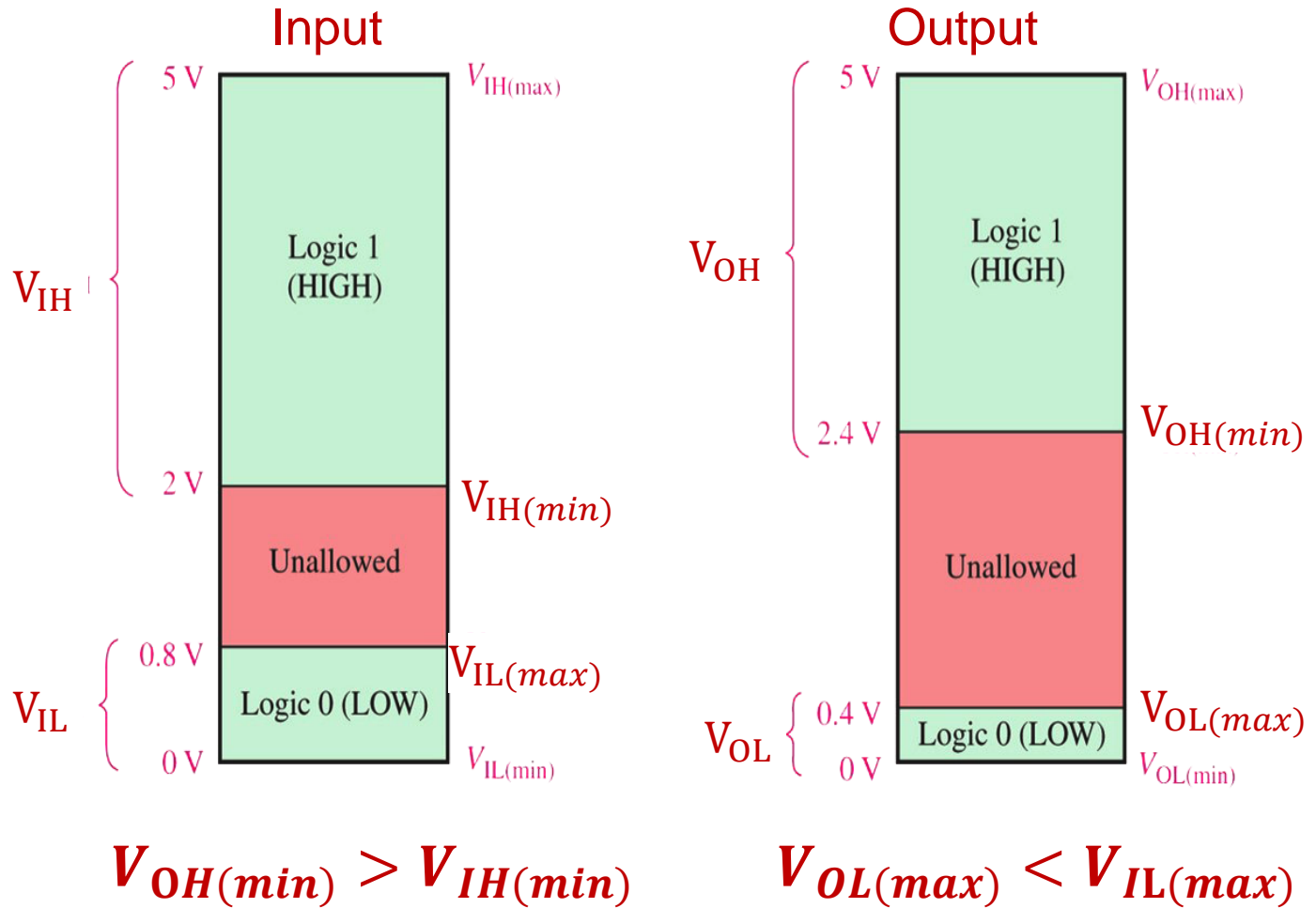


$$V_{OH(min)} > V_{IH(min)}$$

$$V_{OL(max)} < V_{IL(max)}$$

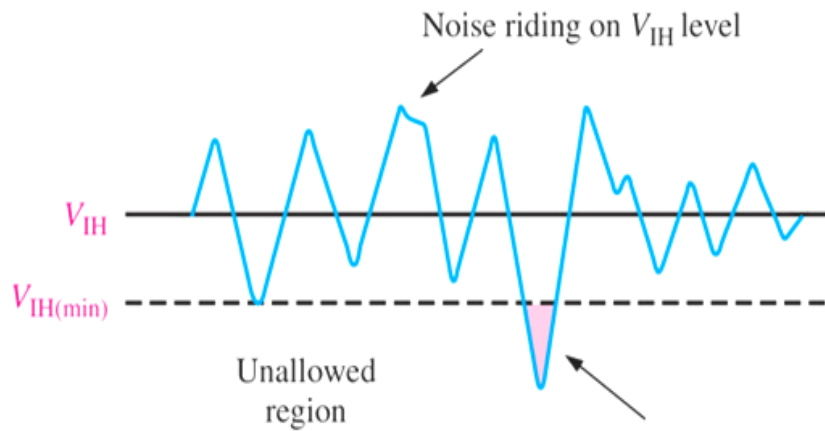


TTL

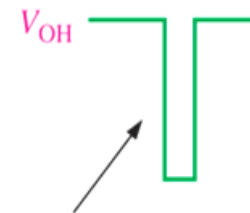
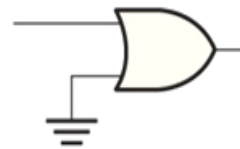




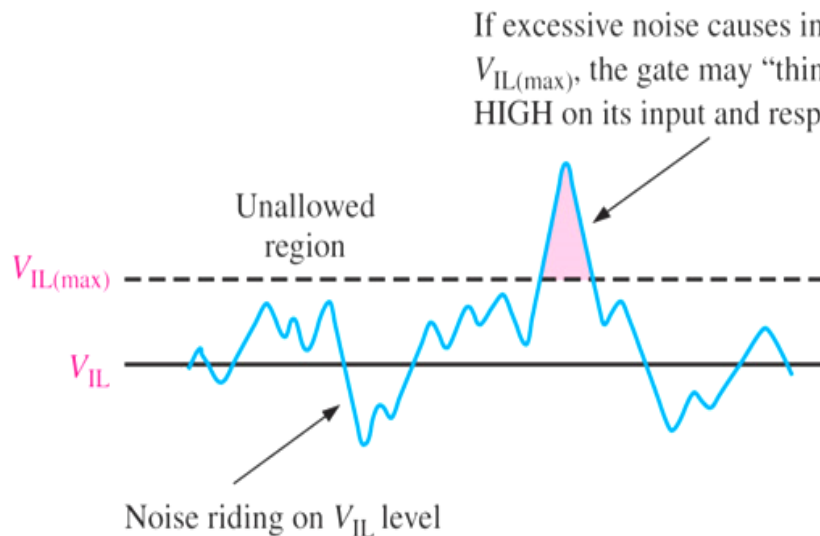
抗噪能力——噪声容限参数



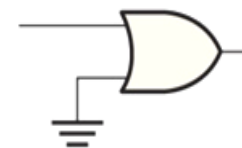
If excessive noise causes input to go below $V_{IH(min)}$, the gate may “think” that there is a LOW on its input and respond accordingly.



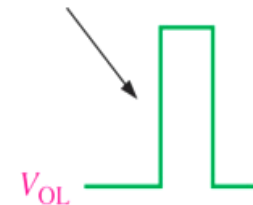
Potential response to excessive noise spike on input



If excessive noise causes input to go above $V_{IL(max)}$, the gate may “think” that there is a HIGH on its input and respond accordingly.

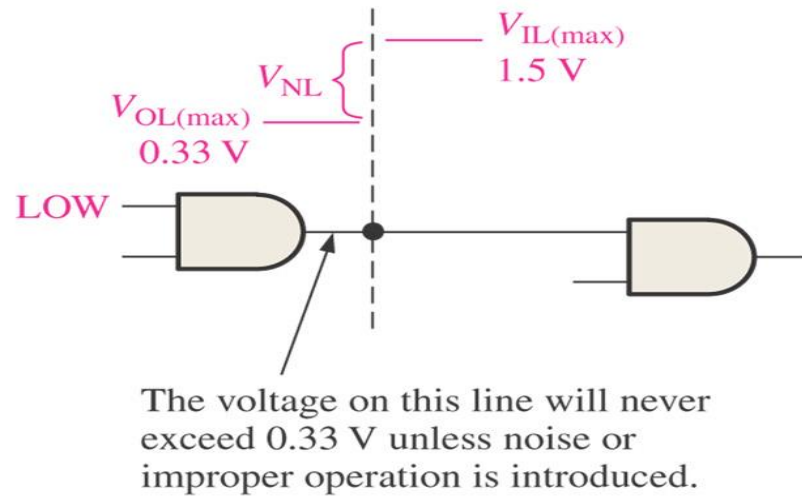
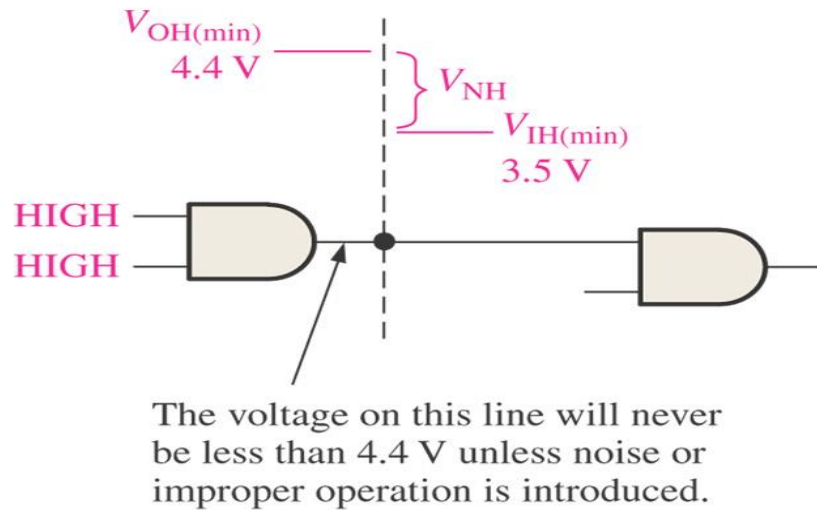


Potential response to excessive noise spike on input





噪声容限



高电平时的噪声容限

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

低电平时的噪声容限

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

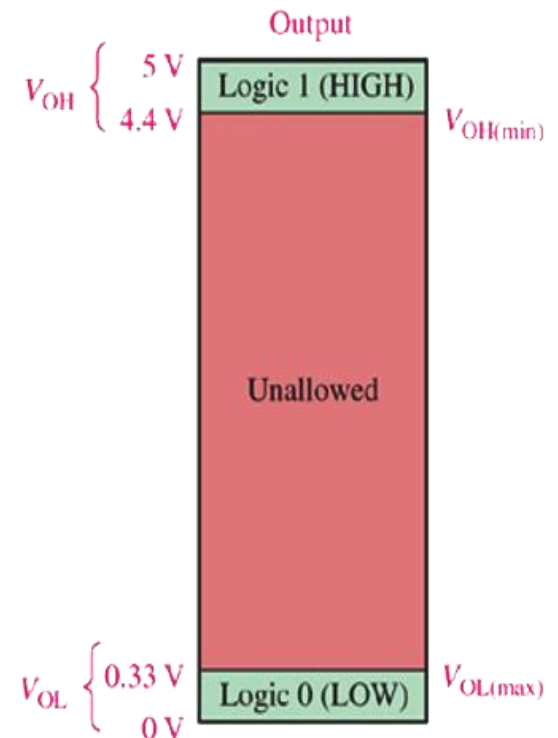
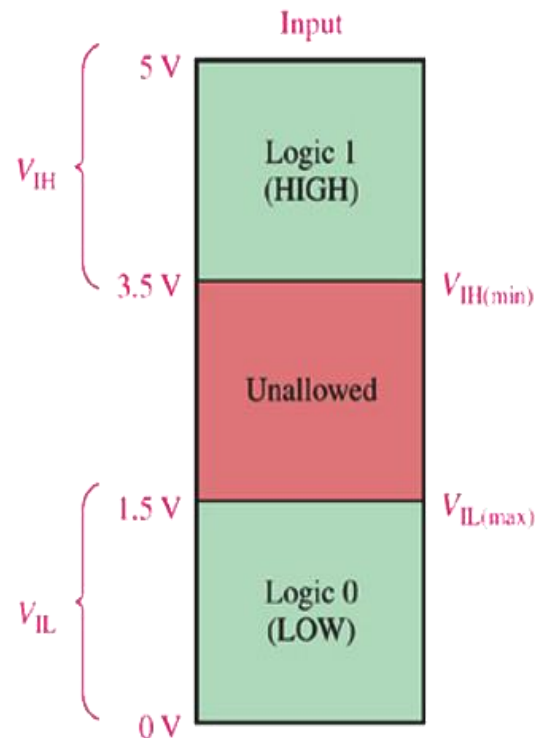


分别计算5VCMOS和TTL电路的噪声容限，并根据计算结果指出在高噪声环境下应优先选用哪一种类型的电路？

+5V CMOS

$$V_{NH} = 4.4 - 3.5 \\ = 0.9V$$

$$V_{NL} = 1.5 - 0.33 \\ = 1.17V$$



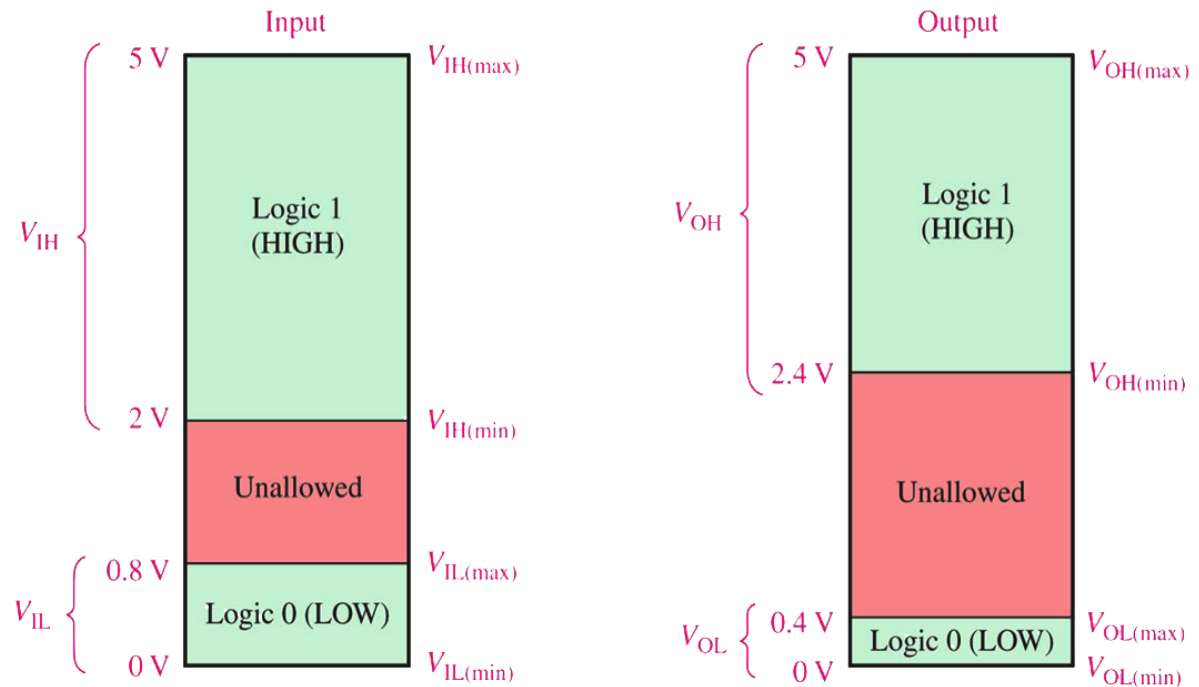


分别计算5VCMOS和TTL电路的噪声容限，并根据计算结果指出在高噪声环境下应优先选用哪一种类型的电路？

TTL

$$V_{NH} = 2.4 - 2 \\ = 0.4V$$

$$V_{NL} = 0.8 - 0.4 \\ = 0.4V$$

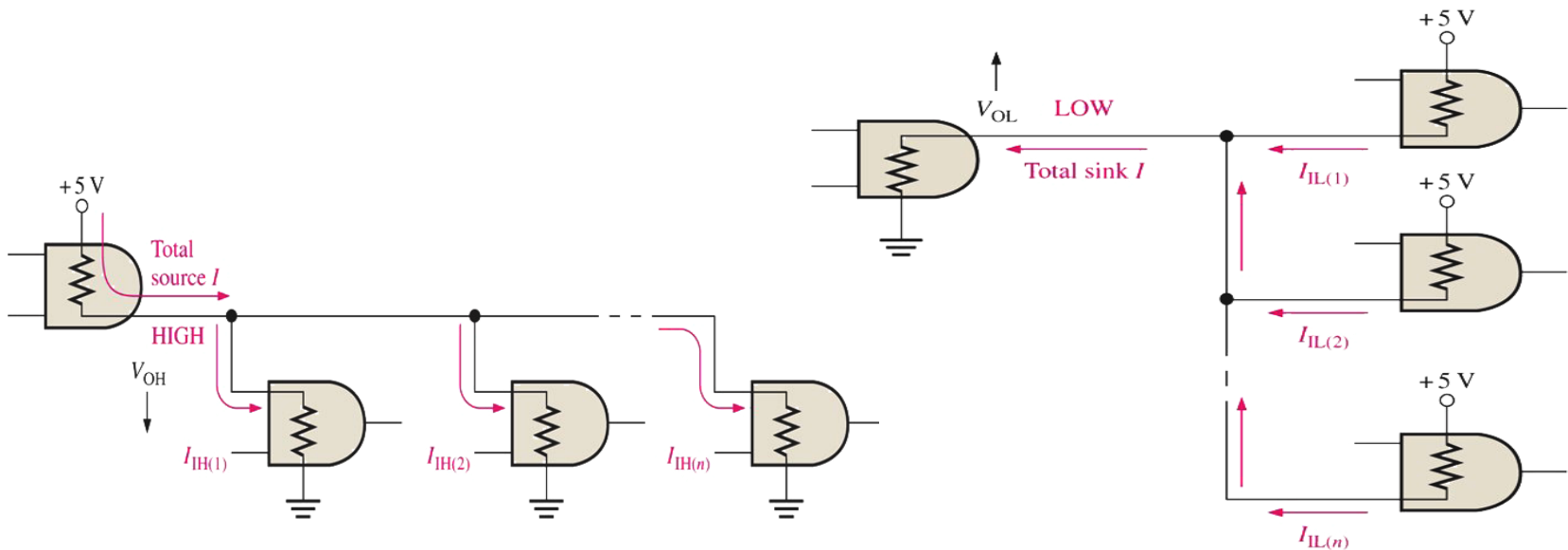


应选**5V CMOS**系列芯片



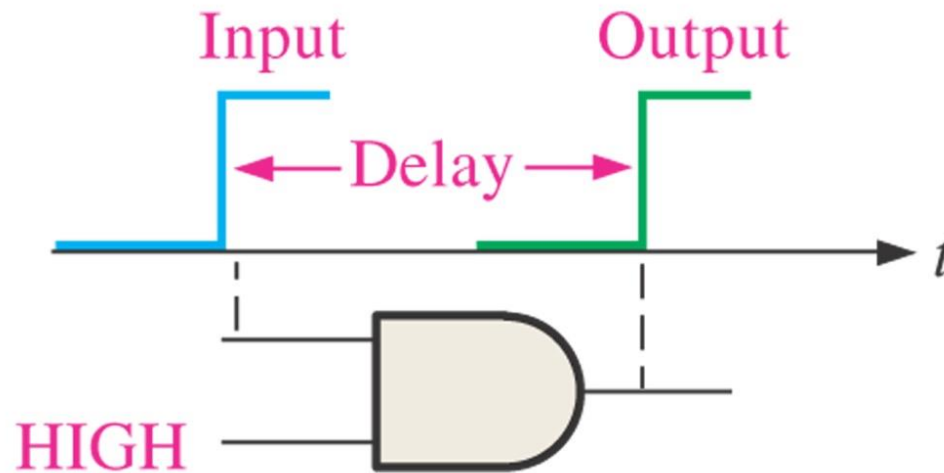
扇出系数

扇出系数是指一个逻辑门能驱动同类型（不是逻辑功能，是指结构，TTL）电路输入端的个数（注意：不是门的数量），它表征门电路带负载的能力。





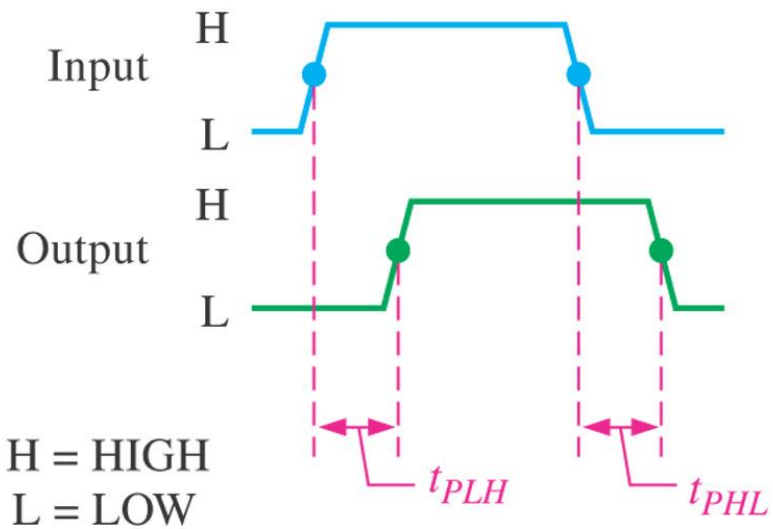
传输延迟



门电路的输出波形相对于输入波形的滞后时间



平均传输延迟时间 t_{pd}



$$t_{pd} = \frac{t_{PLH} + t_{PHL}}{2}$$

标准TTL电路的平均传输延迟时间 t_{pd} 约在10ns 左右



第二章 作业

补充：将下列各数转换成8421BCD码：

10111_{B} , 521_{D} , $3\text{F}4_{\text{H}}$

2.12 逻辑关系画波形

2.15 三态门画波形，较难

2.17 门电路参数

2.18 传输延迟