



第七章 时序逻辑电路的分析和设计

第八章 常用时序逻辑电路芯片

- 时序逻辑电路认识（7.1）
- 时序逻辑电路的一般分析方法（7.2）
- 时序逻辑电路的一般设计方法（7.3）
- 计数器（8.1）
- 寄存器（8.2）



第8章 常用时序逻辑电路

P185:

8.3 163芯片置位法实现计数

8.6 163芯片清零法应用

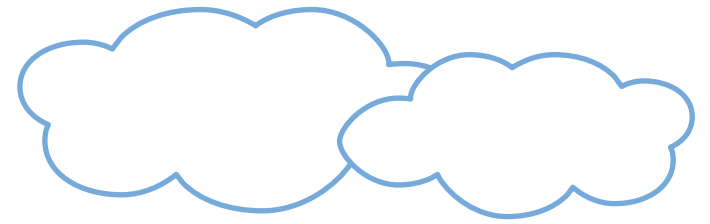
8.8 160芯片置位法实现计数

8.9 163芯片清零法实现计数

8.13 移位寄存器



§ 8.1 计数器



8.1.1 常用计数器芯片

8.1.2 任意进制计数器的构成

8.1.3 计数器芯片的级联

8.1.4 计数器应用举例





§8.1.1 常用计数器芯片

- 异步计数器芯片

74LS90、290、92、93.....

- 同步计数器芯片

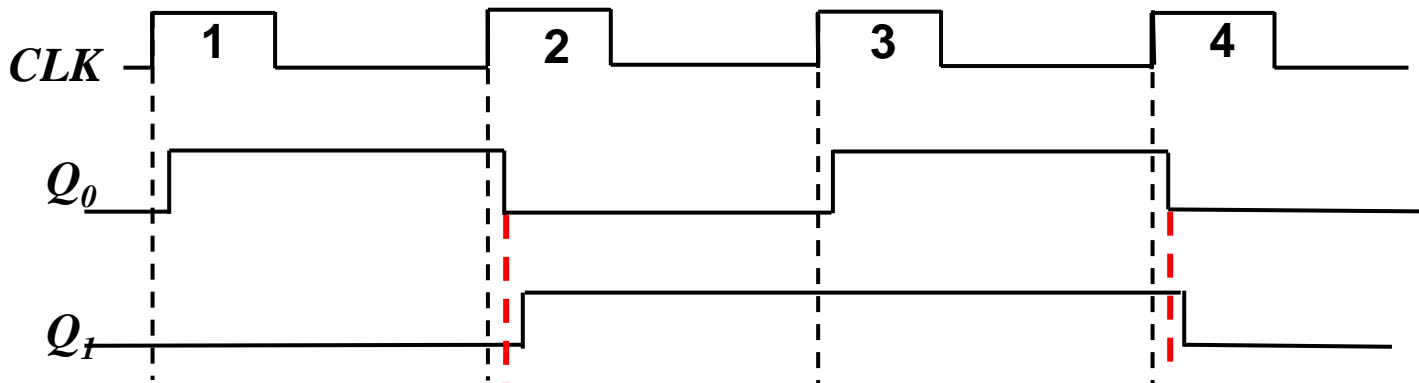
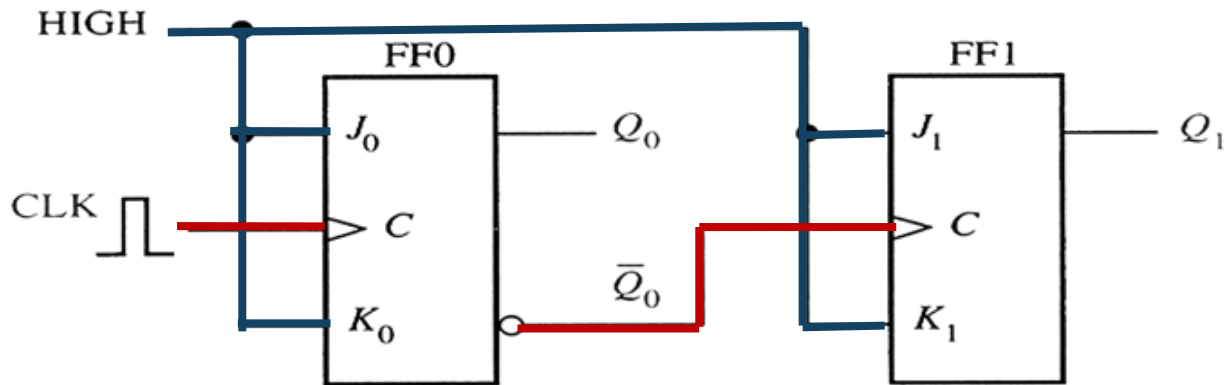
74LS160、161、162、163 , 74HC160、161、162、163.....

- 可逆计数器芯片

74LS190、191、192、193 , 74HC190、191、192、193.....



两位异步二进制计数器



时序图

(传输延时夸大画出)



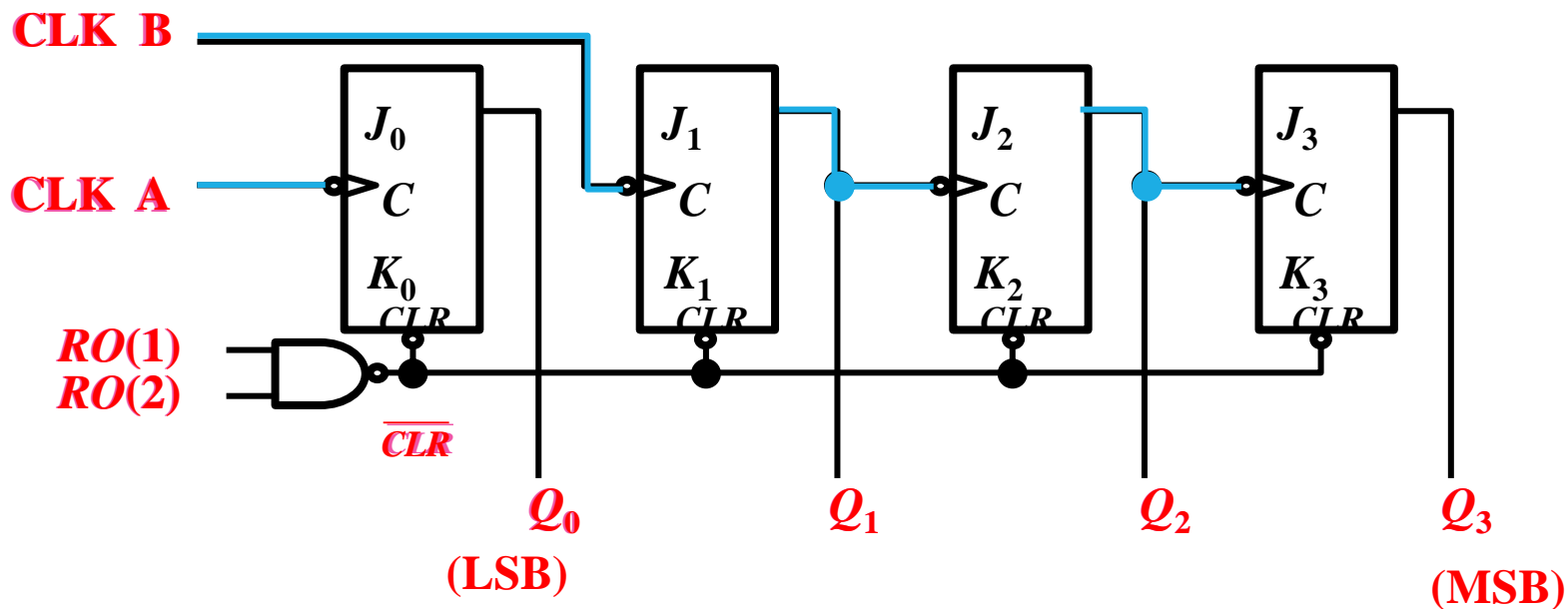
异步计数器芯片 74LS93

2/8/16进制计数器

异步时序逻辑电路

内部原理图

触发器输入端悬空表示接高电平

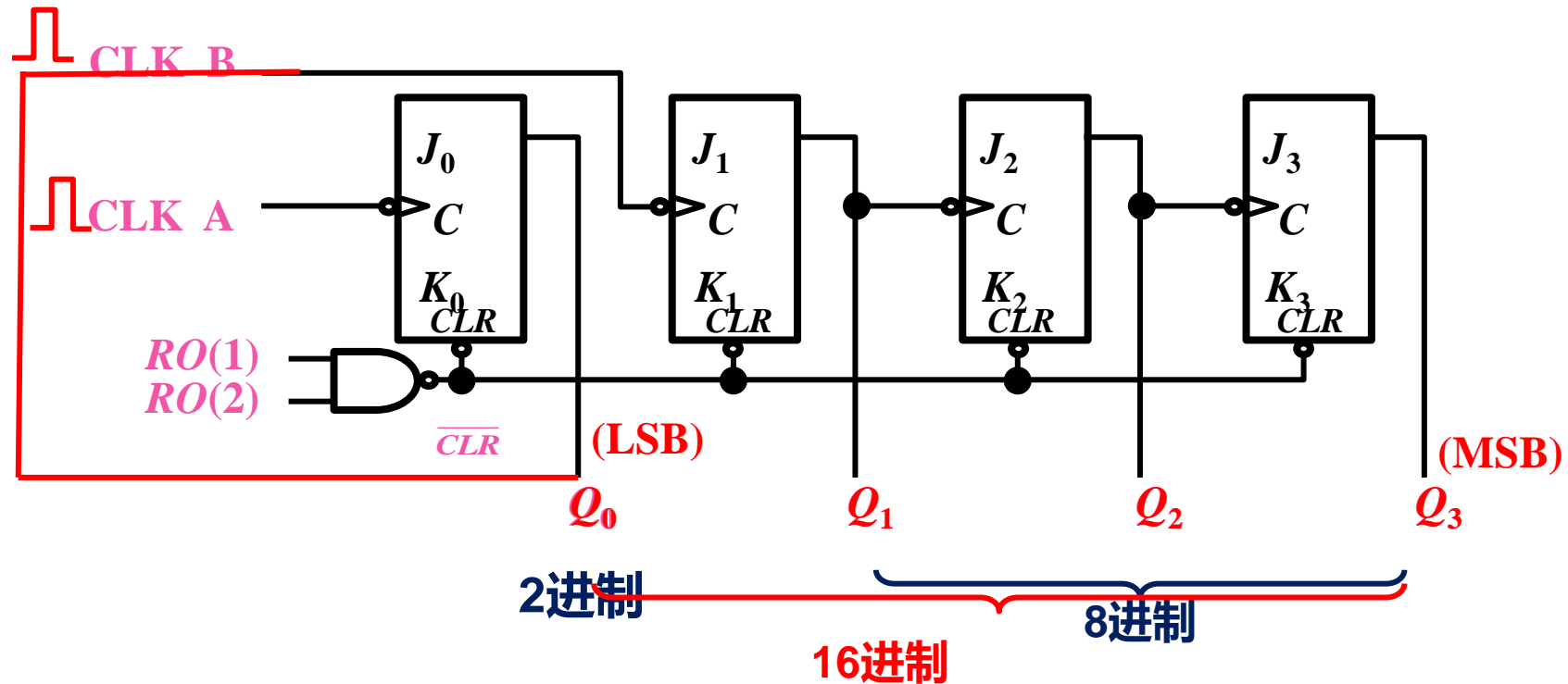




2/8/16进制计数器

异步时序逻辑电路

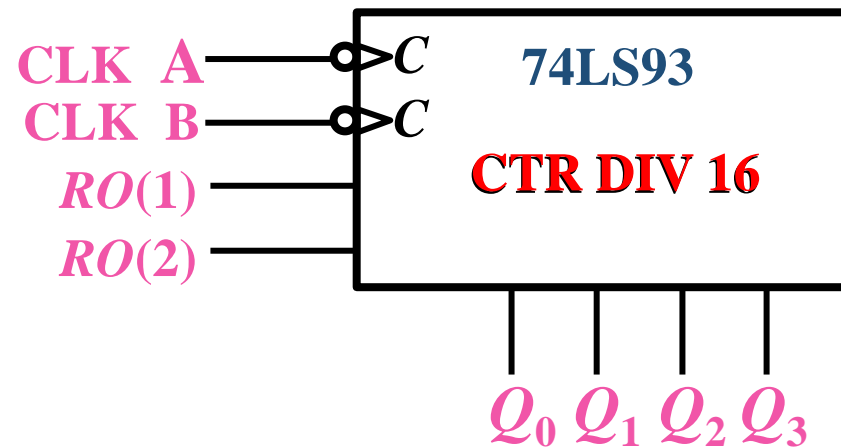
内部原理图





2/8/16 进制计数器

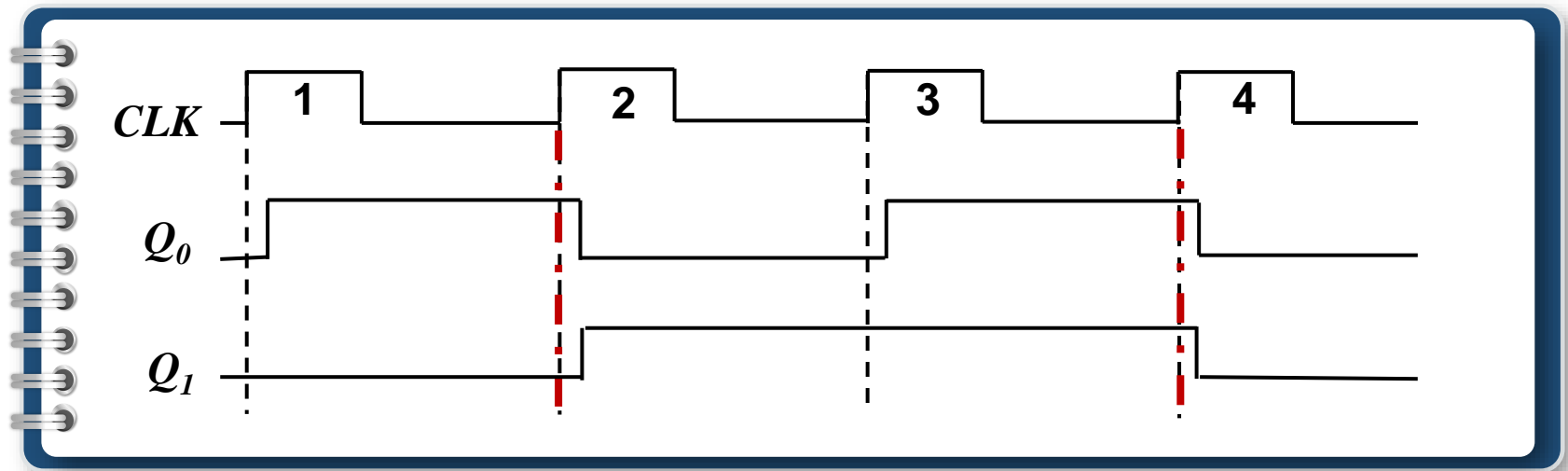
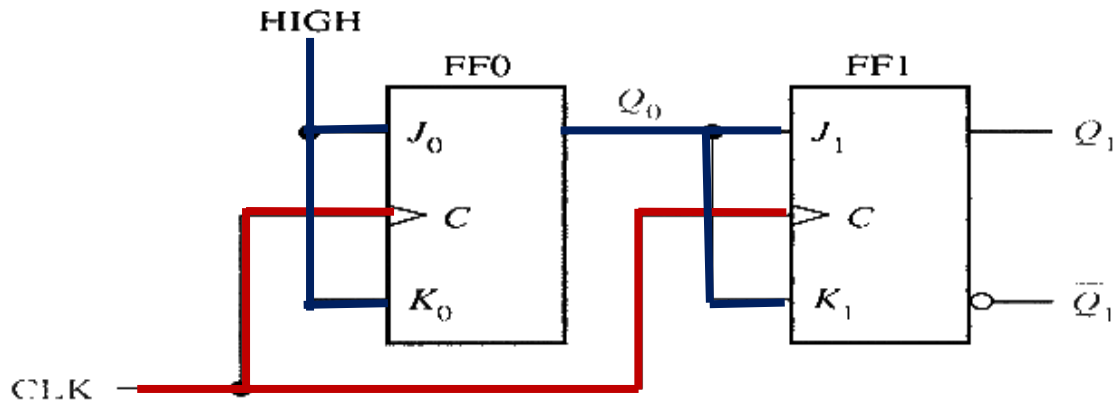
逻辑符号



Counter
Divided by 16



两位同步二进制计数器



时序图

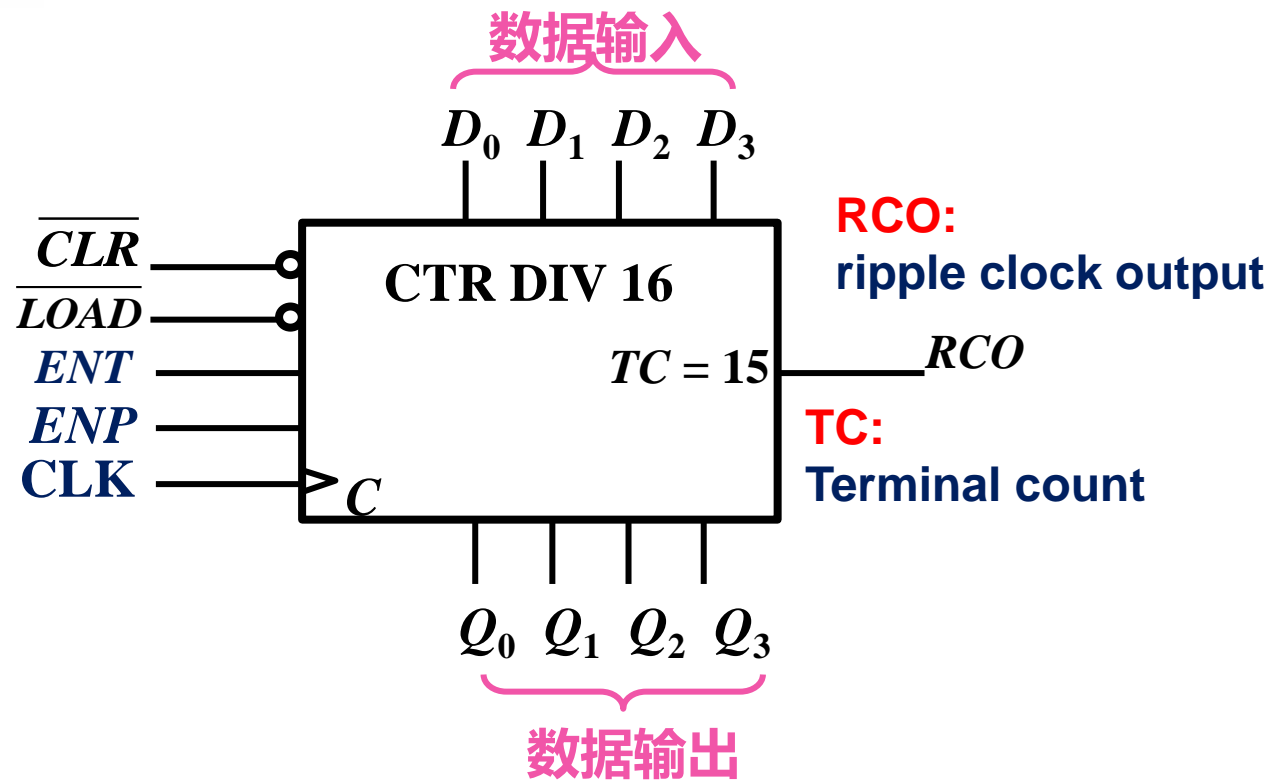
(传输延时夸大画出)



同步计数器芯片 74LS163

74LS163

同步四位二进制计数器





同步计数器芯片 74LS163

同步四位二进制计数器

74LS163功能表

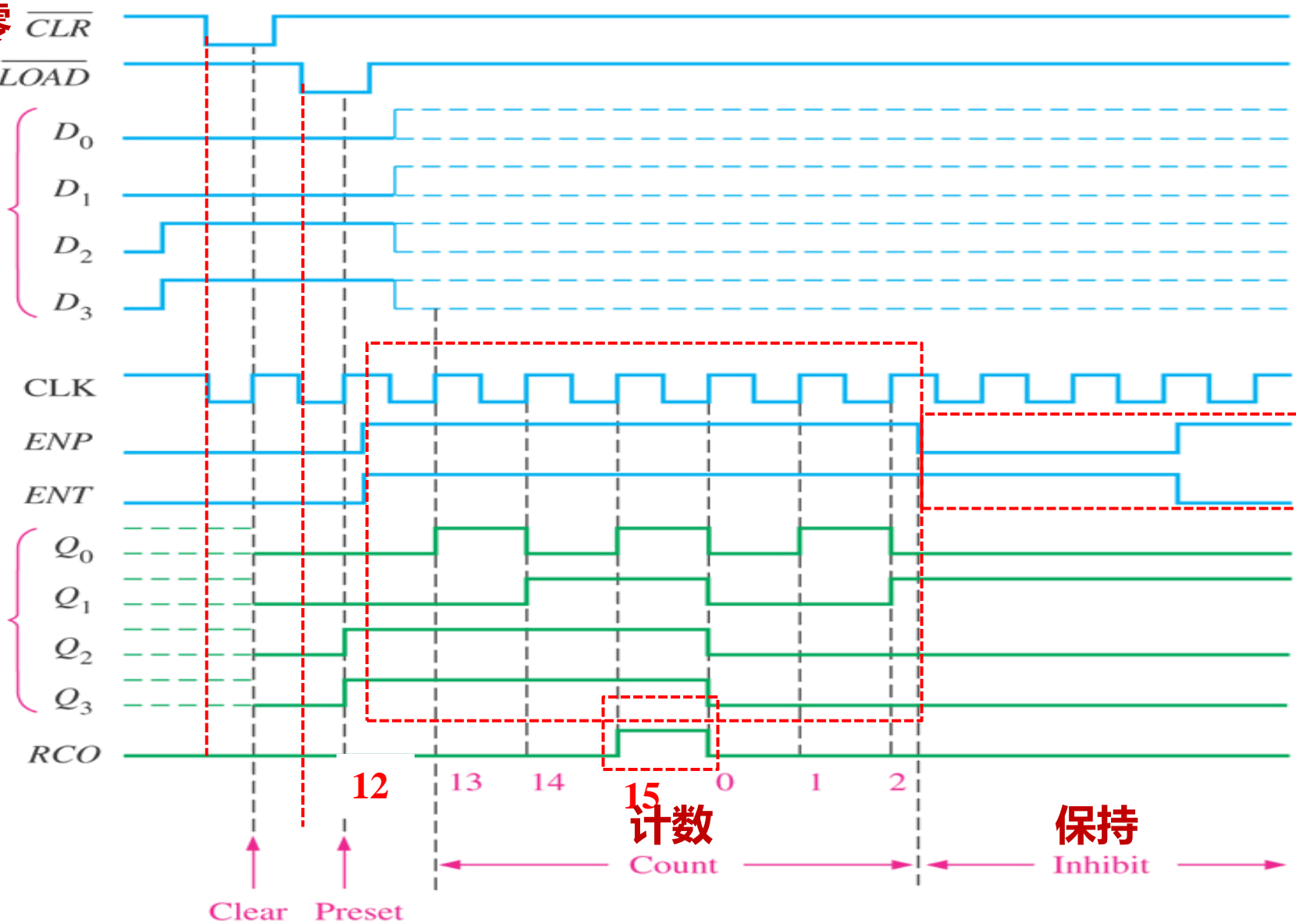
ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数 同步置数
0	1	1	1	X	保持
1	0	1	1	X	保持 (RC=0)
X	X	X	0	↑	清零 同步清零



典型时序图

同步清零

同步置数





同步计数器芯片

160: 10进制计数器

161: 16进制计数器

74LS160/161功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	X	清零

清零端和置数端
的工作方式?

关于160/161芯片的清零端和置数端的工作方式说明正确的是（ ）

74LS160/161功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	X	清零

- ☐ A 同步置数，同步清零
- ☒ B 同步置数，异步清零
- ☐ C 异步置数，同步清零
- ☐ D 异步置数，异步清零

提交



同步计数器芯片

160: 10进制计数器

161: 16进制计数器

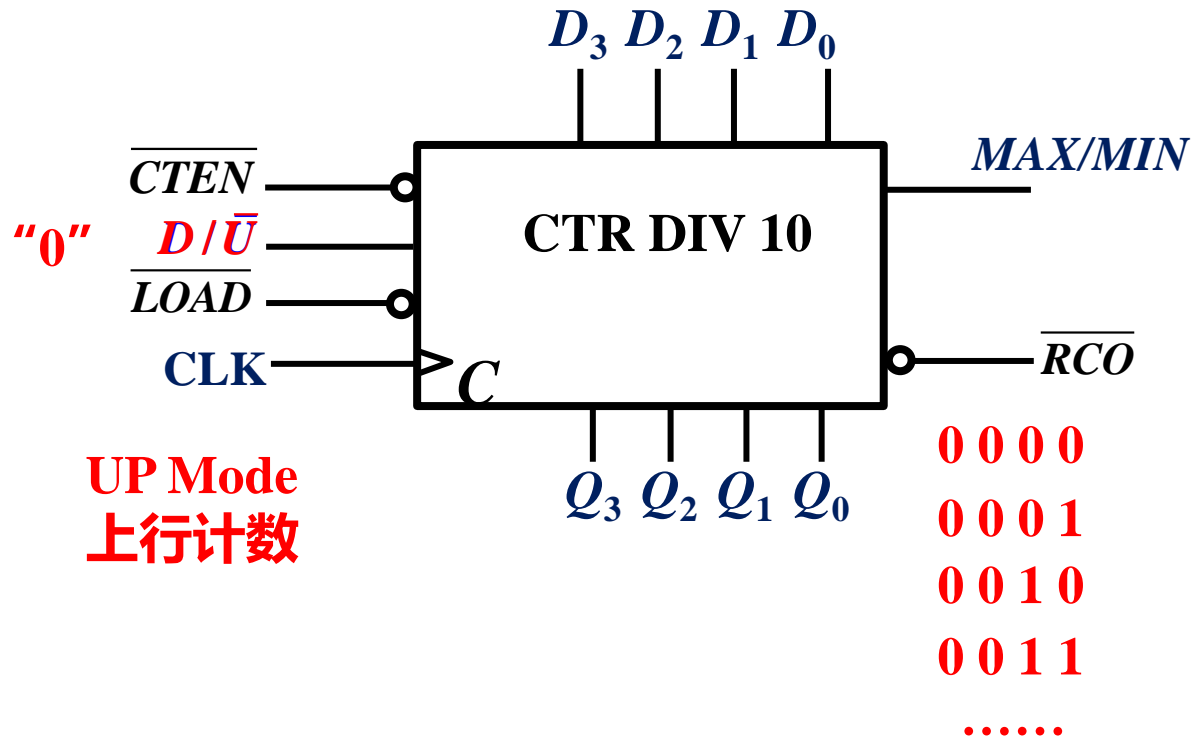
74LS160/161功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数 同步置数
0	1	1	1	X	保持
1	0	1	1	X	保持(RC=0)
X	X	X	0	X	清零 异步清零



可逆计数器 74LS190

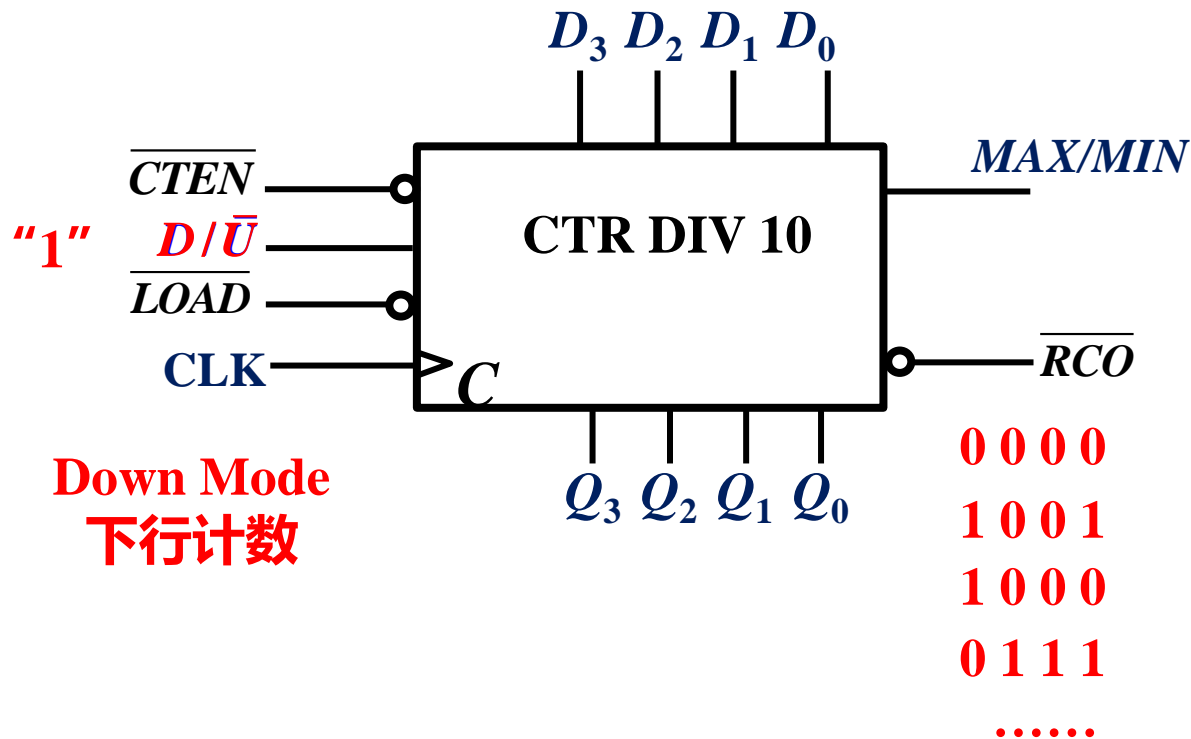
可逆十进制计数器





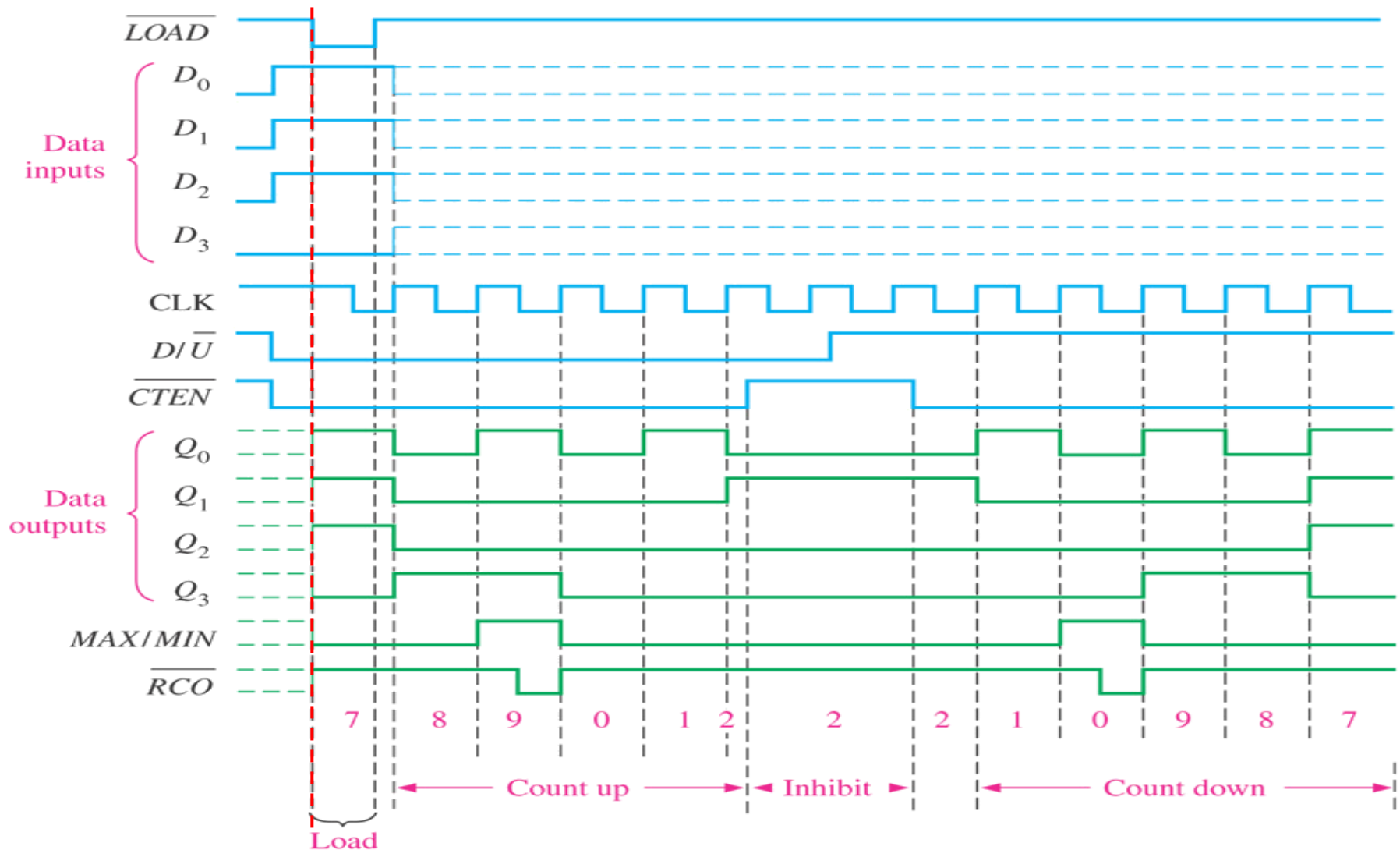
可逆计数器 74LS190

可逆十进制计数器





典型时序图



异步置数

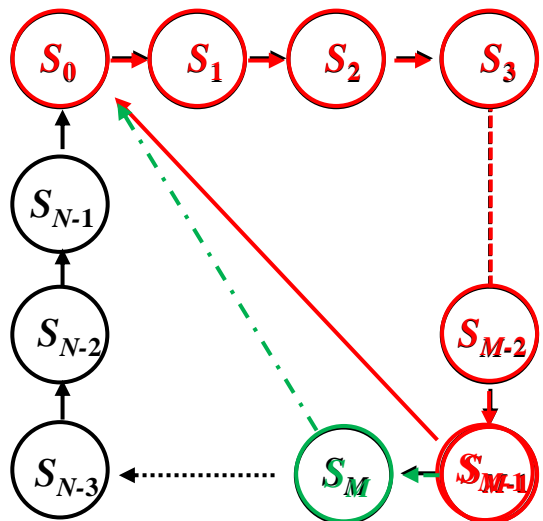


§ 8.1.2 任意进制计数器的构成

在现有N进制计数器芯片基础上，利用清零端子或置数端子构成小于等于N的任意进制（M进制）计数器。

1. 清零法

\overline{CLR}



同步清零:

译码状态 S_{M-1}

异步清零:

译码状态 S_M

S_M 为暂态，不计入计数序列中

计数器从 S_0 计数到 S_{M-1}

共M个稳定的有效状态

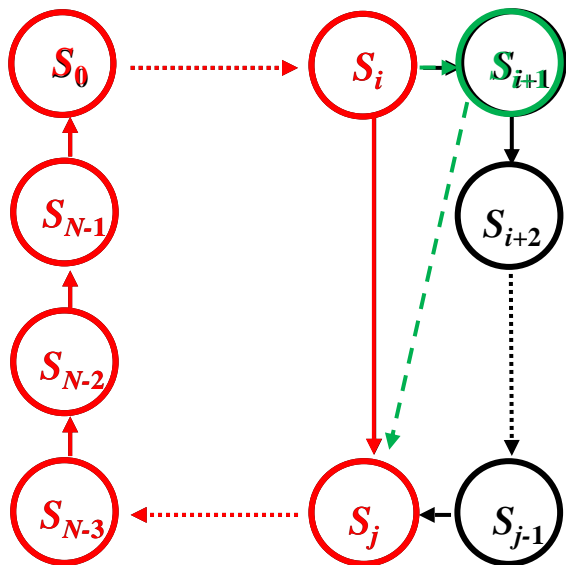


任意进制计数器的构成

在现有N进制计数器芯片基础上，利用清零端子或置数端子构成小于等于N的任意进制（M进制）计数器。

2. 置数法

\overline{LOAD}



译码状态——产生load命令

要置入的数据是 S_j

同步置数:

译码状态 S_i

异步置数:

译码状态 S_{i+1}

S_{i+1} 为暂态，不计入计数序列中

计数器从 S_0 顺序计数到 S_i

然后跳转到 S_j

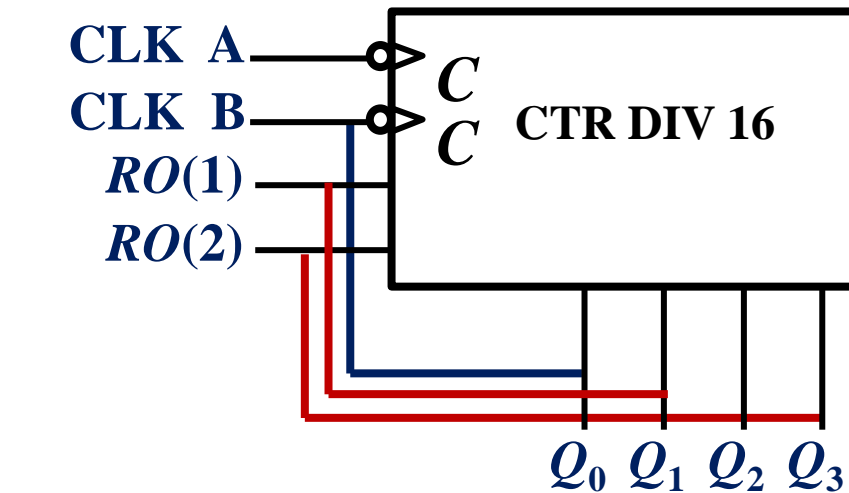
跳过 $N-M$ 个状态，共 M 个有效状态



例:在 74LS93基础上构成一个十进制计数器

十进制状态表

CLOCK PULSE	Q_3	Q_2	Q_1	Q_0
Initially	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10 (recycles)	0	0	0	0



16进制

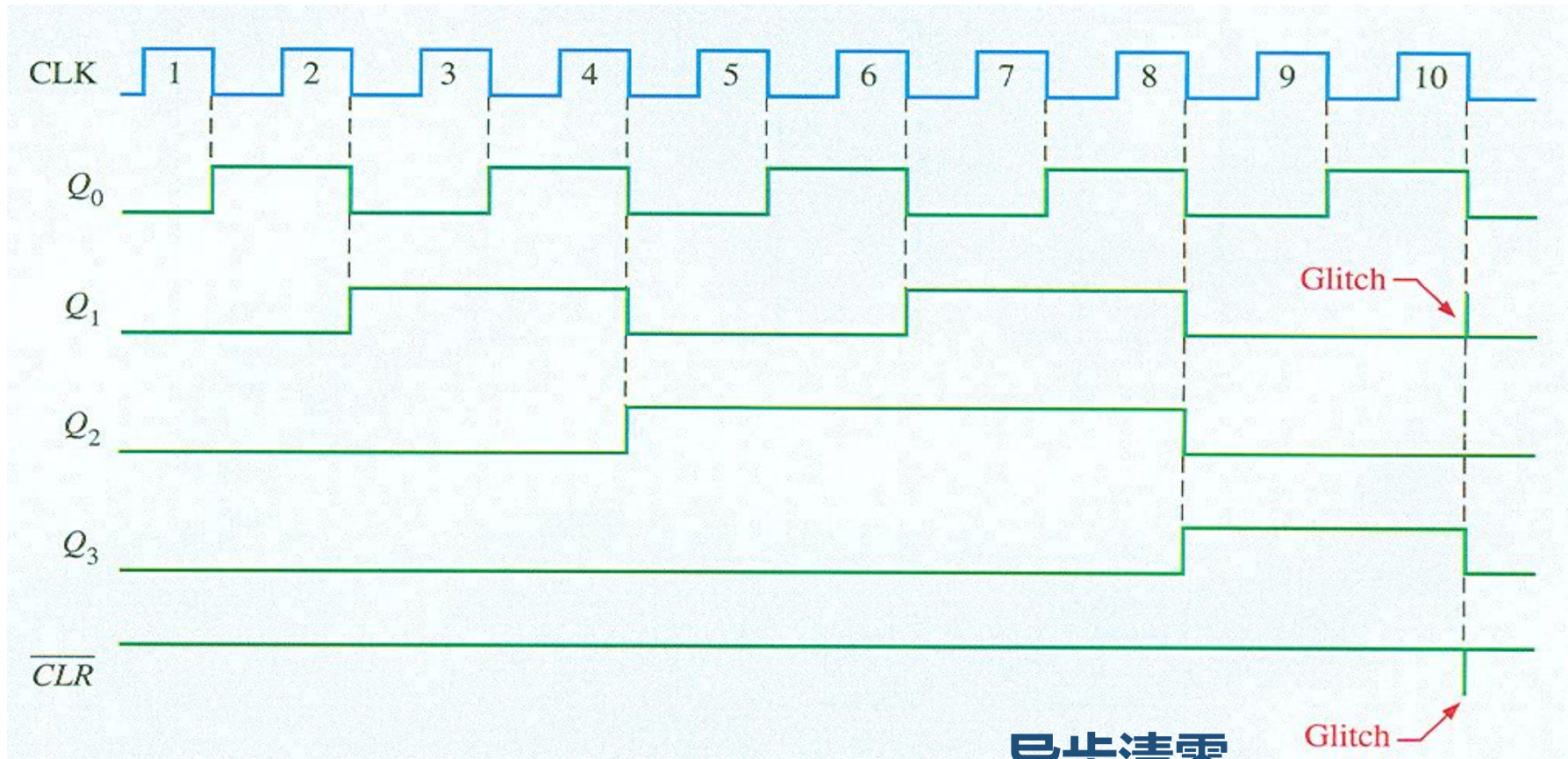
10进制计数器的最后一个状态为1001

芯片为**异步清零**，故**译码状态用1010**

即计数器计数到1010状态时给出清零信号



用示波器观看时序图



异步清零

在 **74LS93**基础上采用清零法构成一个十三进制计数器，译码状态为（ ）₂

☐ A 1010

☐ B 1011

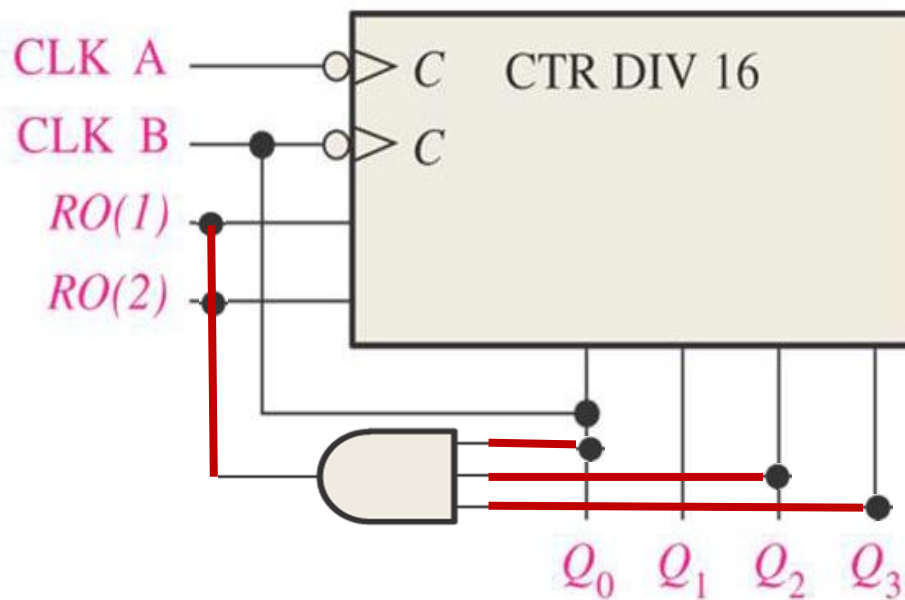
☐ C 1100

☒ D 1101

提交



在93芯片基础上构成13进制计数器



在同步计数器芯片74HC163基础上采用**清零法**构成一个十进制计数器，译码状态应为（ ）₂

74HC163功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	↑	清零

A 1001

B 1010

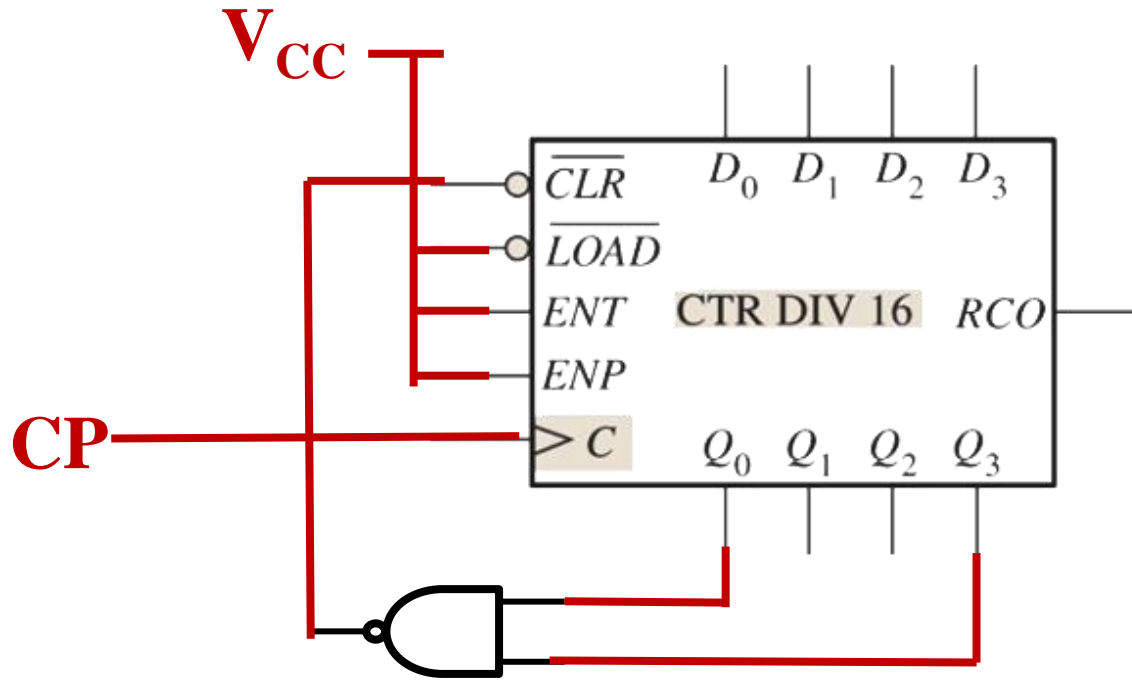
C 1011

D 1100

提交



在同步计数器芯片74HC163的基础上用清零法实现10进制计数器



在同步计数器芯片74HC163基础上采用置数法构成一个计数序列为1,2,3.....10的十进制计数器，译码状态应为（ ）₂

74HC163功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	↑	清零

A

1001

B

1010

C

1011

D

1100

提交

在同步计数器芯片74HC163基础上采用置数法构成一个计数序列为1,2,3.....10的十进制计数器，置数的数据输入端应为（ ）₂

74HC163功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	↑	清零

A

0000

B

0001

C

0010

D

无所谓

提交



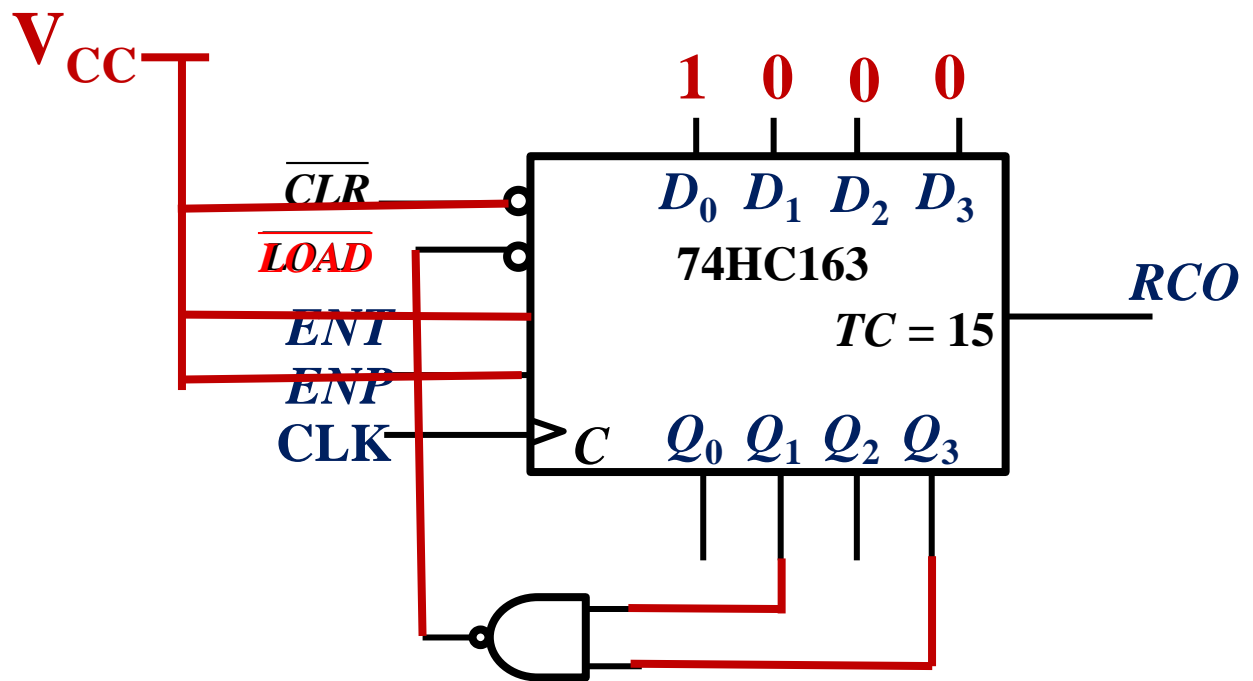
在同步计数器芯片74HC163的基础上实现十进制计数器，
要求计数序列为1,2,3.....10

用置数法

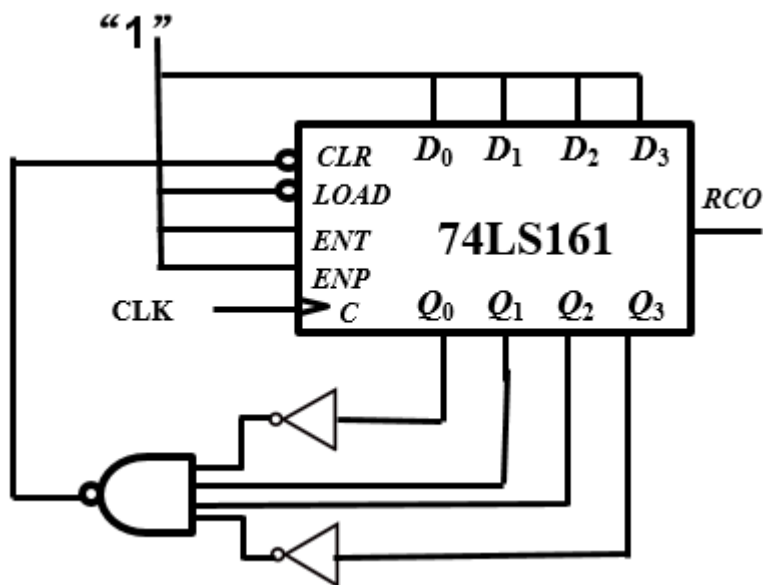
预置数1:
(0001)₂

同步置数

译码状态10:
(1010)₂



下面电路为（ ）进制计数器？



74HC160/161功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	X	清零

A

五进制

B

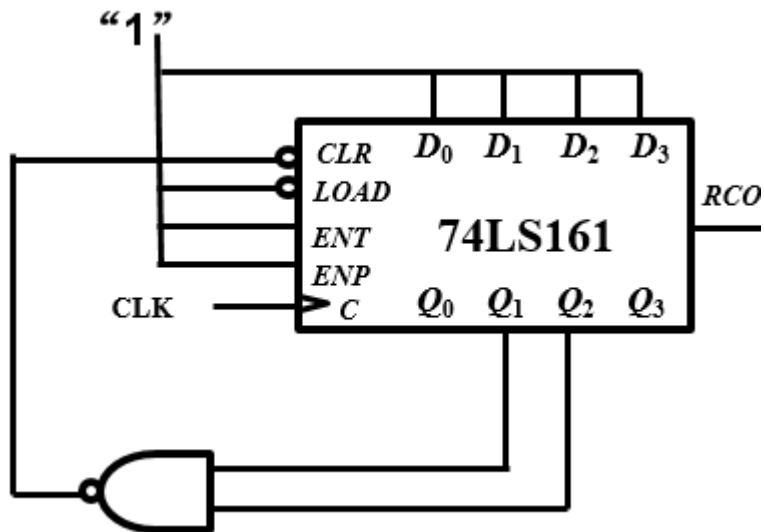
六进制

C

七进制

提交

下面电路为（ ）进制计数器？



74HC160/161功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	X	清零

A

五进制

B

六进制

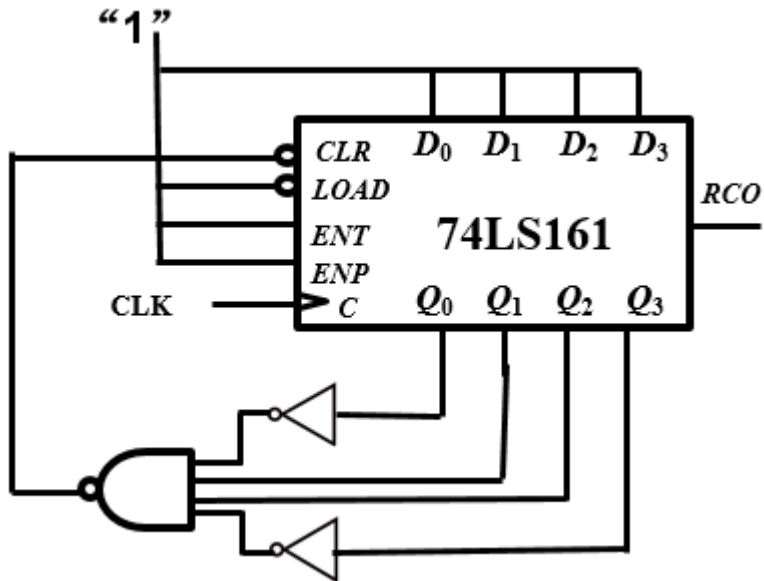
C

七进制

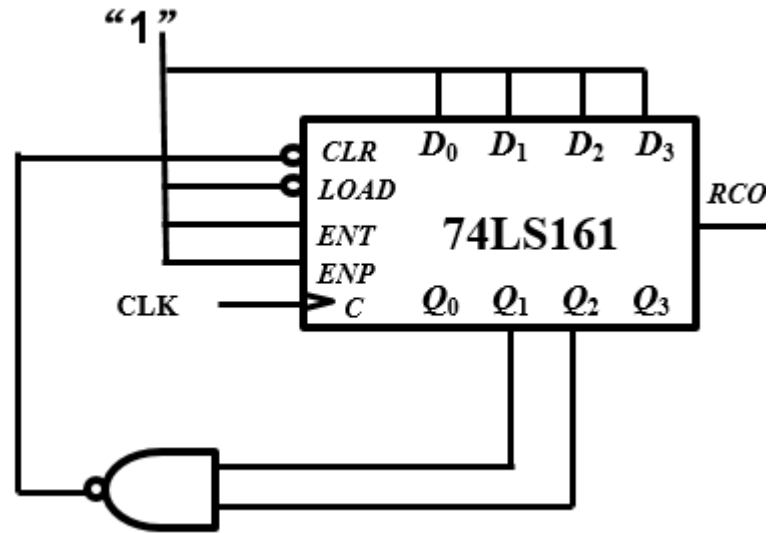
提交



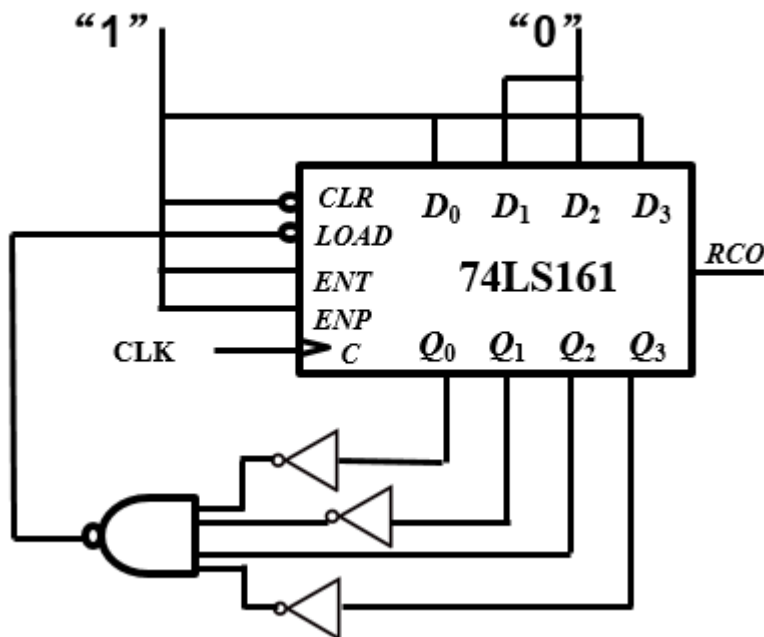
完全译码



部分译码



下面电路为（ ）进制计数器？



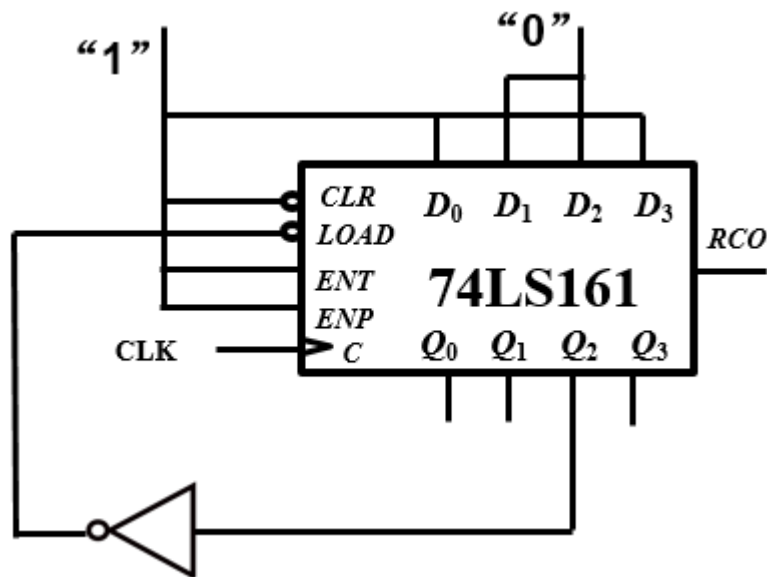
74HC160/161功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	X	清零

- ☐ A 十进制
 ☐ B 十一进制
 ☒ C 十二进制

提交

下面电路为（ ）进制计数器？



74HC160/161功能表

ENP	ENT	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功能
1	1	1	1	↑	计数
X	X	0	1	↑	置数
0	1	1	1	X	保持
1	0	1	1	X	保持
X	X	X	0	X	清零

A

四进制

B

十一进制

C

十二进制

提交



使用部分译码时要注意计数序列中是否有其它状态满足译码条件，如有应该用完全译码。

置数法

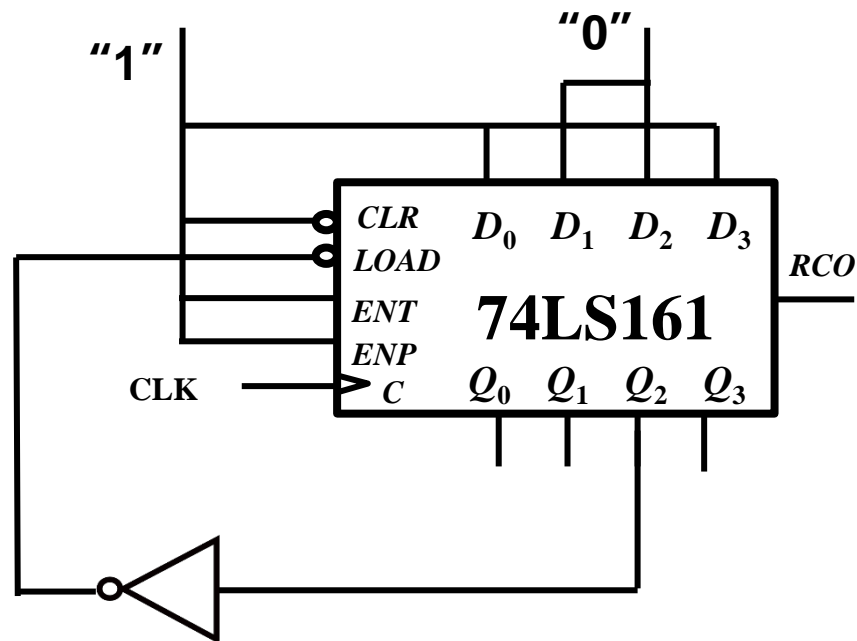
预置数: $(1001)_2 = 9$

译码状态: $(*1**)2$

同步置数

计数器计到12=
 $(1100)_2$ 就开始准
备置数

计数序列: 9,10,11,12 → 9



4进制计数器

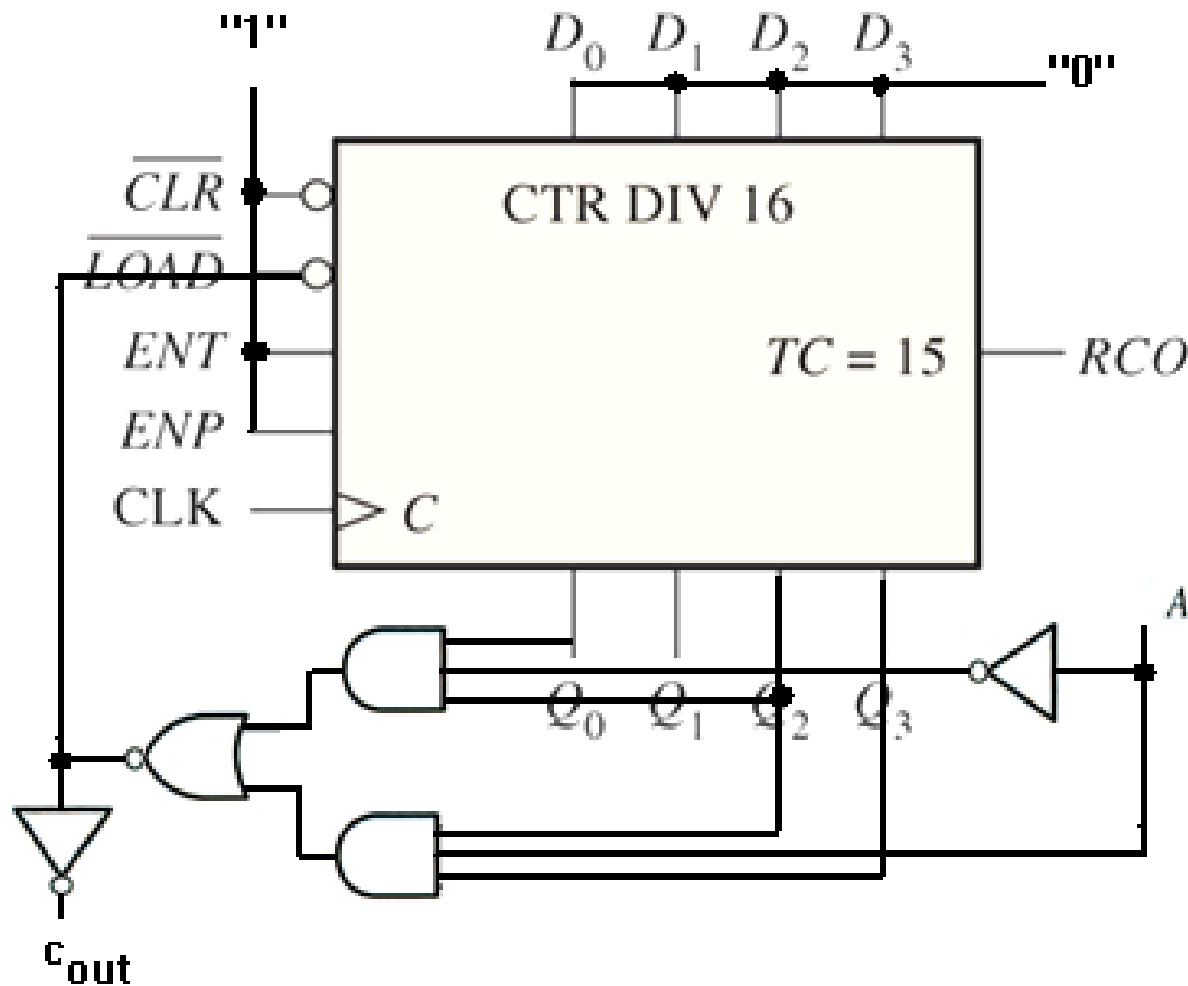


Design a controllable counter
use a 74LS163 IC
and a few logic gates with a control input A:
(1) when $A=0$, the counter works as
a moduls 6 counter;
when $A=1$, the counter works as
a moduls 13 counter
(2) Point out the carry-out output
for the new designed counter



$A=0, M=6, \underline{Q_3} \underline{Q_2} \underline{Q_1} \underline{Q_0}=0101$

$A=1, M=13, \underline{Q_3} \underline{Q_2} \underline{Q_1} \underline{Q_0}=1100$





§8.1.3 计数器芯片的级联

已有N进制计数器，需要得到M进制计数器

$M < N$ 清零/置数法

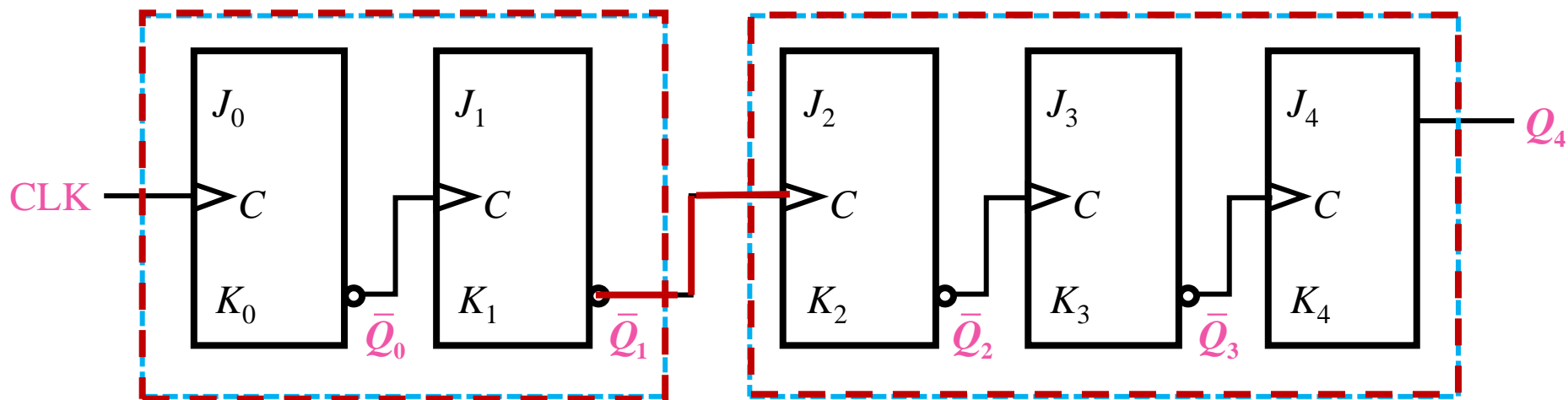
跳过原有序列中的N-M个状态

$M > N$ 计数器的级联

通过级联使计数器获取更高进制



串行级联



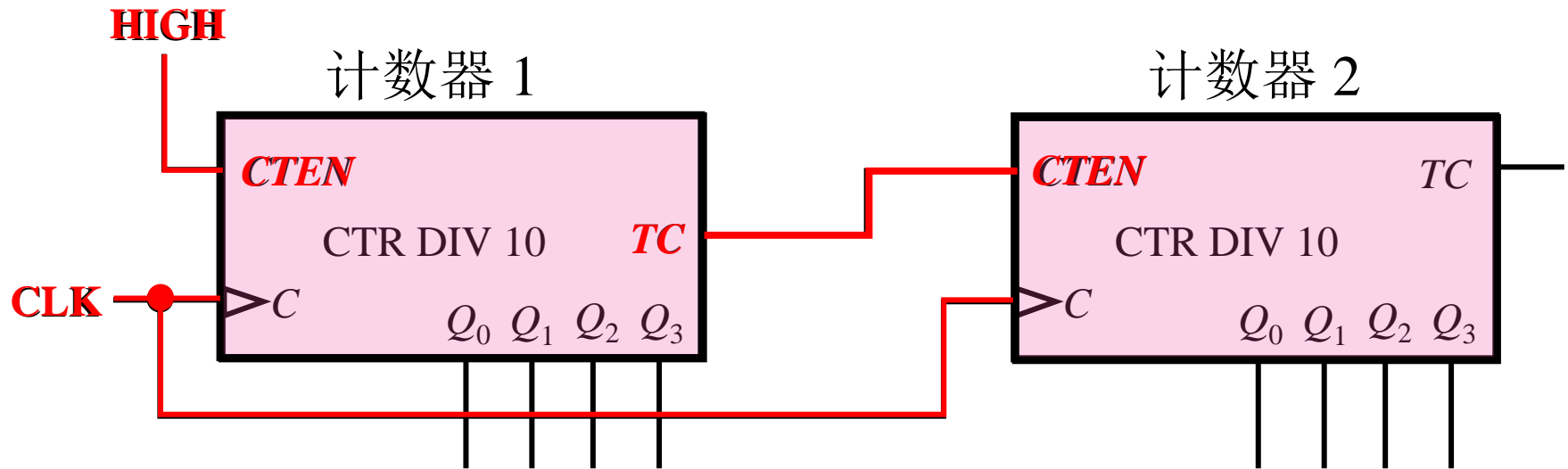
4进制计数器

8进制计数器

$4 \times 8 = 32$ 进制计数器



并行级联



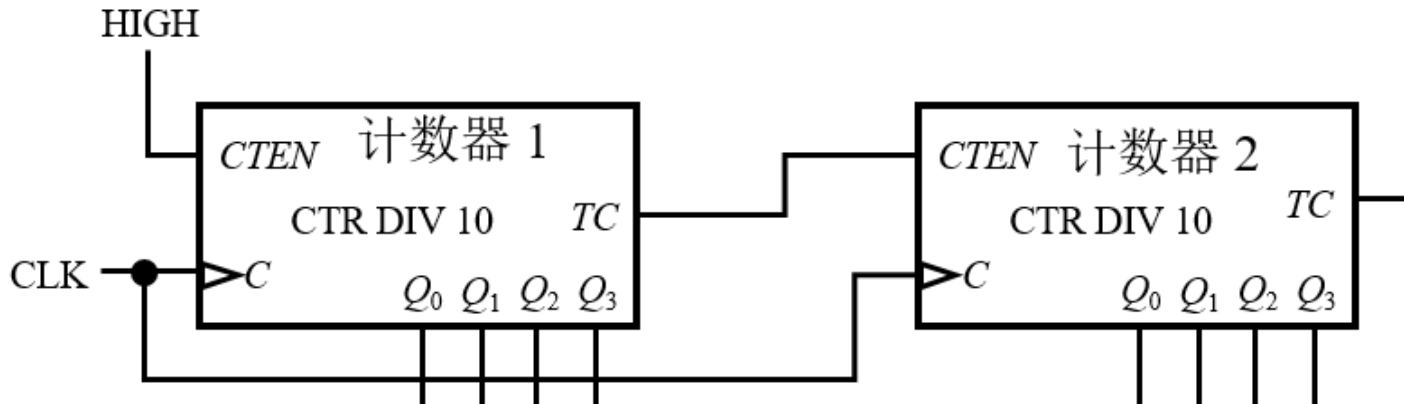
计数器1在每个时钟信号的上升沿计数

计数器2在它的CTEN为高电平时,在每个时钟信号的上升沿计数

思考： 计数器2具体在哪些时钟脉冲沿会计数？



并行级联



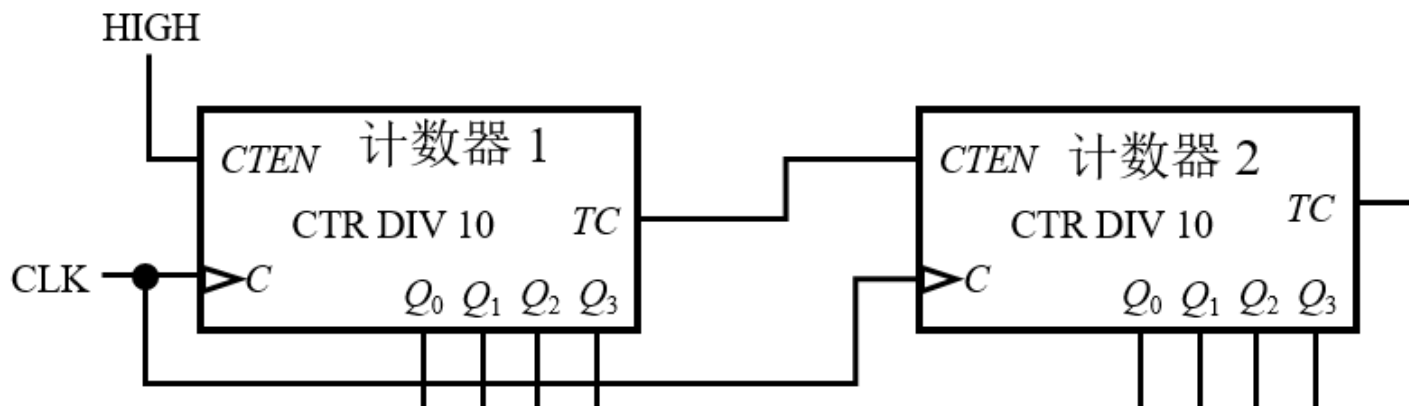
计数器1在每个时钟信号的上升沿计数

计数器2在每10个时钟信号的上升沿 计数

Modulus: $10 \times 10 = 100$

100进制计数器

下图中计数器2将在下面哪种情况下实现计数？

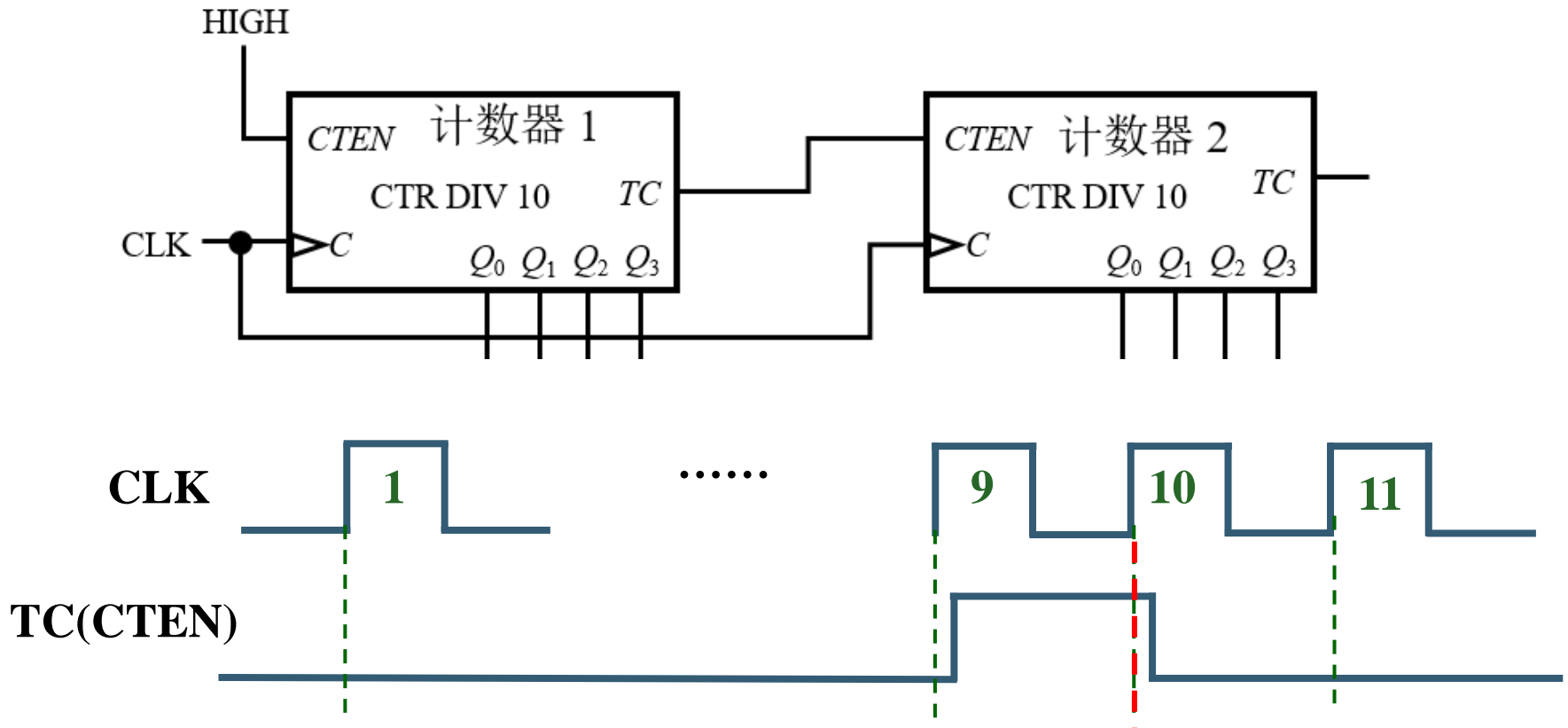


- ☐ A 计数器1从1000计数到1001
- ☒ B 计数器1从1001计数到0000

提交



并行级联的时序图（传输延时夸大画出）



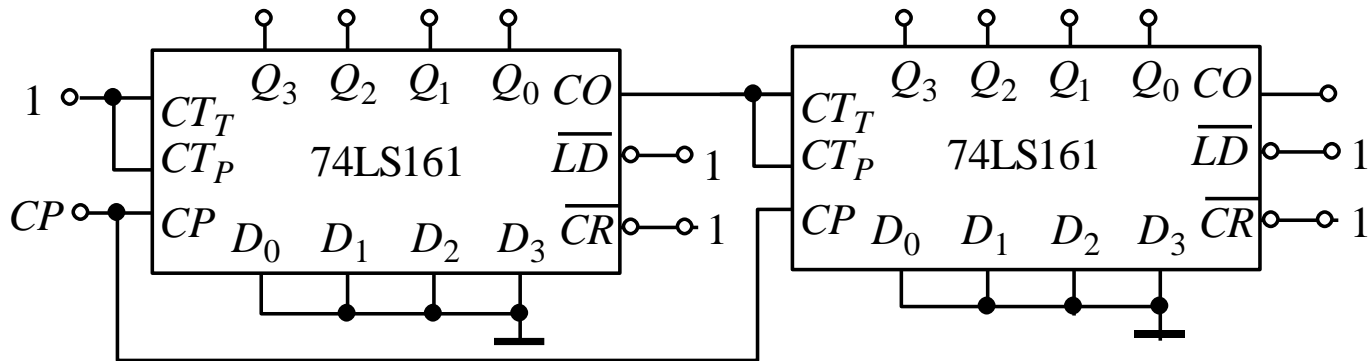
计数器2仅在CLK10的上升沿计数

即计数器1从1001计数回0000时！

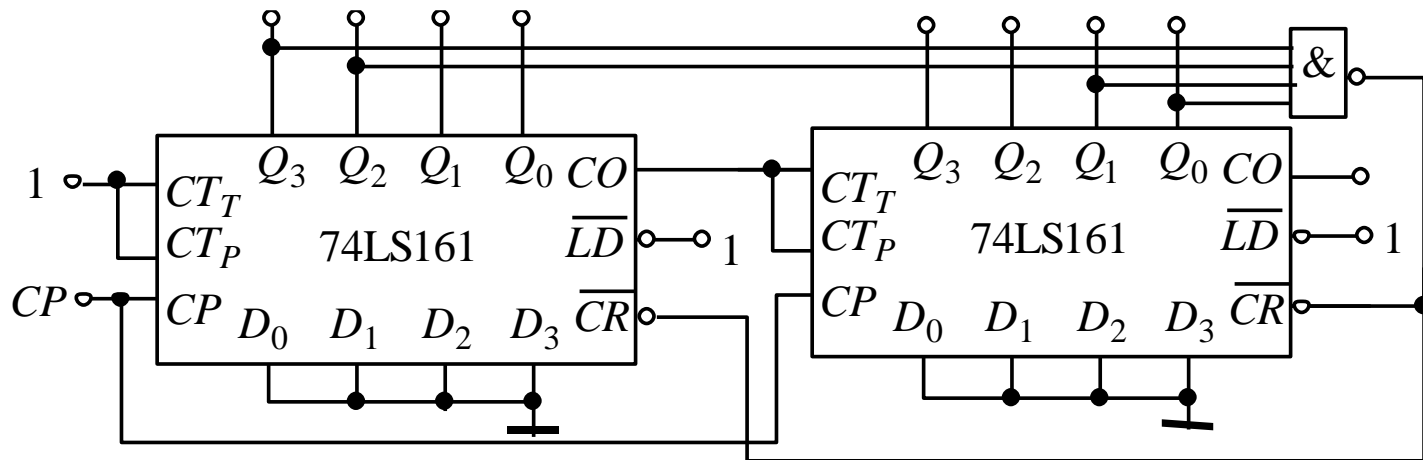


在级联基础上构成任意进制计数器

$$16 \times 16 \\ = 256$$



256 进制计数器



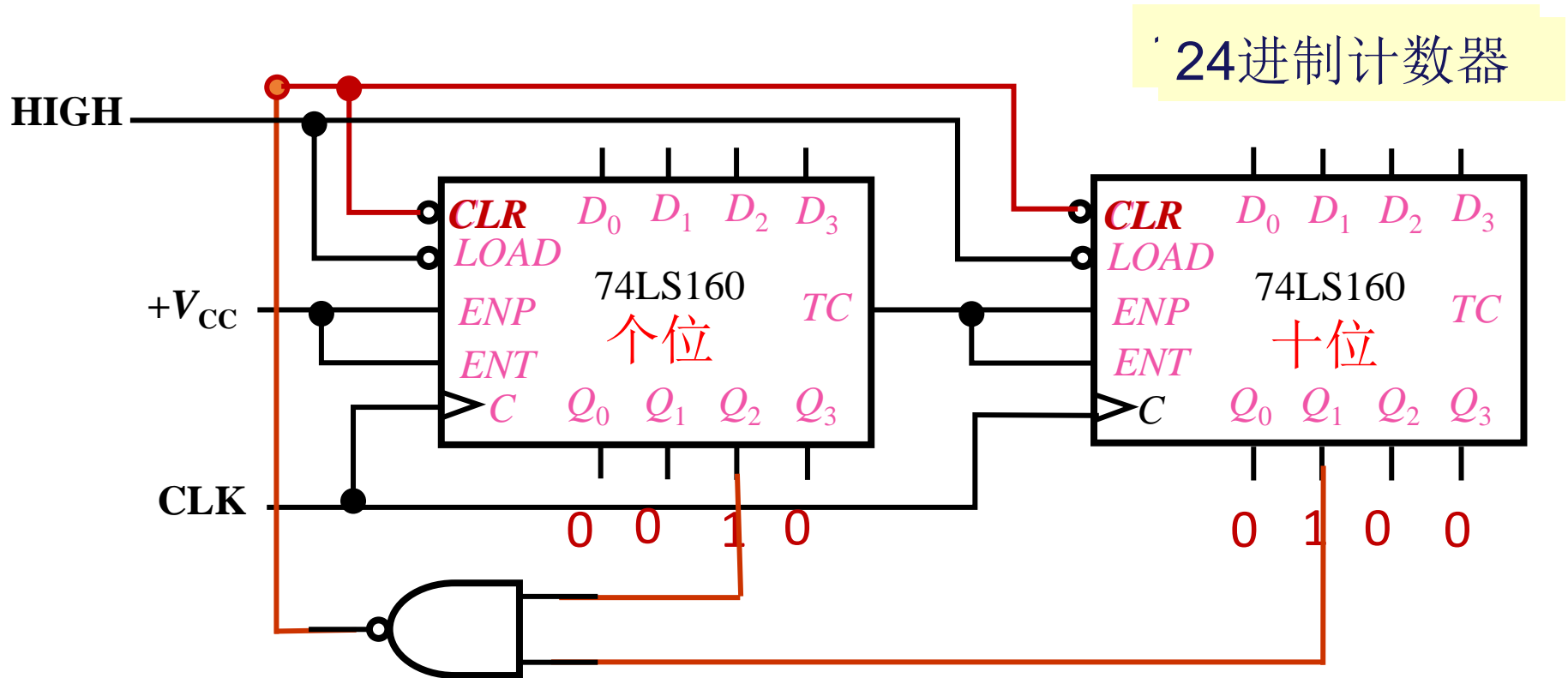
60 进制计数器

高位片计数到3（0011）时，低位片所计数为 $16 \times 3 = 48$ ，之后低位片继续计数到12（1100），与非门输出0，将两片计数器同时清零。



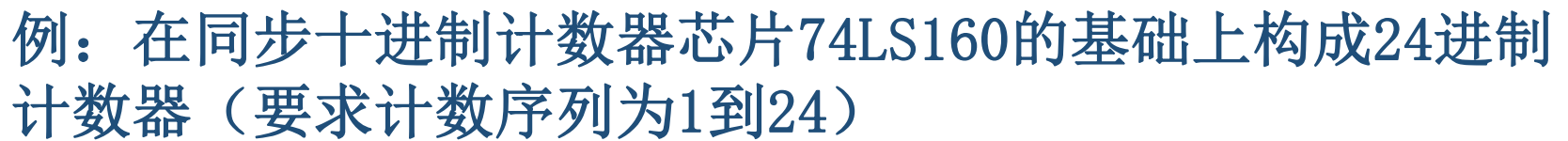
在级联基础上构成任意进制计数器

例：在同步十进制计数器芯片74LS160的基础上构成24进制计数器（清零法）



异步清零

应该在24 (0010, 0100)_{BCD} 处给出清零信号



译码状态(0010, 0100)_{BCD}

Department of Electrical & Electronic Technology, SAE, USTB



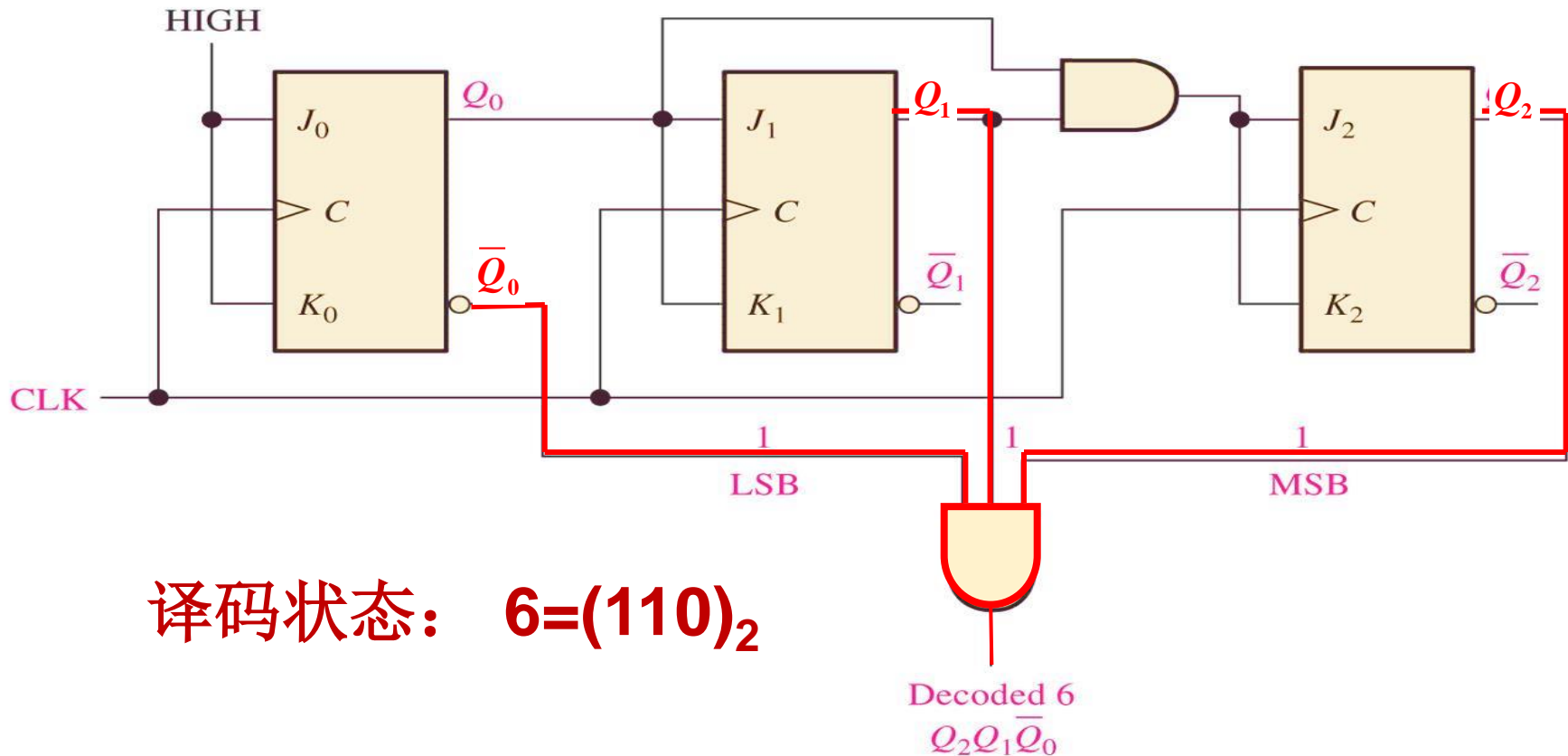
§8.1.4 计数器应用举例

- 计数器译码
- 数字钟
- 并行数据和串行数据的转换
- 汽车停车管理电路

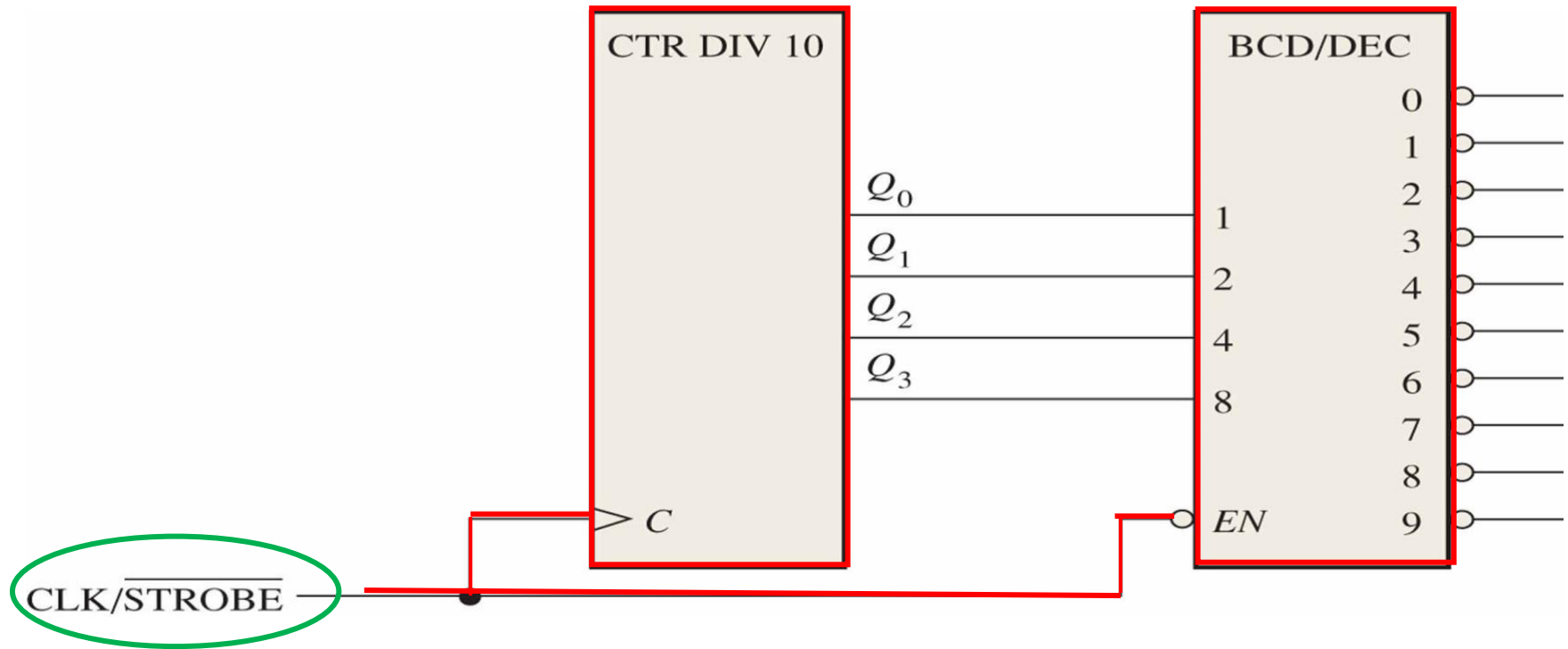


计数器译码

在计数器基础上用译码器电路或者逻辑门将计数序列中特定状态指出来



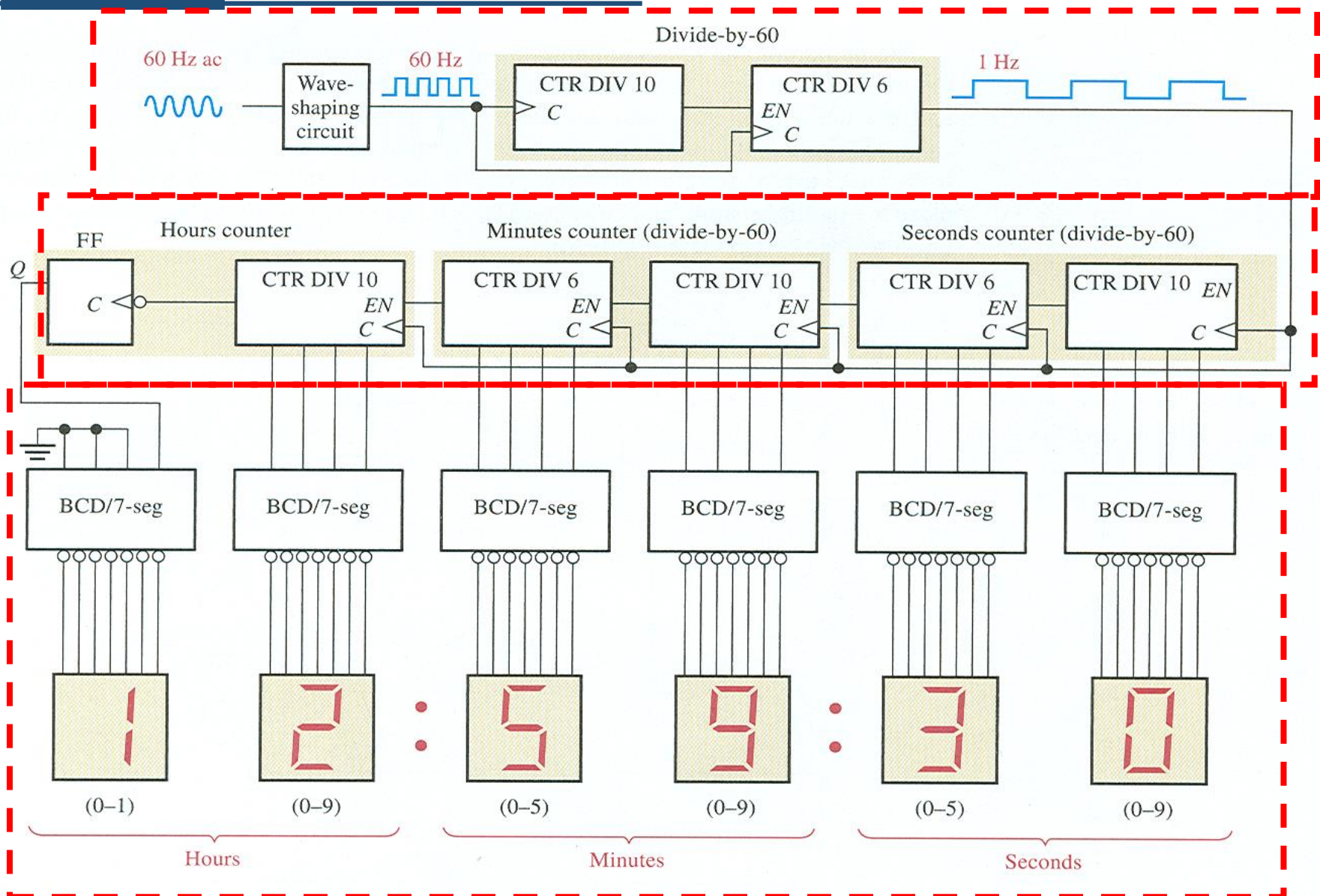
译码状态: $6=(110)_2$



在时钟信号作用下，译码器的各输出轮流有效

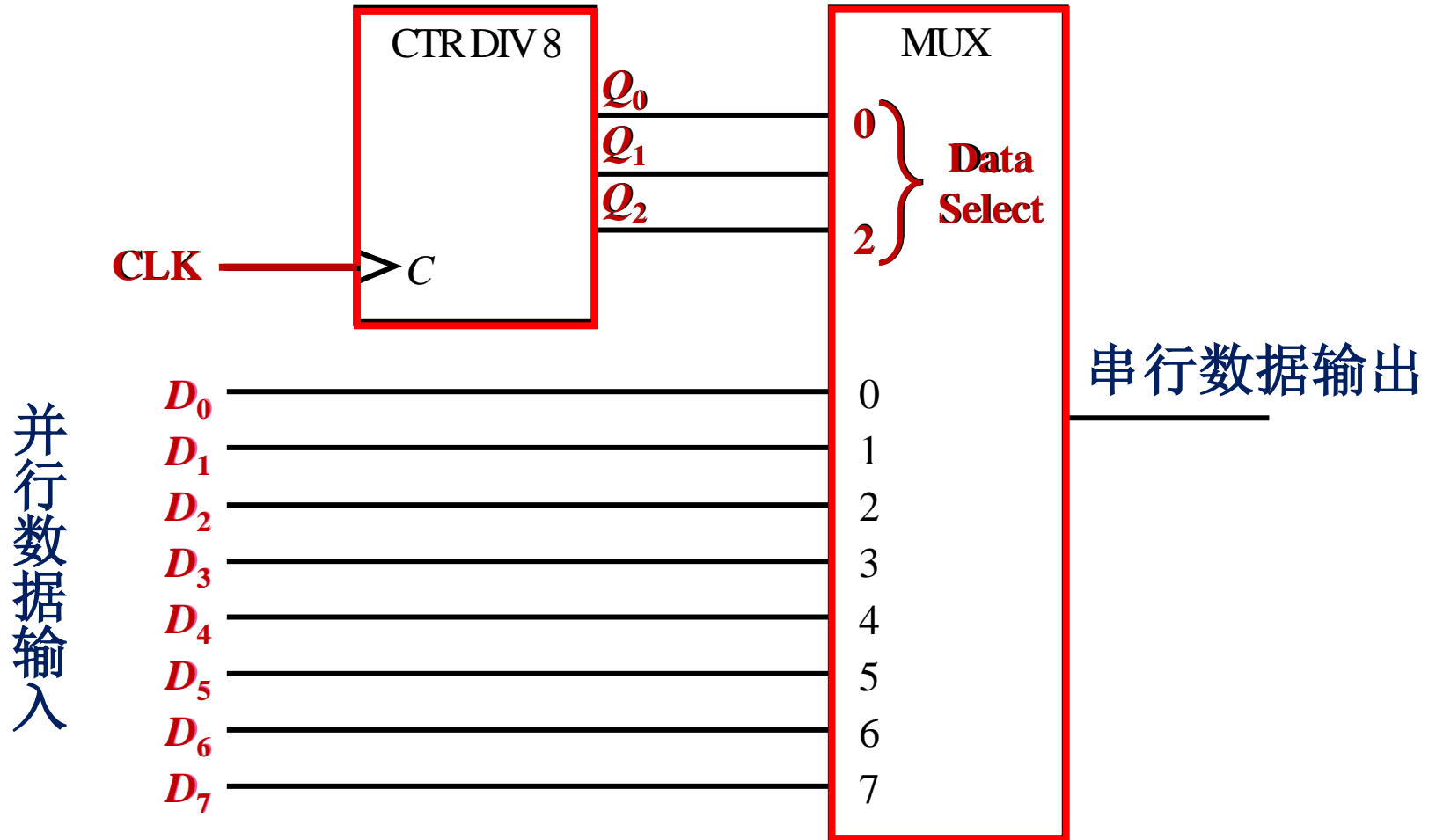


数字钟





并行数据和串行数据的转换





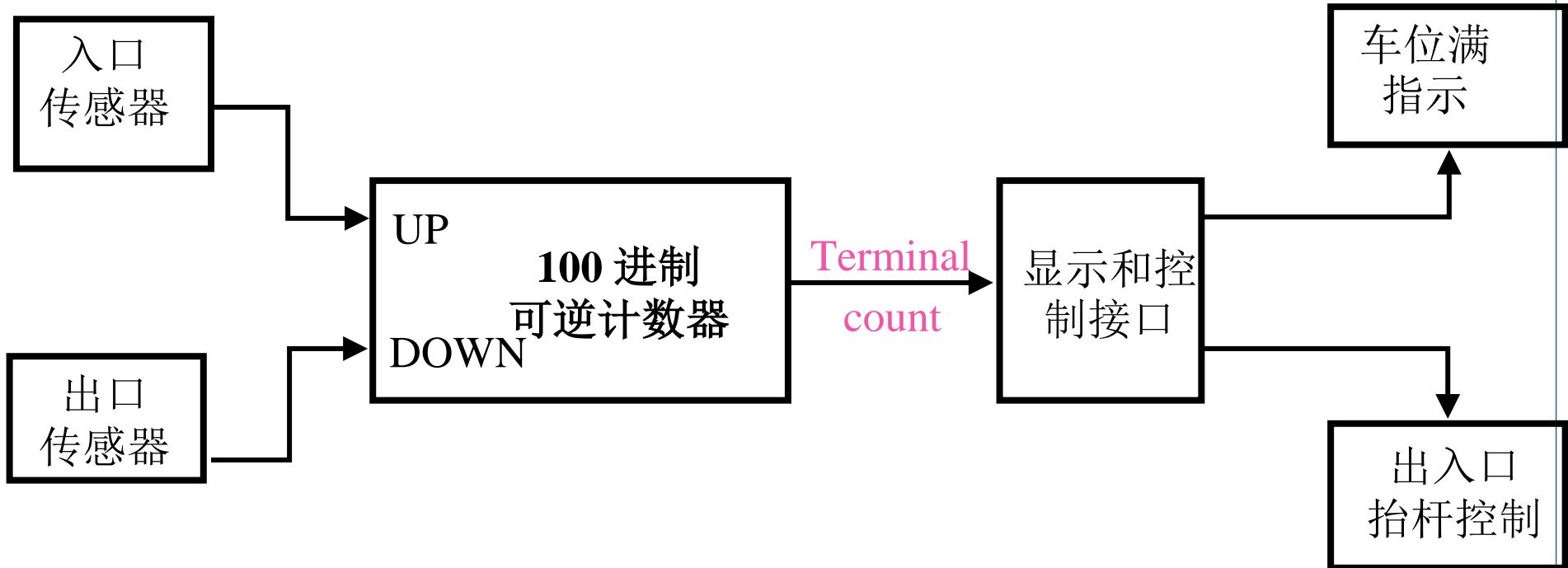
停车场控制和显示电路



可用来显示停车场可提供的车位数并进行相应的出入口管理

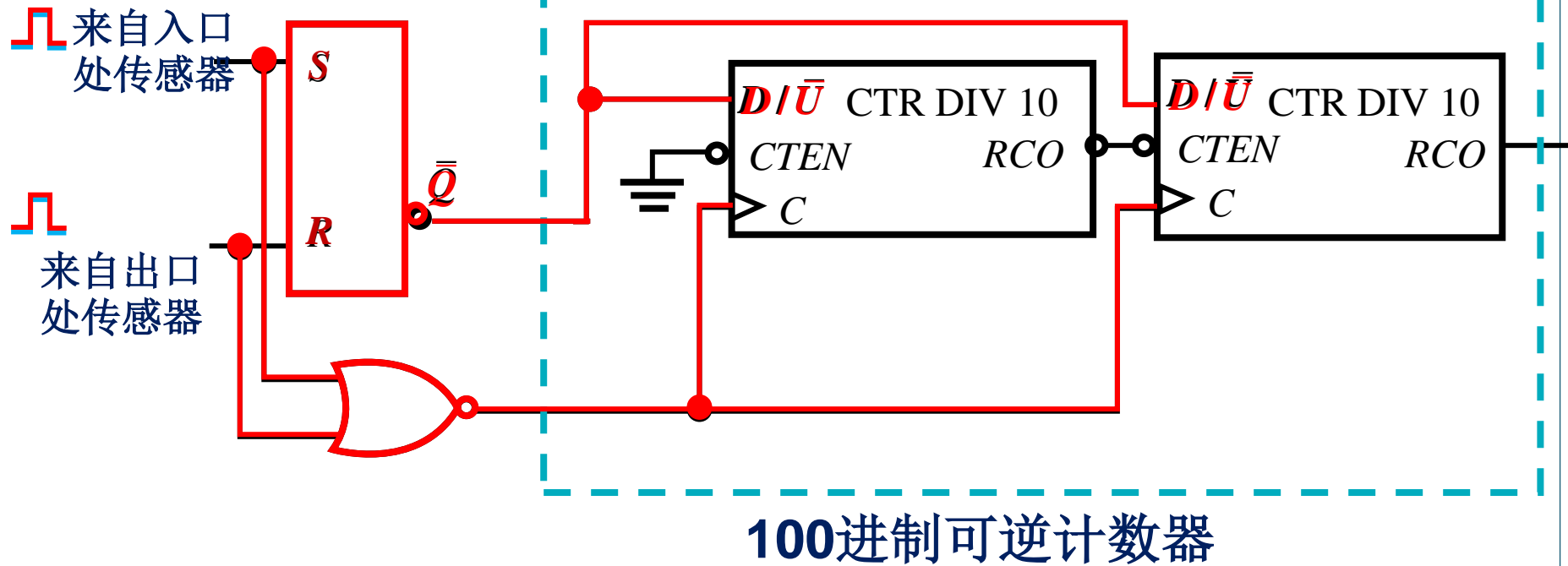


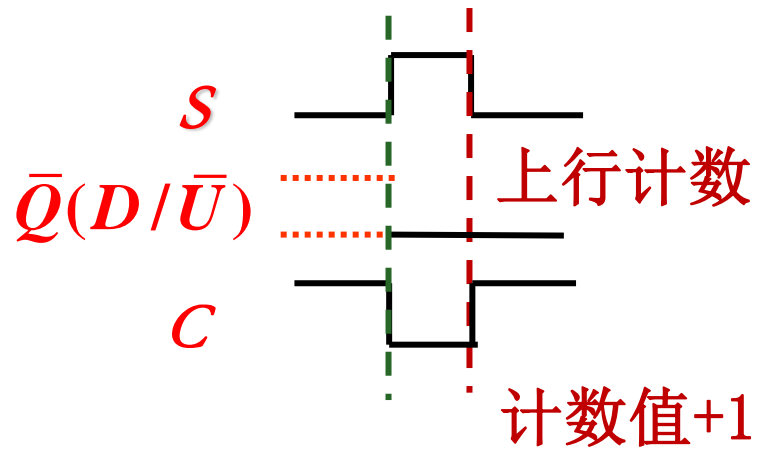
停车场控制和显示的电路设计框图





上行计数 下行计数







第8章 常用时序逻辑电路

P185:

8.3 163芯片置位法实现计数

8.6 163芯片清零法应用

8.8 160芯片置位法实现计数

8.9 163芯片清零法实现计数

8.13 移位寄存器