**选择题**

1.下列描述中采用时钟正沿触发且 reset 异步下降沿复位的代码描述是 （）

A.always @(posedge clk, negedge reset) if(reset)

B.always@(posedge clk, reset) if (!reset)

C.always @(posedge clk, negedge reset) if(!reset)

D.always @(negedge clk, posedge reset) if (reset)

2.下列代码描述中，不能产生时序逻辑的（）

A.always (\*) begin

if (a&b) rega=c;

else rega=0;

end

B.always (\*) begin

if (a&b) rega=c;

y=rega;

end

C.always @(a) begin

case(a)

2’ b00: out=4 ’ b0001;

2’ b01: out=4 ’ b0010;

2’ b10: out=4 ’ b0100;

endcase

end

3.在高速系统设计中，下列哪种优化方案的目的不是为了提高系统的工作频率（）

A.流水线 B.树型结构 C.迟置信号后移 D.资源共享

4.状态机的编码风格包括一段式、两段式和三段式，下列描述正确的是（）

A.一段式寄存器输出，易产生毛刺，不利于时序约束;

B.二段式组合逻辑输出，不产生毛刺，有利于时序约束;

C.三段式寄存器输出，不产生毛刺，有利于时序约束;

D.所有描述风格都是寄存器输出，易产生毛刺，有利于时序约束。

5.关于过程块以及过程赋值描述中，下列正确的是（）

A.在过程赋值语句中表达式左边的信号一定是寄存器类型；

B.过程块中的语句一定是可综合的；

C.在过程块中，使用过程赋值语句给wire赋值不会产生错误；

D.过程块中时序控制的种类有简单延迟、边沿敏感和电平敏感。

6.Verilog 语言与 C 语言的区别，不正确的描述是（）

A.Verilog 语言可实现并行计算,C语言只是串行计算；

B.Verilog 语言可以描述电路结构， C 语言仅仅描述算法；

C.Verilog 语言源于C语言，包括它的逻辑和延迟；

D.Verilog 语言可以编写测试向量进行仿真和测试。

7.基于HDL语言的设计称之为 () 的设计。

A .自底向上 B.自顶向下 C.积木式 D .定层

8.基于下面技术的 PLD 器件中允许编程次数最多的是()。

A.FLASH B.EPROM C.SRAM D.PROM

9.大规模可编程器件主要有 FPGA 、CPLD 两类，下列对 FPGA 结构与工作原理的描述中， 正确的是 () 。

A.FPGA 全称为复杂可编程逻辑器件

B.FPGA 是基于乘积项结构的可编程逻辑器件

C.基于 SRAM 的 FPGA 器件，在每次上电后必须进行一次配置

D.CPLD 是现场可编程逻辑器件

10.设变量X=3 ‘B010， Y=5 ‘h1B , 则{X,Y}的值是()。

A.01011011 B.01010110 C.11011010 D.01001011

11.P、Q、R 都是 4bit 的输入矢量，下面哪一种表达形式是正确的 ()。

A.input P[3:0],Q,R;

B.input P,Q,R[3:0];

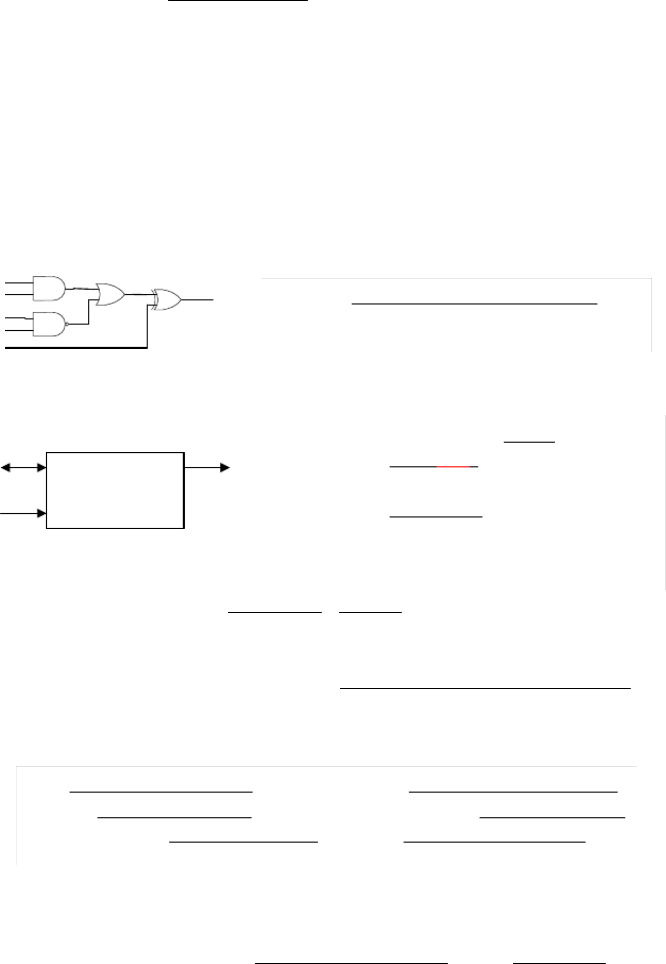
C.input P[3:0],Q[3:0],R[3:0];

D.input [3:0] P,Q,R;

**填空题**

13.`timescale 1us/100ns 中，1us为\_\_\_\_\_\_\_\_， 100ns为\_\_\_\_\_\_\_\_\_\_\_\_。

14.在 Verilog HDL 中的常数包括 \_\_\_\_\_\_\_\_\_ 、\_\_\_\_\_\_\_\_\_ 和 \_\_\_\_\_\_\_\_\_ 三种。

15. 写出表达式以实现对应电路的逻辑功能。 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

A

B F

C

D

E

16.一个大型的组合电路总延时为 100ns，采用流水线将它分为两个较小的组合电路，理论上电路最高工作频率可达\_\_\_\_\_\_\_\_\_MHz 。

**设计题**

17.试使用Verilog HDL设计一个 10进制计数器，规定模块定义为module count10(out,clr,clk), 其中 clk 为时钟输入，clr 为同步清零输入，低电平有效，out 为计数器输出。要求

（1）写出 10 进制计数器Verilog HDL 设计程序并注释；

（2）写出 10 进制计数器Verilog HDL 测试文件并注释；

18.使用状态机设计一个“ 11011”序列检测器，序列输入为 s\_in，检测结果输出为 p\_out，高电平表示发现指定序列，低电平表示没有发现指令序列。请对状态进行定义，

并画出状态转移图。