实验报告

学院： 班级： 学号： 姓名：

实验验收日期： 2020.5.10

1.实验标题： 3 人多数表决电路

2.实验目的

①通过3人多数表决电路功能的仿真，初步了解用Quartus II开发数字电路的前期过程。

②学会使用软件仿真的途径对数字电路的逻辑功能进行验证和分析。

③通过Quartus II仿真3人多数表决电路的功能。

1. 实验相关知识

组合逻辑电路的设计：就是按照具体逻辑命题按要求设计出最简的组合电路。组合逻辑电路的一般设计步骤如下：

1. 对给定事件进行逻辑定义；
2. 将设计需求转换为真值表；
3. 将真值表转换为逻辑表达式，并对逻辑表达式进行化简或变换；
4. 将逻辑表达式转换为逻辑图。

3 人多数表决电路的真值表

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

根据真值表可求出逻辑函数表达式为：

*Y*  *ABC*  *ABC*  *ABC*  *ABC*

由卡诺图化简可得：

*Y*  *AB*  *AC*  *BC*

由于要求用与非门实现，变换可得：

*Y*  *AB*  *AC*  *BC*

4.实验步骤

1. 实验电路功能与设计要求

要求设计一个电路实现 3 人多数表决功能，只用与非门实现。

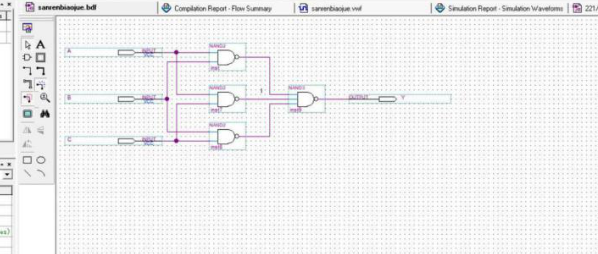
首先进行逻辑定义：

3 个人分别操作 3 个表决开关，产生输入电平信号分别为 A、B、C，若为高电平则表示同意规定为逻辑 1，若为低电平则表示不同意规定为逻辑 0；输出电平信号Y 可驱动指示灯表示表决结果，若为高电平指示灯亮则表示通过规定为逻辑 1，若为低电平指示灯不亮则表示不通过规定为逻辑 0。

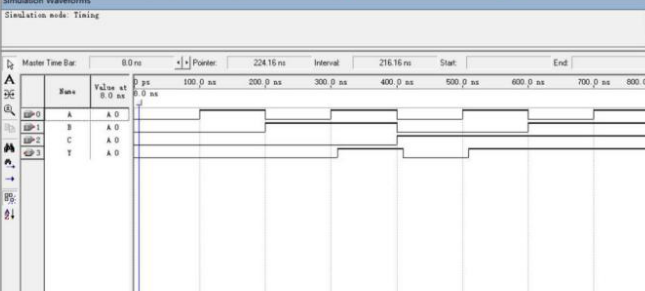
1. 电路端口信号定义说明

A表示人A表决，B表示人B表决,C表示人C表决，Y表示表决结果

1. 实验电路逻辑图截屏



1. 实验电路仿真图截屏



5.注意事项

①设计电路要尽量简洁，所用元器件要尽量少。

②注意正确选择集成电路的型号，不要将集成电路的电源端接反。

③各元器件位置摆放要合适，连线要简洁，尽量少交叉。

6.实验总结与思考题

总结与或非门电路的特点：

与或非门，是数字逻辑电路的基本单元，有2个输入端、1个输出端。当2个输入端中有且只有一个是低电平(逻辑0)时，输出为高电平。且当输入电平相同时，输出为低电平(逻辑0)。

记录实验中出现的问题，并加以分析：

在实验中曾因屡屡编译报错而无法正常编译，在询问老师后得知是因为工程名和文件名不一致所导致的。在更正后得以正常编译仿真。

总结用逻辑门设计组合电路的方法：

门电路组成设计形式,设计时所需门电路器件多,电路相对复杂,可以实现任何不同组合专逻辑函数,从而实现组合[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao),适应范围广,并且其设计电路简洁,接线方便,工作可靠性、稳定性高.利用[数据选择器](https://www.baidu.com/s?wd=%E6%95%B0%E6%8D%AE%E9%80%89%E6%8B%A9%E5%99%A8&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao)设计组合属逻辑电路也具有一定的应用价值,能解决常规门[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao)存在不足,提高[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao)水平.

实验报告

学院： 班级： 学号： 姓名：

实验验收日期： 2020.5.10

1.实验标题： 只用与非门实现全加器

2.实验目的

①掌握组合逻辑电路的一般设计方法。

②了解组合逻辑电路的测试方法。

③掌握 TTL 与或非门的逻辑功能。

3.实验相关知识

组合逻辑电路的设计：就是按照具体逻辑命题按要求设计出最简的组合电路。组合逻辑电路的一般设计步骤如下：

（1）对给定事件进行逻辑定义；

（2）将设计需求转换为真值表；

（3）将真值表转换为逻辑表达式，并对逻辑表达式进行化简或变换；

（4）将逻辑表达式转换为逻辑图。

全加器电路的真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入端 | | | 输出端 | |
| Ai | Bi | Ci-1 | Si | Ci |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

根据真值表可求出逻辑函数表达式为：

*Si=ABC+ABC+ABC+ABC*

*Ci=AC+AB+BC*

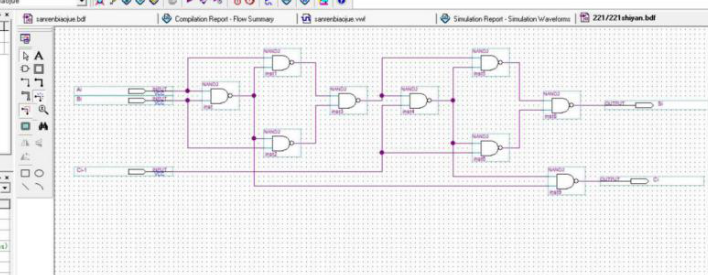
1. 实验内容
2. 实验电路功能与设计要求

要求设计一个实现考虑低位进位的加法运算，只用与非门实现。

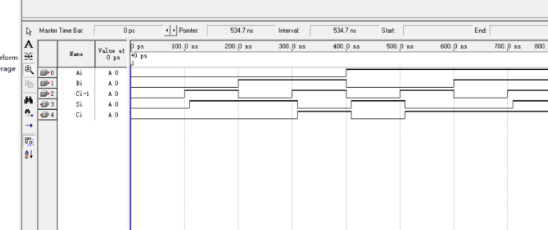
1. 电路端口信号定义说明

Ai与Bi为加数，Ci-1为低进位；Si为加法位，Ci为加法进位。

1. 实验电路逻辑图截屏



1. 实验电路仿真图截屏



5.注意事项

①设计电路要尽量简洁，所用元器件要尽量少。

②注意正确选择集成电路的型号，不要将集成电路的电源端接反。

③各元器件位置摆放要合适，连线要简洁，尽量少交叉。

6.实验总结与思考题

记录实验中出现的问题，并加以分析。

本次实验较为顺利，没有出现什么问题。

总结用逻辑门设计组合电路的方法。

组合逻辑电路是由与门、或门、非门、与非门、或非门等逻辑门电路组合而成的，组合逻辑电路不具有记忆功能，它的某一时刻的输出直接由该时刻电路的输入状态所决定，与输入信号作用前的电路状态无关。它可以使用不同的门电路实现相同的功能。

实验心得与体会：

1）通过真值表得逻辑关系后，在使用元件有限制的情况下，要对逻辑关系式做以适当变形以适应相应的芯片功能。

2）逻辑式本身反映了要使用的逻辑电路，要根据函数式对应的元件，明确先后顺序，从内到外连接电路。

课后作业：

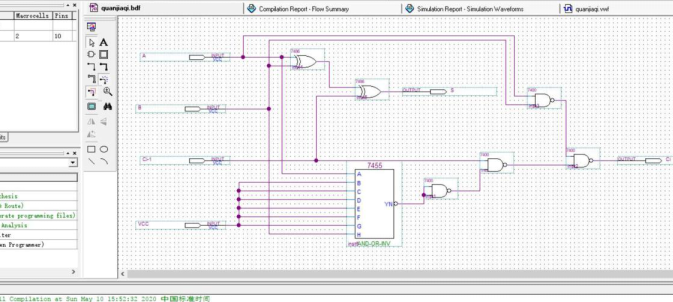
实验报告

学院： 班级： 学号： 姓名：

实验验收日期： 2020.5.10

1.实验标题： 用异或门、与或非门和与非门实现全加器

实验电路逻辑图截屏



实验电路仿真图截屏

