实验报告

学院： 班级： 学号： 姓名：

实验验收日期： 2020.5.

1.实验标题： 举重裁判电路

2.实验目的

①掌握译码器的逻辑功能。

②掌握译码器应用电路的设计方法。

3.实验相关知识

译码器的功能是将具有特定含义 2 进制码转换成相应的控制信号。

74LS138 是 3-8 译码器，有 3 个地址输入端C、B、A(A 为低位)，3 个选通输入端 G1、G2AN、G2BN，以及 8 个译码输出端 Y0N、Y1N、∙∙∙、Y7N。译码输出为低电平有效。译码器 74LSl38 的引脚分布如图 2.2.7 所示，其功能表如表 2.2.7 所示。

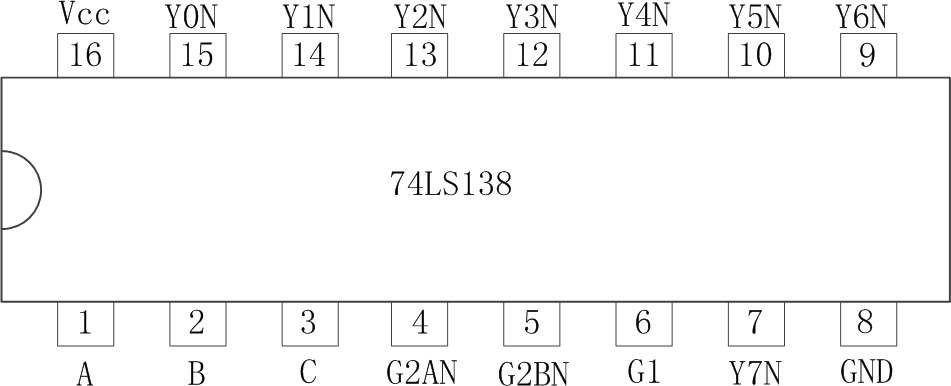


图 2.2.7 74LSl38 的引脚分布

表 2.2.7 译码器 74LS138 的功能表

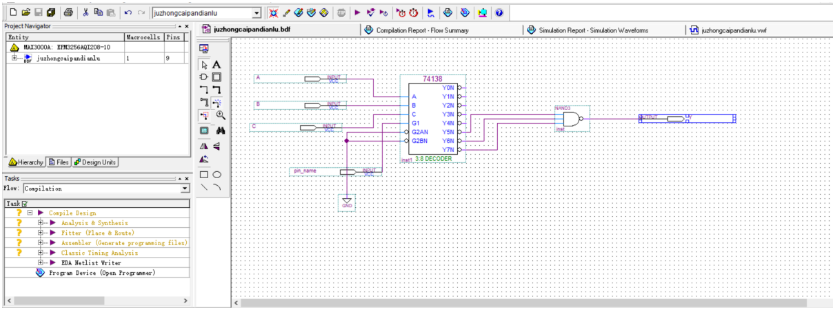
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| G1 | G2AN | G2BN | C | B | A | Y0N | Y1N | Y2N | Y3N | Y4N | Y5N | Y6N | Y7N |
| X | X | 1 | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

注：X 代表任意状态。

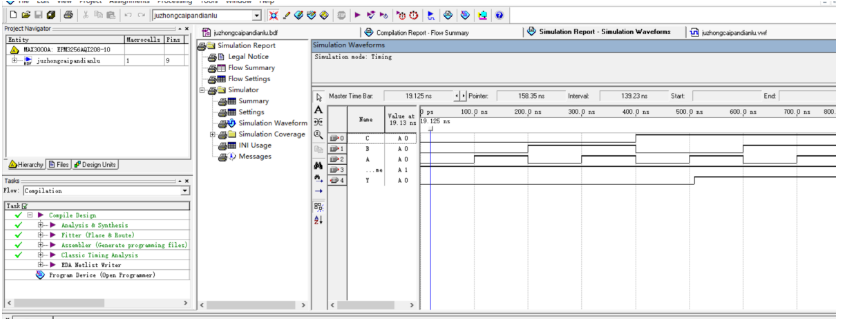
1. 实验内容
2. 课堂实验：举重裁判电路
3. 实验电路功能与设计要求

举重比赛裁判时，有三名裁判员，包括一名主裁判员和两名副裁判员。在裁判时，按照少数服从多数的原则通过，但必须包括主裁判。要求用译码器 74LS138 和必要的门电路设计。

1. 自行设计满足设计要求的举重裁判电路，画出逻辑图。
2. 选择符合要求的器件在实验开发平台上按图接线并通电观察实现效果。
3. 自行设计测试表格对电路进行测试，验证电路功能是否正常。
4. 电路端口信号定义说明

A表示副裁判员1，B表示副裁判员2，C表示主裁判员，若为高电平则表示同意规定为逻 辑 1，若为低电平则表示不同意规定为逻辑 0；Y表示裁判结果，其中高电平表示举重有 效，低电平表示举重无效。

1. 实验电路逻辑图截屏
2. 实验电路仿真图截屏



课后作业：2位2进制乘法器

1）实验电路功能与设计要求

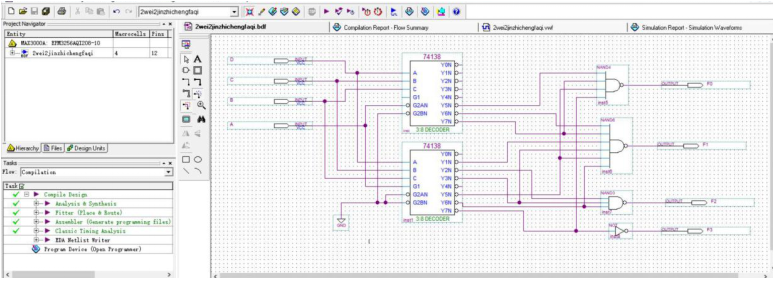
要求用译码器 74LS138 和必要的门电路设计。

自行设计满足设计要求的 2 位 2 进制乘法器，画出逻辑图。

选择符合要求的器件在实验开发平台上按图接线并通电观察实现效果。

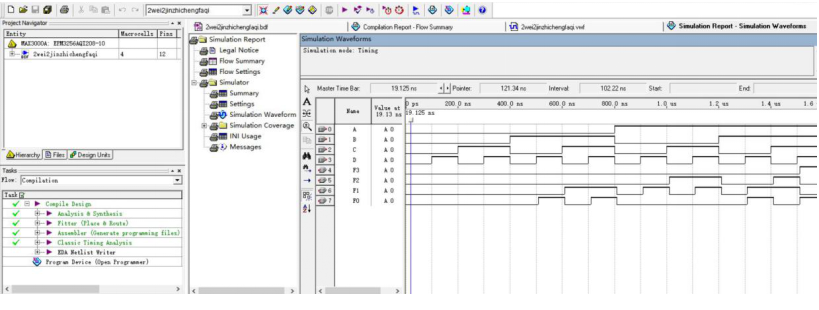
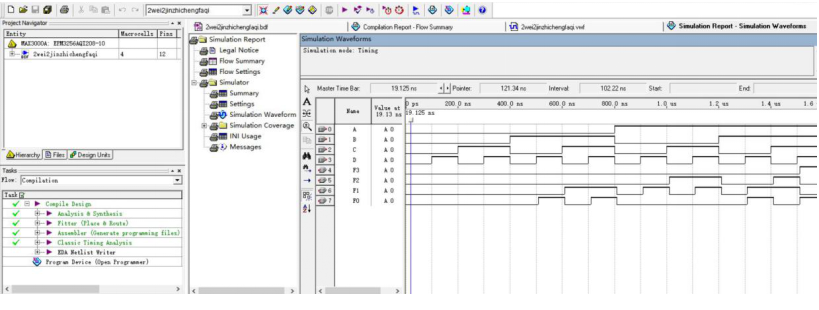
自行设计测试表格对电路进行测试，验证电路功能是否正常。

2）电路端口信号定义说明

设两个二进制乘数分别是AB和CD，乘数结果为F3F2F1F0。

3）实验电路逻辑图截屏

4）实验电路仿真图截屏



5.注意事项

①译码器的控制信号设置要正确。

②译码器的地址输入权位顺序要清楚。

6.实验总结与思考题

总结译码器的工作原理和逻辑功能

工作原理：译码器可以将输入代码的状态翻译成相应的输出信号，以高、[低电平](http://www.so.com/s?q=%E4%BD%8E%E7%94%B5%E5%B9%B3&ie=utf-8&src=internal_wenda_recommend_textn" \t "https://wenda.so.com/q/_blank)的[形式](http://www.so.com/s?q=%E5%BD%A2%E5%BC%8F&ie=utf-8&src=internal_wenda_recommend_textn" \t "https://wenda.so.com/q/_blank)在各自的输出端口送出，以表示其意愿。

逻辑功能：将具有特定含义 2 进制码转换成相应的控制信号。

总结译码器应用电路的设计方法：

在熟悉了中规模集成译码器的逻辑功能以后使用门电路以及输入输出端口根据真值表连接出所需要的逻辑应用电路。

实验课中遇到的故障与解决方法：

实验中没有遇到故障。

实验心得与体会：

1）通过真值表得逻辑关系后，在使用元件有限制的情况下，要对逻辑关系式做以适当变形以适应相应的芯片功能。

2）逻辑式本身反映了要使用的逻辑电路，要根据芯片功能以及函数式对应的元件，明确先后顺序，从内到外连接电路。

实验报告

学院： 班级： 学号： 姓名：

实验验收日期： 2020.5.

1.实验标题： 3 位开关控制电路

2.实验目的

①掌握数据选择器的逻辑功能。

②掌握数据选择器应用电路的设计方法。

③了解用数据选择器作逻辑函数产生器的方法。

3.实验相关知识

数据选择器的功能是从多个通道的数据中选择一个数据传送到唯一的公共数据通道上。

74LS151 是 8 选 l 数据选择器，有 3 个地址输入端 C、B、A(A 为低位)，用于选择 D0～ D7 共 8 个数据中的其中 1 个，1 个选通输入端 GN，以及 2 个互补输出端Y 和 WN。数据选择器 74LSl5l 的引脚分布如图 2.2.9 所示，其功能表如表 2.2.9 所示。

VCC

D4 D5 D6 D7 A B C



8

7

6

5

4

3

2

1

74LS151

9

10

11

12

13

14

15

16

图 2.2.9 74LS151 的引脚分布

表 2.2.9 数据选择器 74LS15l 的功能表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| GN | C | B | A | Y | WN |
| 1 | X | X | X | 0 | 1 |
| 0 | 0 | 0 | 0 | D0 | /D0 |
| 0 | 0 | 0 | 1 | D1 | /D1 |
| 0 | 0 | 1 | 0 | D2 | /D2 |
| 0 | 0 | 1 | 1 | D3 | /D3 |
| 0 | 1 | 0 | 0 | D4 | /D4 |
| 0 | 1 | 0 | 1 | D5 | /D5 |
| 0 | 1 | 1 | 0 | D6 | /D6 |
| 0 | 1 | 1 | 1 | D7 | /D7 |

注：X 代表任意状态。

数据选择器除了实现有选择的传送数据以外，还可作逻辑函数产生器，与计数器配合可实现并行数据到串行数据的转换等。

4.实验内容

（1）课堂实验：3位开关控制电路

1. 实验电路功能与设计要求

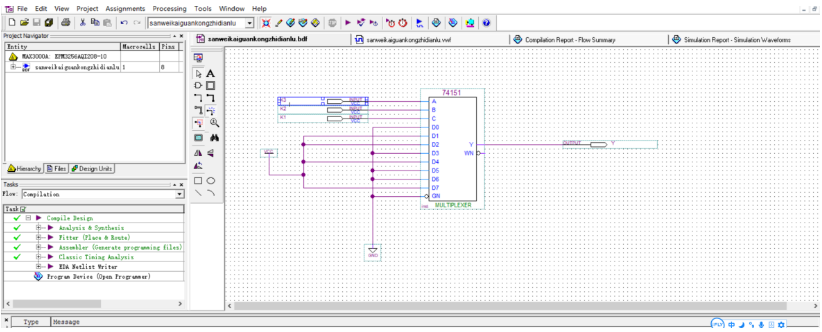
要求用 3 个开关控制 1 个灯，改变任何一个开关的状态都能控制灯由亮变灭或者由灭变亮。

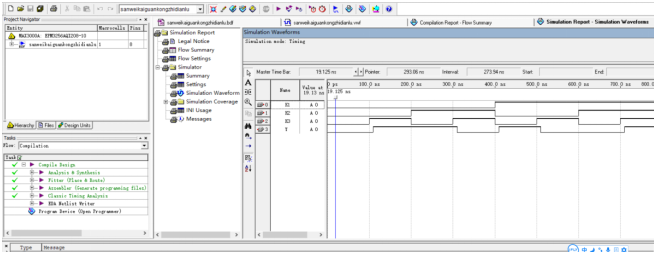
用 74LS151 和必要的门电路设计。

1. 自行设计满足设计要求的 3 位开关控制电路，画出逻辑图。
2. 选择符合要求的器件在实验开发平台上按图接线并通电观察实现效果。
3. 自行设计测试表格对电路进行测试，验证电路功能是否正常。
4. 电路端口信号定义说明

K1表示开关1，K2表示开关2，K3表示开关3，高电平表示开关打开，低电平表示开关关闭。Y表示灯的亮灭，高电平为灯亮，低电平为灯灭。

1. 实验电路逻辑图截屏





1. 实验电路仿真图截屏

(2)课后作业：4位奇偶判断电路

1）实验电路功能与设计要求

要求当四个输入中有奇数个 1 时，输出为 0；输入中有偶数个 1 时，输出为 1。用 74LS151

和必要的门电路设计。

自行设计满足设计要求的 4 位奇偶判断电路，画出逻辑图。

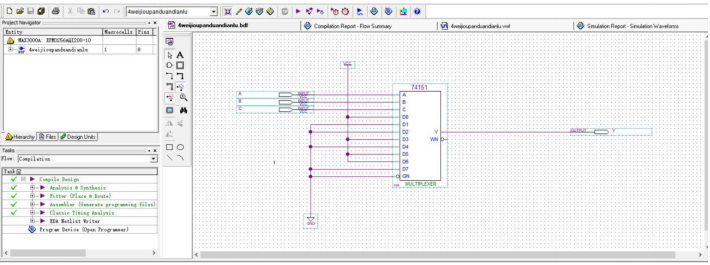
选择符合要求的器件在实验开发平台上按图接线并通电观察实现效果。

自行设计测试表格对电路进行测试，验证电路功能是否正常。

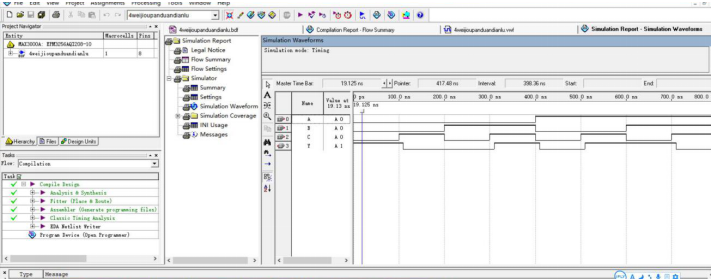
2）电路端口信号定义说明

A、B、C分别为输入端，高电平表示输入为1，低电平表示输入为0；Y为输出端，当输入变量值为1的数目是偶数时为高电平，当输入变量值为1的数目是奇数时为低电平。

3）实验电路逻辑图截屏



4）实验电路仿真图截屏



5.注意事项

①数据选择器的控制信号设置要正确。

②数据选择器的地址输入权位顺序要清楚。

6.实验总结与思考题

总结数据选择器的工作原理和逻辑功能

工作原理：根据给定的输入地址代码，从一组输入信号中选出指定的一个送至输出端的组合逻辑电路。

逻辑功能：数据选择器(MUX)的逻辑功能是在地址选择信号的控制下，从多路数据中选择一路数据作为输出信号。

总结数据选择器应用电路的设计方法：

掌握数据选择器的逻辑功能，使用门电路以及输入输出端口根据真值表连接出所需要的逻辑应用电路。利用[数据选择器](https://www.baidu.com/s?wd=%E6%95%B0%E6%8D%AE%E9%80%89%E6%8B%A9%E5%99%A8&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)设计组合属逻辑电路能解决常规门[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)存在不足,提高[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)水平。

实验课中遇到的故障及解决方法：

实验中没有遇到故障。

实验心得与体会：

1）通过真值表得逻辑关系后，在使用元件有限制的情况下，要对逻辑关系式做以适当变形以适应相应的芯片功能。

2）逻辑式本身反映了要使用的逻辑电路，要根据芯片功能以及函数式对应的元件，明确先后顺序，从内到外连接电路。

3）利用[数据选择器](https://www.baidu.com/s?wd=%E6%95%B0%E6%8D%AE%E9%80%89%E6%8B%A9%E5%99%A8&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)设计组合属逻辑电路能解决常规门[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)存在不足,体现出普通门电路的局限性，提高[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)水平。