实验报告

学院： 班级： 学号： 姓名：

实验验收日期： 2020.5.

1.实验标题： 集成计数器及其应用

2.实验目的

①掌握集成计数器的逻辑功能和各控制端作用。

②掌握任意模计数器的设计方法。

③熟悉集成计数器的级联方法。

3.实验相关知识

采用触发器和逻辑门可以构成各种类型的计数器，但电路结构复杂，使用起来很不方便， 于是生产厂家制造了一系列的集成计数器，大大提高了工作效率。

中规模集成计数器功能完善，具有自扩展特性，通用性很强。学生应能看懂功能表，并且能熟练集成计数器。

常用的同步集成计数器如下：

① 74160：10 进制同步计数器，同步预置，异步清零

② 74161：4 位 2 进制同步计数器，同步预置，异步清零

③ 74162：10 进制同步计数器，同步预置，同步清零

④ 74163：4 位 2 进制同步计数器，同步预置，异步清零

⑤ 74168 ：10 进制加/减计数器，同步预置，无清零

⑥ 74169：4 位 2 进制加/减计数器，同步预置，无清零

⑦ 74190：10 进制加/减计数器，同步预置，无清零，单时钟

⑧ 74191：4 位 2 进制加/减计数器，异步预置，无清零，单时钟

⑨ 74192：10 进制加/减计数器，异步预置，清零，双时钟

⑩ 74193：4 位 2 进制加/减计数器，异步预置，清零，双时钟

4 位 2 进制同步计数器 74LS161 的引脚分布如图 2.4.1 所示，其功能表如表 2.4.4 所示。

Vcc RCO OA OB OC OD ENT LDN



8

7

6

5

4

3

2

1

74LS161

9

10

11

12

13

14

15

16

CLRN CLK A B C D ENP GND

图 2.4.1 74LS161 的引脚分布

表 2.4.4 计数器 74LS161 的功能表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CLK | LDN | CLRN | ENP | ENT | D | C | B | A | QD | QC | QB | QA | RCO |
| ↑ | 0 | 1 | X | X | d | c | b | a | d | c | b | a | \* |
| ↑ | 1 | 1 | X | 0 | X | X | X | X | QD | QC | QB | QA | 0 |
| ↑ | 1 | 1 | 0 | 1 | X | X | X | X | QD | QC | QB | QA | \* |
| 0 | X | 0 | X | X | X | X | X | X | 0 | 0 | 0 | 0 | 0 |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 0 | 0 | 1 | 0 |
| 2 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 0 | 1 | 0 | 0 |
| 3 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 0 | 1 | 1 | 0 |
| 4 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 1 | 0 | 0 | 0 |
| 5 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 1 | 0 | 1 | 0 |
| 6 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 1 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 0 | 1 | 0 | 0 |
| 11 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 0 | 1 | 1 | 0 |
| 12 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 1 | 0 | 0 | 0 |
| 13 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 1 | 0 | 1 | 0 |
| 14 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 1 | 1 | 0 | 0 |
| 15 | 1 | 1 | 1 | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 1 |
| 16 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 0 | 0 | 0 | 0 |
| 17 | 1 | 1 | 1 | 1 | X | X | X | X | 0 | 0 | 0 | 1 | 0 |

注：X 代表任意状态，\*=QD&QC&QB&QA&ENT。

1. 实验内容
2. 课堂实验：用 74LS161 实现 10 进制计数器
3. 实验电路功能与设计要求

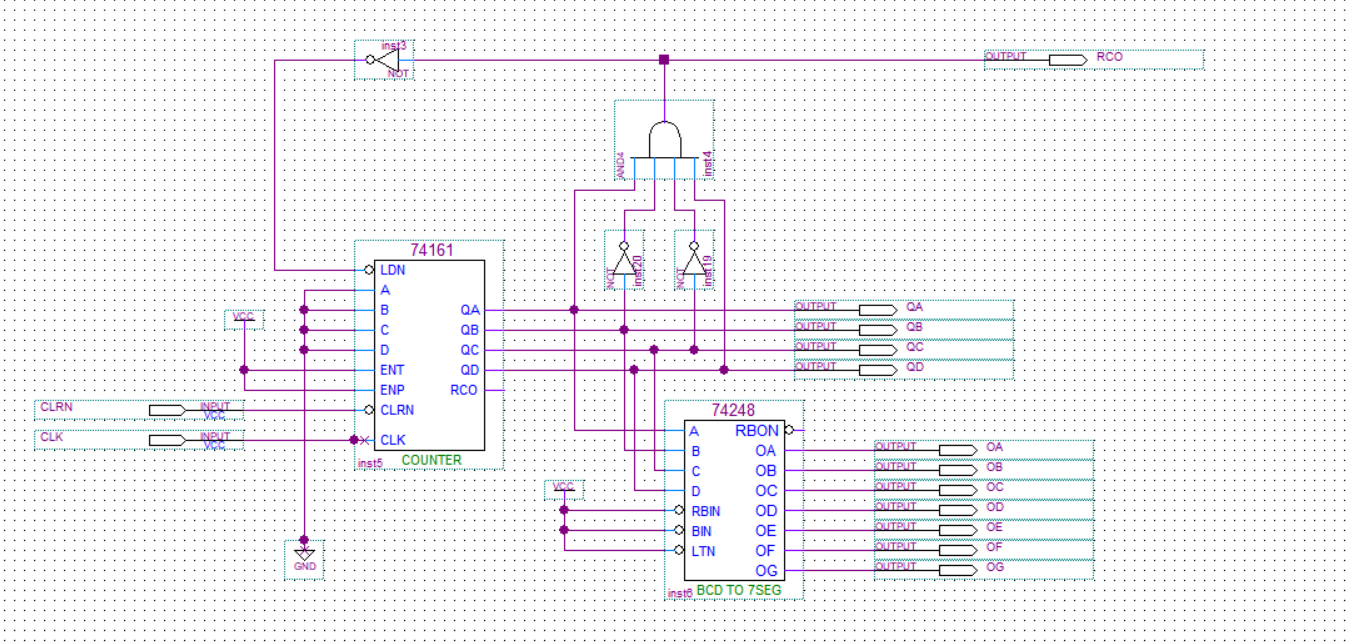
10 进制计数器

用 74LS161 和必要的逻辑门设计一个带进位输出的 10 进制计数器。

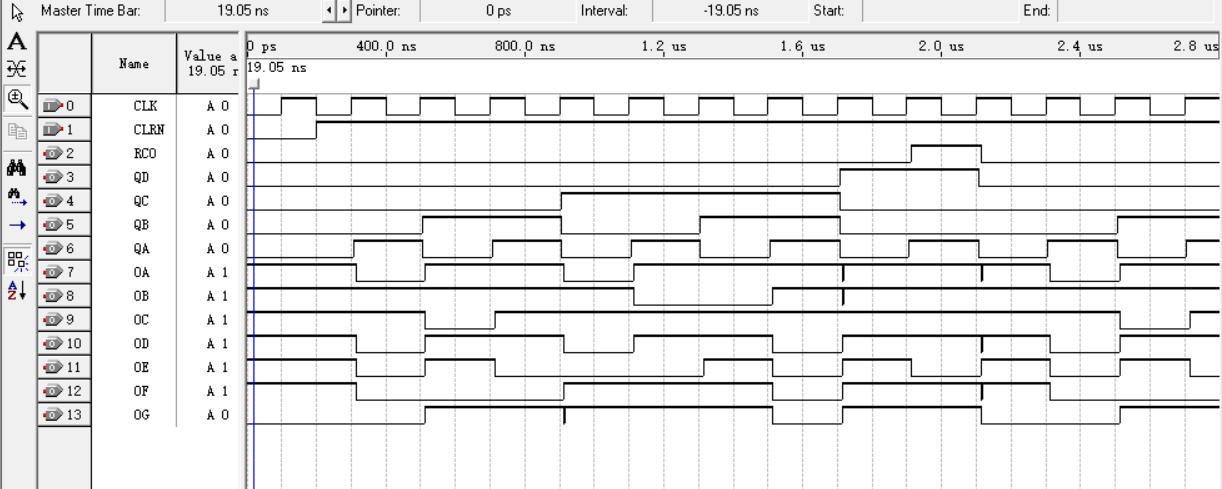
1. 自行设计满足设计要求的 10 进制计数器，画出逻辑图。
2. 选择符合要求的器件在实验开发平台上按图接线并通电观察实现效果。
3. 按照表 2.4.3 所示的测试表格对电路进行测试，验证电路功能是否正常。
4. 电路端口信号定义说明

输入变量CLK为时钟信号，CLRN为复位信号；输出变量QD、QC、QB、QA为计数输出，输出 变量RCO为进位输出，输出变量OA、OB、OC、OD、OE、OF、OG为显示译码。

1. 实验电路逻辑图截屏



1. 实验电路仿真图截屏



（2）课后作业：用74LS161设计 60 进制秒计数器

1）60 进制秒计数器

用两片 74LS161 和必要的逻辑门设计一个 60 进制秒计数器。

①自行设计满足设计要求的 60 进制秒计数器，画出逻辑图。

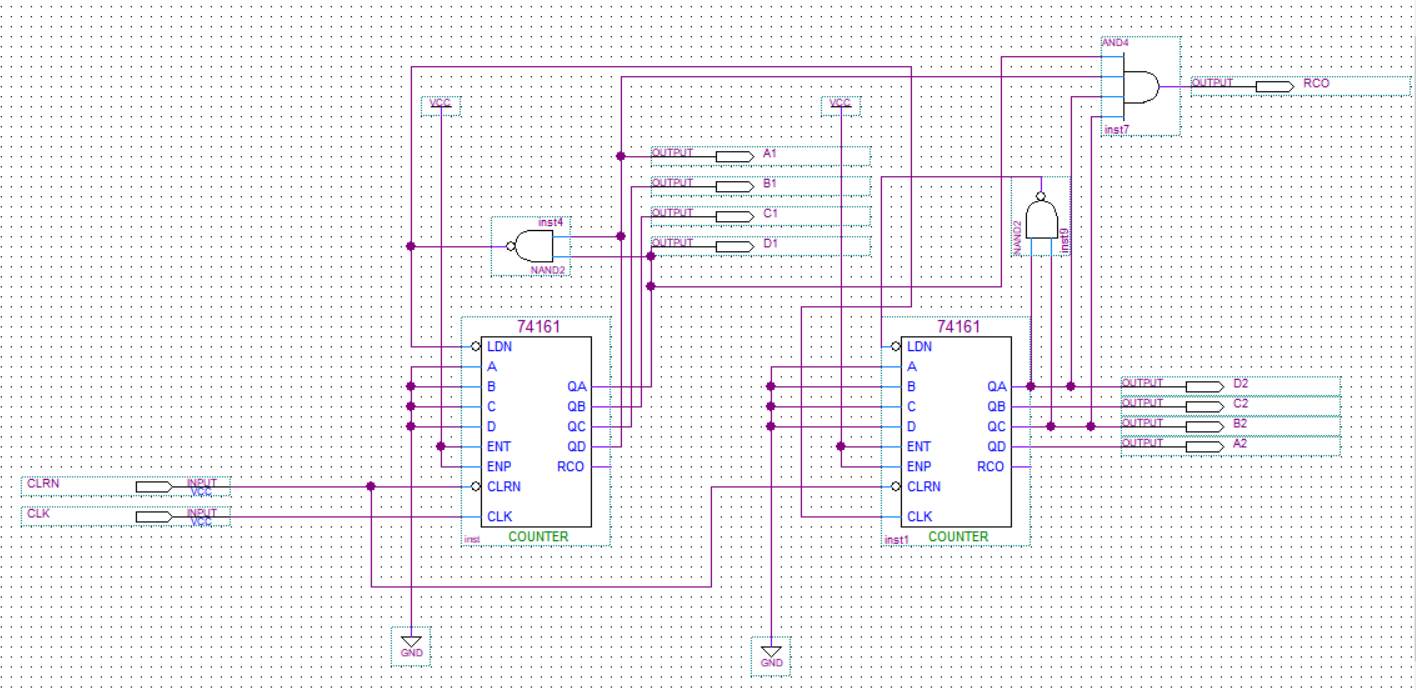
②选择符合要求的器件在实验开发平台上按图接线并通电观察实现效果。

③自行设计测试表格对电路进行测试，用数码管观察结果，验证电路功能是否正常。

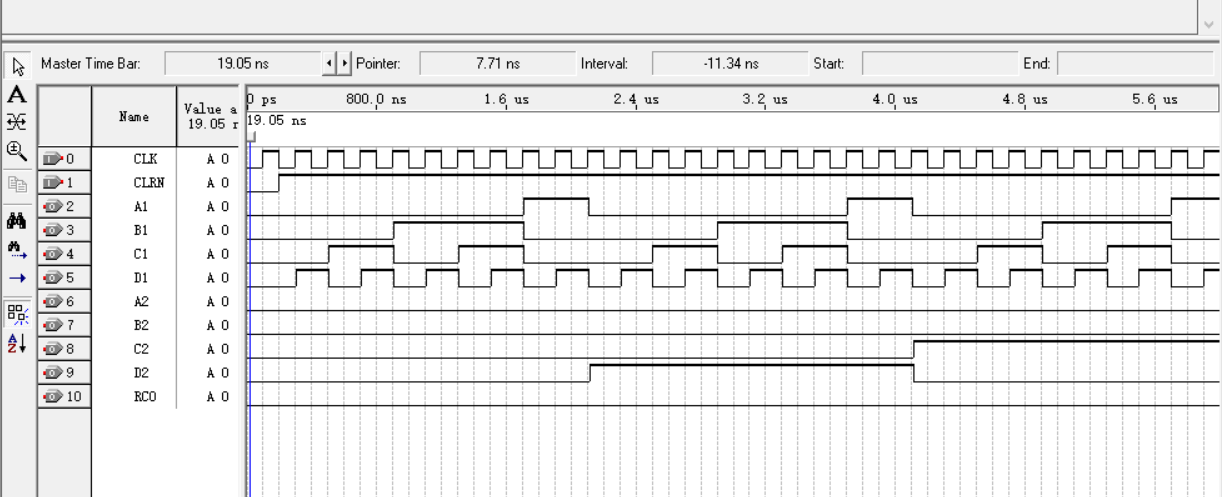
2）电路端口信号定义说明

输入变量CLK为时钟信号，CLRN为复位信号；变量RCO为进位输出，输出变量A1、B1、C1、D1、A2、B2、C2、D2为显示译码。

3）实验电路逻辑图截屏



4)实验电路仿真图截屏



5.注意事项

①计数器的并行数据端权位顺序要清楚。

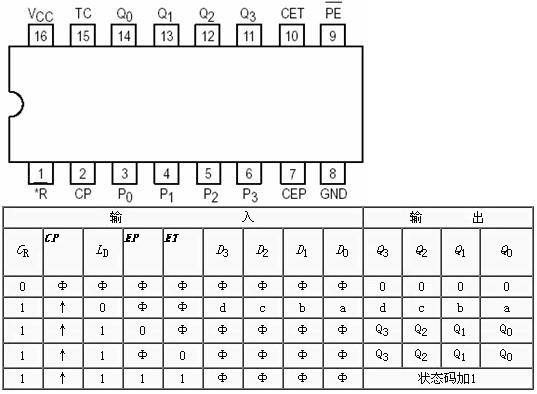
②计数器的控制信号设置要正确。

③基本功能测试的时钟信号选择单脉冲，应用电路的时钟信号选择 1Hz 连续脉冲.

6.实验总结与思考题

总结集成计数器 74LS161 的逻辑功能和各控制端作用

逻辑功能：74LS161 的真值表



各控制端作用：当清零端CR=“0”，计数器输出Q3、Q2、Q1、Q0立即为全“0”，这个时候为异步复位功能。当CR=“1”且LD=“0”时，在CP信号上升沿作用后，74LS161输出端Q3、Q2、Q1、Q0的状态分别与并行数据输入端D3，D2，D1，D0的状态一样，为同步臵数功能。而只有当CR=LD=EP=ET=“1”、CP脉冲上升沿作用后，计数器加1。74LS161还有一个进位输出端CO，其逻辑关系是CO= Q0〃Q1〃Q2〃Q3〃CET。

总结任意模计数器的设计方法

掌握模计数器的逻辑功能，分析给定的逻辑问题，确定输入变量、输出变量以及电路的状态数。然后定义输入、输出逻辑状态和每个电路状态的含义，并将电路状态顺序编号。最后按照题意列出电路的状态转换表或画出电路的状态转换图。而利用合适的芯片设计组合属逻辑电路能解决常规门[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)存在不足,提高[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)水平。

总结集成计数器的级联方法

将若干片计数器串联连接， 若各个袭计数器的计数容量分别为 N1、 N2、.......， 则总的计数容量 N=N1×N2×..........。

实验报告

学院： 班级： 学号： 姓名：

实验验收日期： 2020.5.

1.实验标题： 移位寄存器及其应用

2.实验目的

①掌握移位寄存器的逻辑功能。

②掌握使用移位寄存器设计时序电路的方法。

3.实验相关知识

在数字电路中，用来存放二进制数据或代码的电路称为寄存器。寄存器是由具有存储功能的触发器组合起来构成的。一个触发器可以存储一位二进制代码，存放 N 位二进制代码的寄存器，需用n 个触发器来构成。按功能可分为：基本寄存器和移位寄存器。

移位寄存器中的数据可以在移位脉冲作用下依次逐位右移或左移，数据既可以并行输入、并行输出，也可以串行输入、串行输出，还可以并行输入、串行输出，串行输入、并行输出， 十分灵活，用途也很广。

4 位双向移位寄存器 74LS194 是一种常用的移位寄存器，其引脚分布如图 2.4.2 所示，

其功能表如表 2.4.4 所示。

Vcc QA QB QC QD CLK S1 S0



8

7

6

5

4

3

2

1

74LS194

9

10

11

12

13

14

15

16

CLRN CLK A B C D ENP GND

图 2.4.2 74LS194 的引脚分布

表 2.4.4 移位寄存器 74LS194 的功能表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CLRN | S1 | S0 | CLK | SLSI | SRSI | A | B | C | D | QA | QB | QC | QD |
| 0 | X | X | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | ↑ | X | X | X | X | X | X | QA0 | QB0 | QC0 | QD0 |
| 1 | 0 | 1 | ↑ | X | 0 | X | X | X | X | 0 | QA0 | QB0 | QC0 |
| 1 | 0 | 1 | ↑ | X | 1 | X | X | X | X | 1 | QA0 | QB0 | QC0 |
| 1 | 1 | 0 | ↑ | 0 | X | X | X | X | X | QB0 | QC0 | QD0 | 0 |
| 1 | 1 | 0 | ↑ | 1 | X | X | X | X | X | QB0 | QC0 | QD0 | 1 |
| 1 | 1 | 1 | ↑ | X | X | a | b | c | d | a | b | c | d |

注：X 代表任意状态。

4.实验内容

（1）课堂实验：节日彩灯电路

1. 实验电路功能与设计要求

用 74LS194 和必要的逻辑门设计一个节日彩灯电路，实现如下功能：当输入连续脉冲时，4 个彩灯（发光二极管）既可以从左向右逐位点亮以至全亮继而逐位熄灭以至全灭，又可以从右向左逐位点亮以至全亮继而逐位熄灭以至全灭。

①自行设计满足设计要求的节日彩灯电路，画出逻辑图。

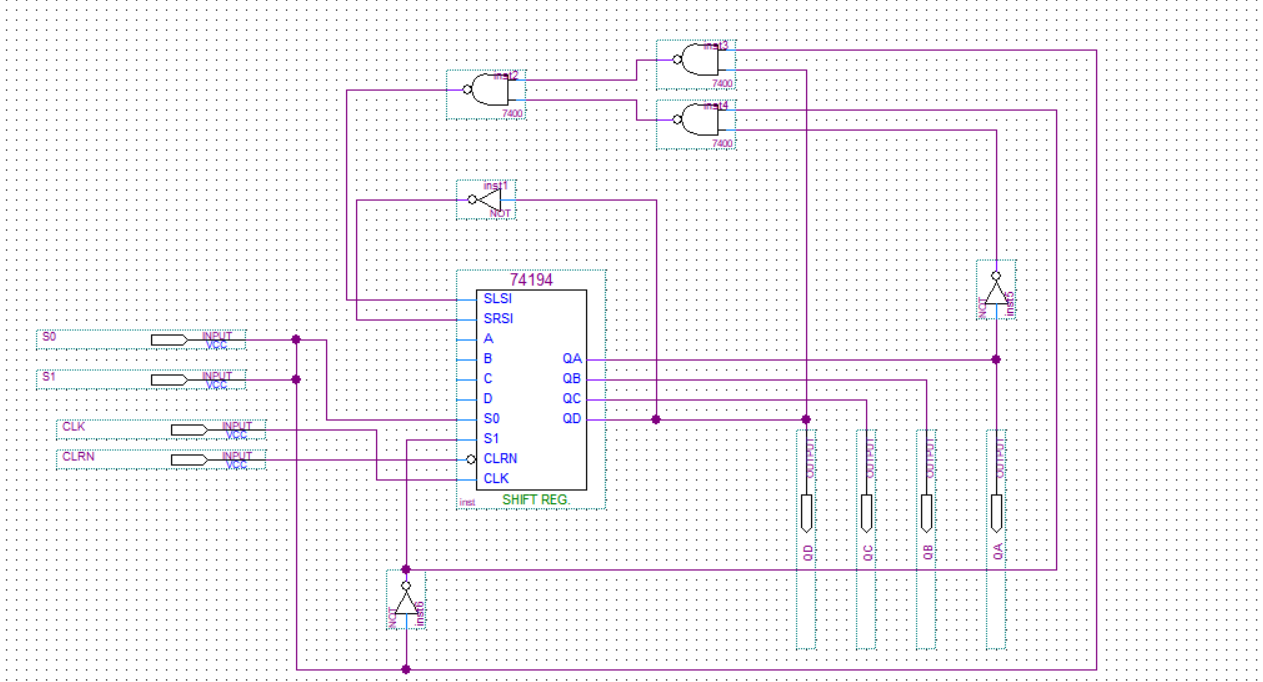
②选择符合要求的器件在实验开发平台上按图接线并通电观察实现效果。

③按照表 2.4.6 所示的测试表格对电路进行测试，验证电路功能是否正常。

1. 电路端口信号定义说明

输入变量CLK为输入脉冲信号，CLRN为复位信号，S0、S1为控制信号；输出变量QA、QB、QC、QD为寄存器输出端，即四位彩灯，输出高电平为亮，低电平为灭。

1. 实验电路逻辑图截屏



1. 实验电路仿真图截屏



5.注意事项

①移位寄存器的并行数据端方向顺序要清楚。

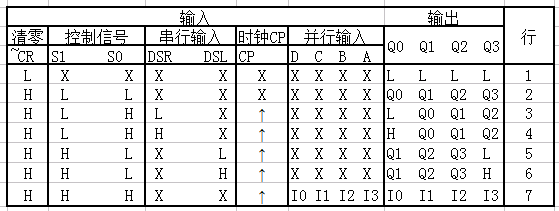
②移位寄存器的控制信号设置要正确。

6.实验总结与思考题

总结移位寄存器 74LS194 的工作原理和逻辑功能

工作原理：移位寄存器是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。74 LS194是一个4位双向移位寄存器，最高时钟脉冲为36MHz，其中：D0～D1为并行输入端;Q0～Q3为并行输出端;SR-右移串引输入端;SL-左移串引输入端;S1、S0-操作模式控制端;/CR-为直接无条件清零端;CP-为时钟脉冲输入端。

逻辑功能：74LS194 的真值表



总结使用移位寄存器设计时序电路的方法

掌握移位寄存器的逻辑功能，分析给定的逻辑问题，确定输入变量、输出变量以及电路的状态数。然后定义输入、输出逻辑状态和每个电路状态的含义，并将电路状态顺序编号。最后按照题意列出电路的状态转换表或画出电路的状态转换图。而利用合适的芯片设计组合属逻辑电路能解决常规门[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)存在不足,提高[电路设计](https://www.baidu.com/s?wd=%E7%94%B5%E8%B7%AF%E8%AE%BE%E8%AE%A1&tn=SE_PcZhidaonwhc_ngpagmjz&rsv_dl=gh_pc_zhidao" \t "https://zhidao.baidu.com/question/_blank)水平。