**北京科技大学数字逻辑实验报告**

学院： 专业： 班级：

姓名： 学号： 实验日期： 年 月 日

**实验名称：**实验二 组合逻辑实验

**实验目的：**

(1) 学习用verilog设计较复杂的组合逻辑电路

(2) 进一步熟悉vivado工具

**实验内容：**

1. **实验2.1——多路选择器**
   1. 新建工程，用3种描述方法分别实现1位2选1选择器，并撰写测试激励，对比3个选择器的输出是否一致；
   2. 用1位2选1搭建1位4选1选择器；并仿真测试；
   3. 用两种描述方法实现4位二选一选择器，并撰写测试激励，对比输出是否一致。
2. **实验2.2——7段数码管**

4个拨码开关控制1个数码管，选择板子上的4个拨码开关作为数据输入，选择板子上的1个数码管作为输出，将输入的4位二进制转换为16进制数输出显示到数码管。

1. **实验2.3——加法器实现及性能比较**

实现32位逐位进位加法器、32位选择进位加法器，并进行性能比较。

* 1. 学习课件中逐位进位加法器、选择进位加法器的原理；
  2. 新建工程，完成两种加法器的Verilog描述，其中**一位全加器**已经提供（**module add1**在add32\_tb.v文件中已定义）直接使用即可，两种加法器请都使用add1作为基本模块开始搭建；模块名称及端口定义如下：

module csadd32 (a,b,cin,s,cout); //选择进位加法器

module rcadd32 (a,b,cin,s,cout); //逐位进位加法器

* 1. 编写测试激励：可更改add32\_tb.v文件中激励产生代码，按照自己的思路产生测试数据，通过仿真验证加法器功能，并观察两种加法器的性能情况。

**实验步骤：**（详细的实验过程，可包括系统设计、RTL结构设计、源代码及注释等等，此红色文字在最终报告中删除）

**实验结果与分析：**

（包括TestBench设计、仿真波形截图、波形验证说明、后仿真加法器性能对比分析等等。注意图不要占篇幅太大，以能看清主要信息为好，每个图下面需有图的名字，并有相应文字对图进行解释。此红色文字在最终报告中删除）