



Enero 2020

Ingenieria De Los Computadores (Universidad de Alicante)

Normas de realización:

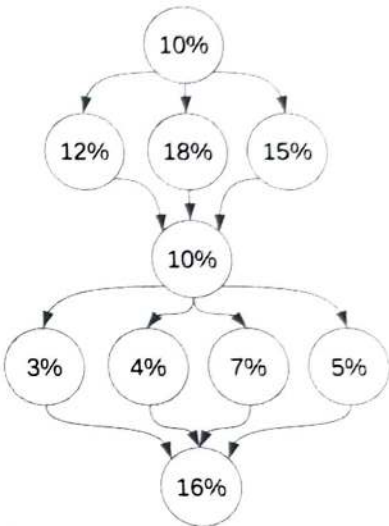
- Incluir el nombre en **todas las hojas** utilizadas.
- Todas las respuestas han de ser correctamente **detalladas y razonadas**.
- Las respuestas deben estar escritas con bolígrafo negro o azul.

Pregunta 1 (2.5 puntos)

La figura siguiente representa el grafo de dependencias entre tareas para una cierta aplicación que ha sido paralelizada. Cada nodo representa una tarea en la que se especifica la fracción de tiempo de ejecución secuencial que la aplicación tarda en ejecutarla. Suponiendo que las tareas **no se pueden dividir** en otras de menor granularidad y que el tiempo de sobrecarga ($t_{overhead}$) es despreciable obtenga:

1.a) La ganancia en velocidad $S_p(p)$ para 2 y 3 unidades de procesamiento.

1.b) Si dispone de 3 máquinas para ejecutar la aplicación paralela, una de 2 nodos, otra de 3 nodos y otra de 4 nodos (todos iguales), calcule cuál de las 3 máquinas es la más eficiente.



Importante: Razone y explique **cada paso** de su resolución. Indique claramente la ASIGNACIÓN de tareas a nodos en la resolución de su problema. **Recuadre** los resultados finales.

Pregunta 2 (1.5 puntos)

Figura 1: Ejercicio 1

Se tiene un cierto multiprocesador de 4 núcleos conectados a un bus común que tiene 64GiB de memoria principal e implementa el protocolo MESI para mantener la coherencia entre sus cachés. El sistema de caché tiene 8 bytes por línea o bloque de caché. El tamaño de cada caché es de tan sólo 2 líneas y la política de reemplazo es LRU.

En un determinado momento se producen los siguientes 6 accesos a memoria (ver abajo). Indique mediante una tabla o una lista de eventos la siguiente información para cada evento:

- Estado de cada línea de caché
- Señales que se inyectan en el bus (Ej. BusRdX en P2)
- ¿Está la memoria principal actualizada?
- Tipo de transferencia (Ej. $C_i \rightarrow C_j$, $MP \rightarrow C_i$)

Acceso 1: P2_Read@0x02

Acceso 2: P0_Read@0x00

Acceso 3: P2_Write(@0x02, 7)

Acceso 4: P0_Read@0x12

Acceso 5: P0_Write(@0x00, 8)

Acceso 6: P1_Write(@0xFF, 1)

Estado inicial:

	C0	C1	C2	C3
L0	I	I	I	I
L1	I	I	I	I

Pregunta 3 (1 punto). En una red mariposa 16×16 ($N=16$), el coste de los conmutadores 4×4 es 4 veces superior a los conmutadores de 2×2 . Calcule el precio de cada implementación y quédese con el más barato.

Pregunta 4 (2 puntos)

- (0.5 pts.) ¿Cuál es la diferencia entre el *buffer* de renombrado y el *buffer* de reorden?
- (0.5 pts.) ¿Cuál es la diferencia entre una estación de reserva y una ventana de instrucciones?
- (0.5 pts.) ¿Qué diferencia existe entre una BTB y una BHT?
- (0.5 pts.) ¿En qué consiste el encadenamiento de operaciones en una máquina vectorial?

Pregunta 5 (2 pts). Dada la siguiente secuencia de instrucciones:

```
lw    r1, dato1    ; r1 = dato1
add   r1, r1, r0    ; r1 = r1 + r0
lw    r2, dato2    ; r2 = dato2
lw    r3, dato3    ; r3 = dato3
add   r4, r2, r3    ; r4 = r2 + r3
mult  r1, r1, r4    ; r1 = r1 * r4
sub   r2, r3, r1    ; r2 = r3 - r1
```

Indica cómo sería la evolución del *buffer* de reorden y de la tabla de registros. La arquitectura sobre la que se ejecutan las instrucciones está formada por las siguientes etapas: búsqueda de instrucción, decodificación/emisión, ejecución, reorden y escritura. El coste de cada etapa para todas las instrucciones es de 1 ciclo excepto en la etapa de ejecución. En ejecución hay una unidad de carga/almacenamiento, dos unidades para suma/resta y una unidad de multiplicación; los ciclos de ejecución según el tipo de instrucción son los siguientes:

- Carga/almacenamiento: 2 ciclos
- Suma/resta: 2 ciclo
- Multiplicación: 3 ciclos

La arquitectura puede captar y decodificar tres instrucciones en paralelo. También pueden finalizar tres instrucciones en paralelo. La estación de reserva es única para todas las unidades de ejecución y admite tres instrucciones como máximo y sigue una política de emisión alineada. Los valores iniciales de los registros son 0. Los datos son: datoA = 2, datoB = 3, datoC = 4

Pregunta 6 (1 punto). Si disponemos de una máquina superescalar con las siguientes etapas y donde sólo es capaz de trabajar con una instrucción por etapa ¿Cuál sería la penalización cuando un salto se predice mal? (0,5 pts.)

IF Búsqueda de la instrucción.

ID Dec. de la instrucción y lectura de regs, lectura bits predicción y dir destino de salto

ALU Cálculo de la dirección de acceso a memoria.

MEM Acceso a memoria.

EX1 Primera fase de ejecución.

EX2 Segunda fase de ejecución y cálculo de la condición de salto.

WB Escritura en registros.

¿Qué pasaría si la lectura de los bits de predicción se hiciese entre las cachés de nivel 1 y nivel 2? (0,5 puntos)