**Cronômetro digital** **– 2 Digitos**

Erisson R. Cascaes1, Sandy F. Nascimento2, Paulo H. P. Feitoza3, Ronison V. Melo4

Fundação Centro de Análise, Pesquisa e Inovação Tecnológica (FUCAPI)

Manaus, A.M.

{erisson000,sandyfurtado7,paulohenrick284,ronisonmelo23@gmail.com}

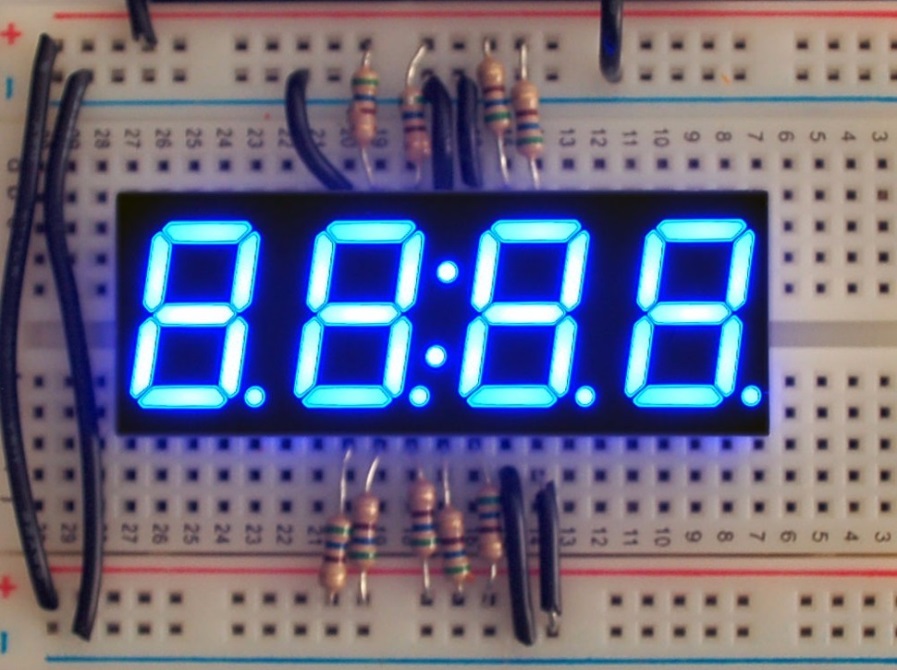
***Resumo.*** *O procedimento que será apresentado, possui como finalidade, verificar a implementação de um circuito* *cronômetro digita de 2 bit. E para que seja realizado a implementação e simulaçao dos códigos, será utilizado o software de desenvolvimento Quartus II Web edition. Para cada procedimento desenvolvido, será feito a compilação, e por fim, a simulação dos códigos no Waveform Edition, assim, validando a lógica no qual o programa foi implementado, para que no futuro seja aplicada de forma prática em laboratório, com uso da placa de desenvolvimento FPGA DE01 da Altera.*

*Palavras-chave: Waveform Edition; Simulador de um sinal digital*

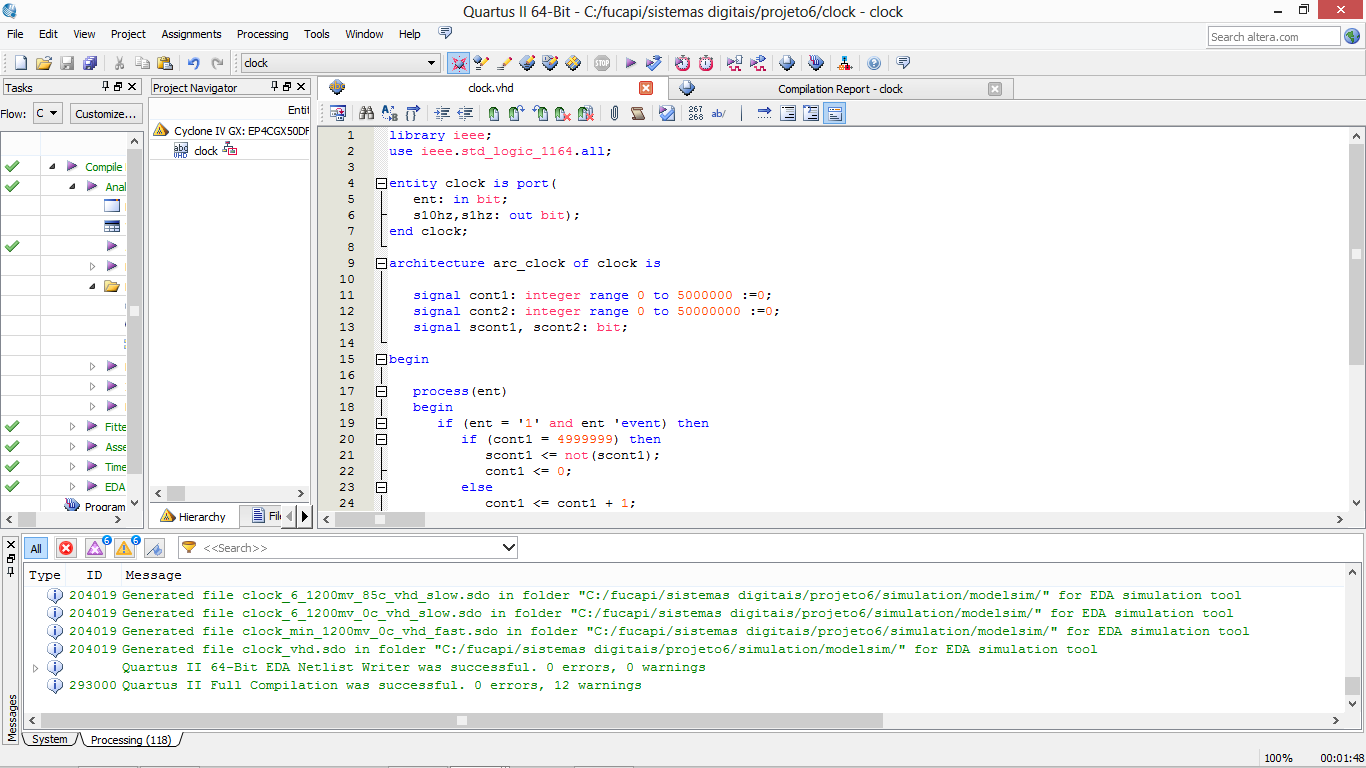
1. Introdução

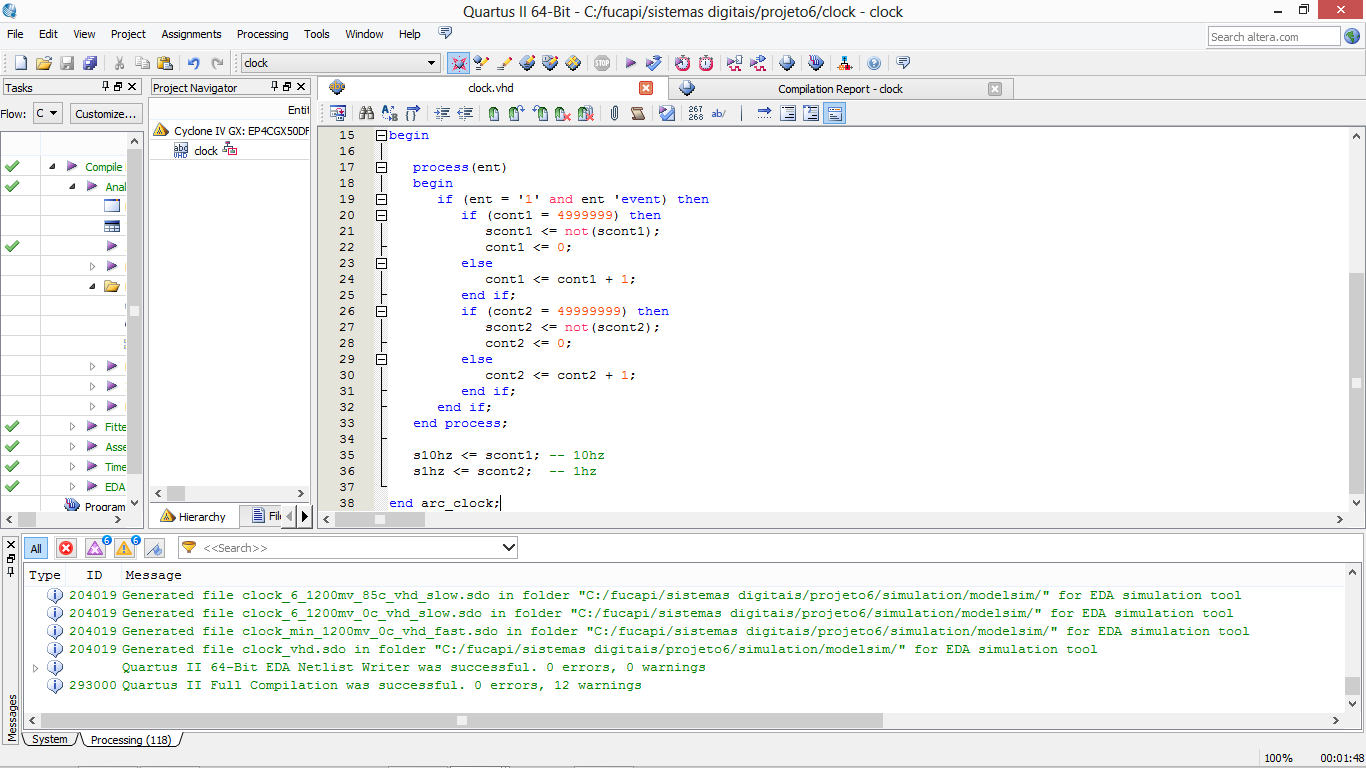
O display de sete segmentos visto anteriormente no projeto passado, é o dispositivo de display na maioria das vezes usado para exibir os dígitos em relógios digitais, calculadoras, relógios, instrumentos de medição e contadores digitais, etc. Estes displays consistem em sete segmentos de diodos emissores de luz (LEDs) e que são montados em uma estrutura como o numeral 8. Na verdade, os displays de sete segmentos contêm cerca de 8 segmentos onde cada um dos segmento de 8 segmentos é utilizado para exibir pontos, quando os leds são ligados. Este 8 segmento extra é útil enquanto exibe um número, ou até mesmo um caractere. São indicados como A-G e o oitavo segmento é indicado como H. Estes segmentos são dispostos na forma de 8 que é mostrado no diagrama do circuito de exibição dos sete segmentos.

Aqui projetamos um simples circuito de um cronômetro digital utilizando o display de sete segmentos.

1. Implementação dos procedimentos
2. Projete e implemente em VHDL um cronômetro digital que realiza a contagem de 00-59s, utilizando 2 displays de 7 segmentos. Cada dígito deve ser apresentado por 1 segmento, a contagem deverá ser implementado pleo sinal de 50mHz da placa DE01.

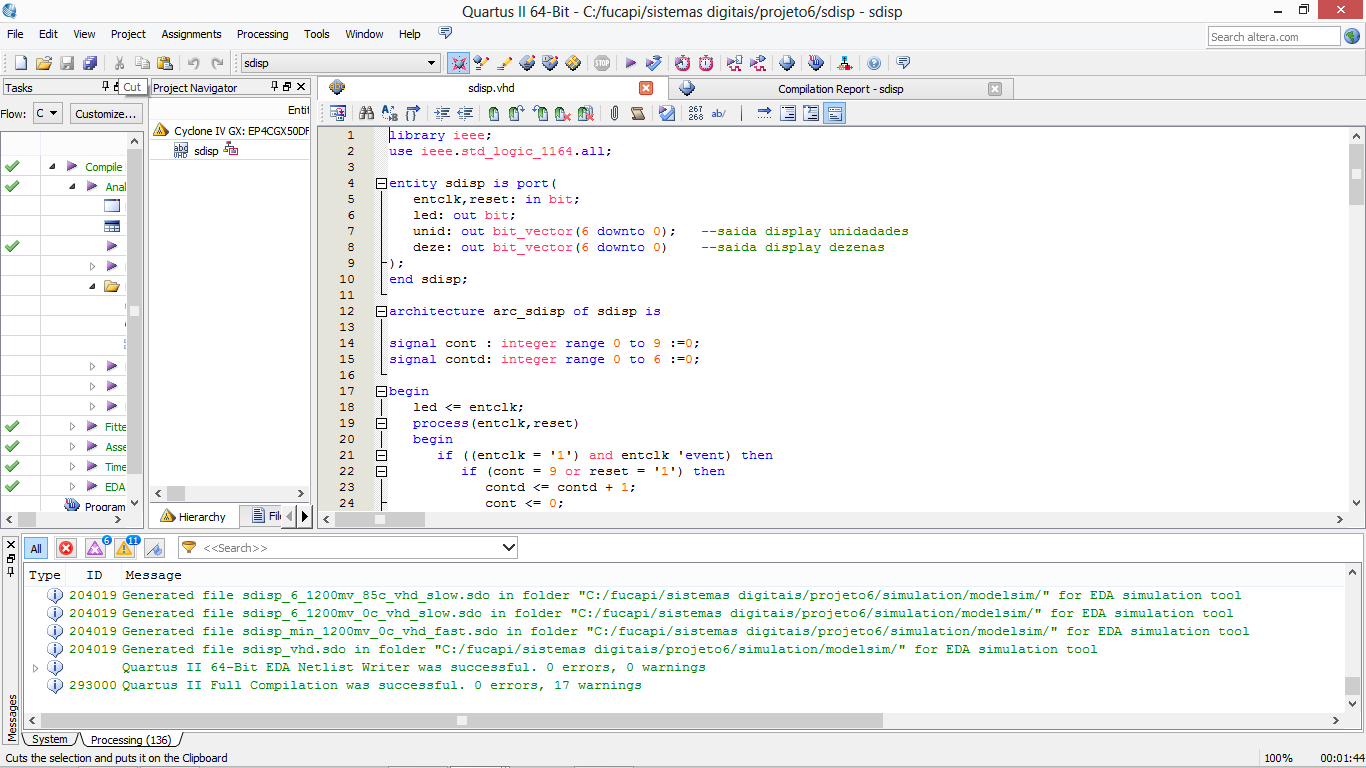
Para exibir os dígitos 00-59 a cada 1s em um cronômetro digital com display de sete segmentos sequencialmente, precisamos de um contador que atualize sua saída a cada um segundo, e um display de sete segmentos conectado ao contador.

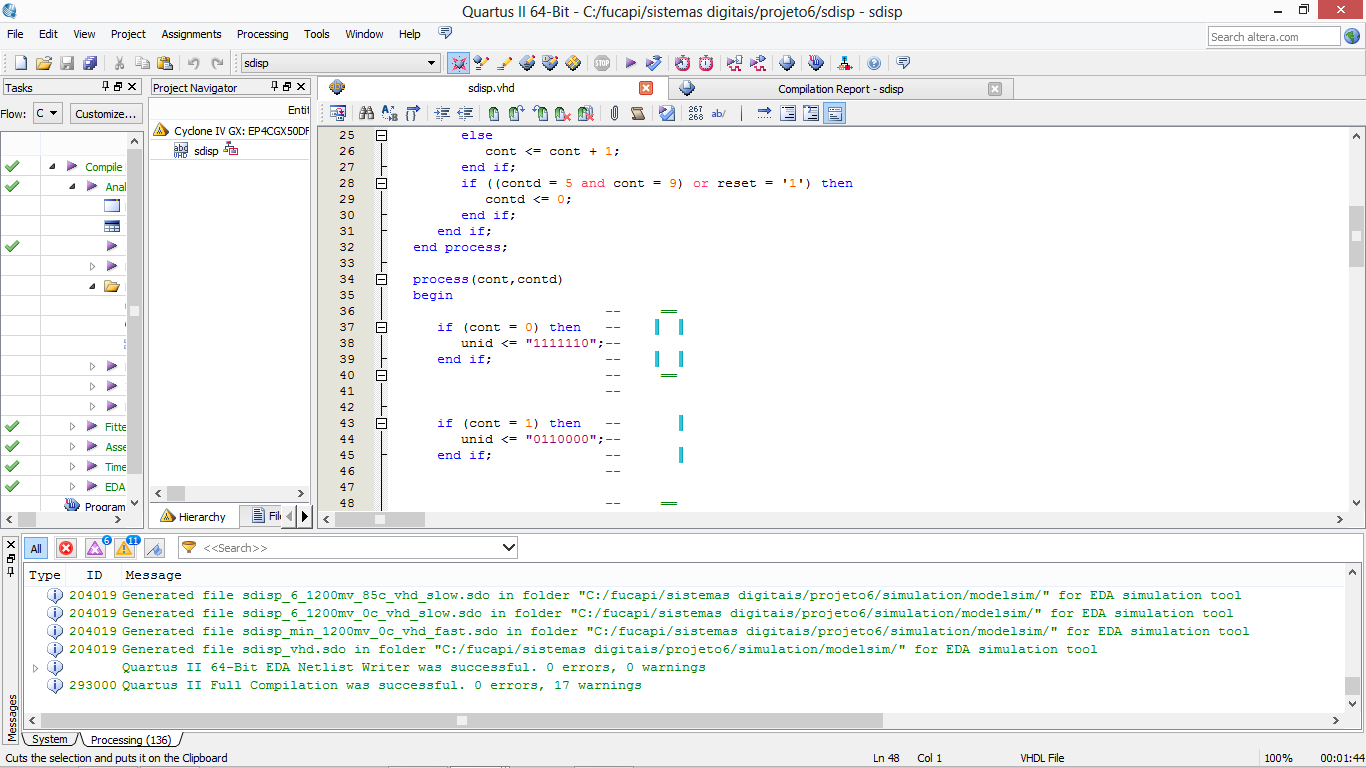




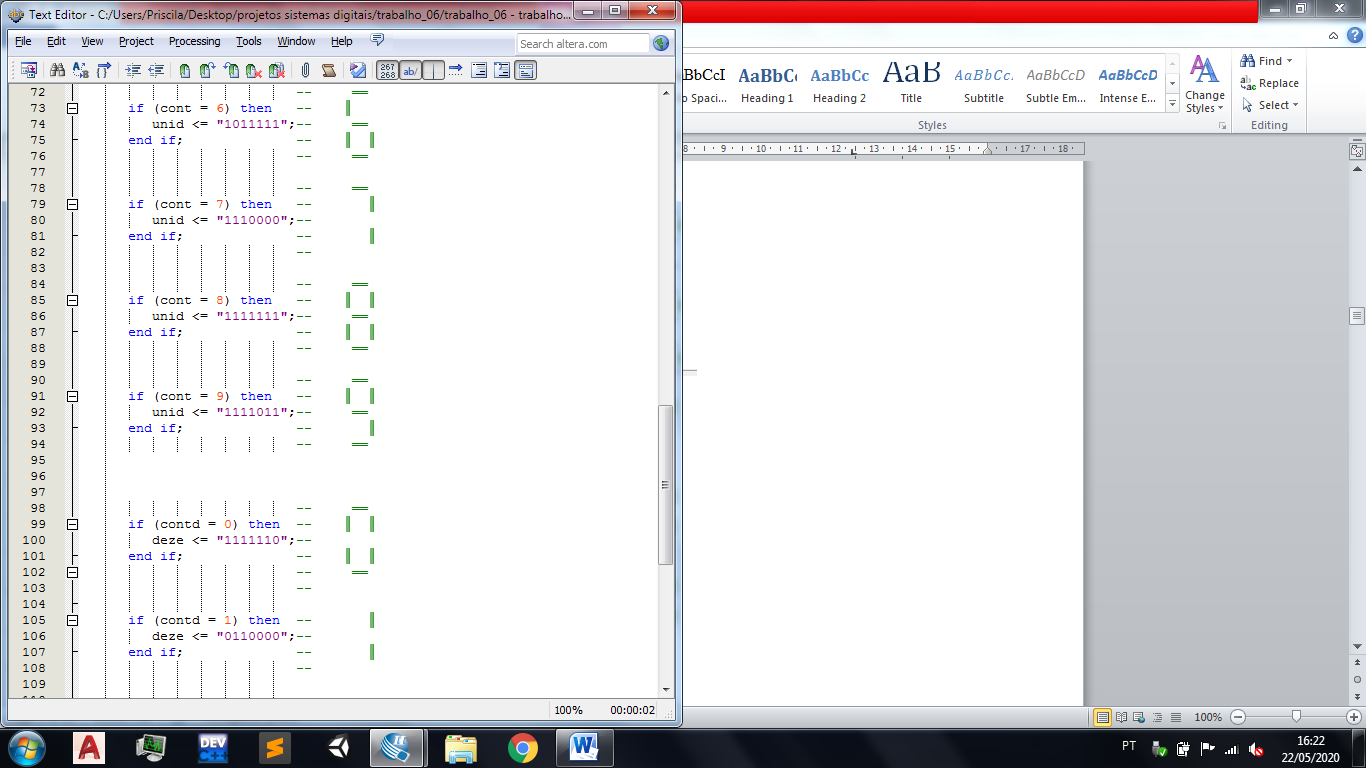
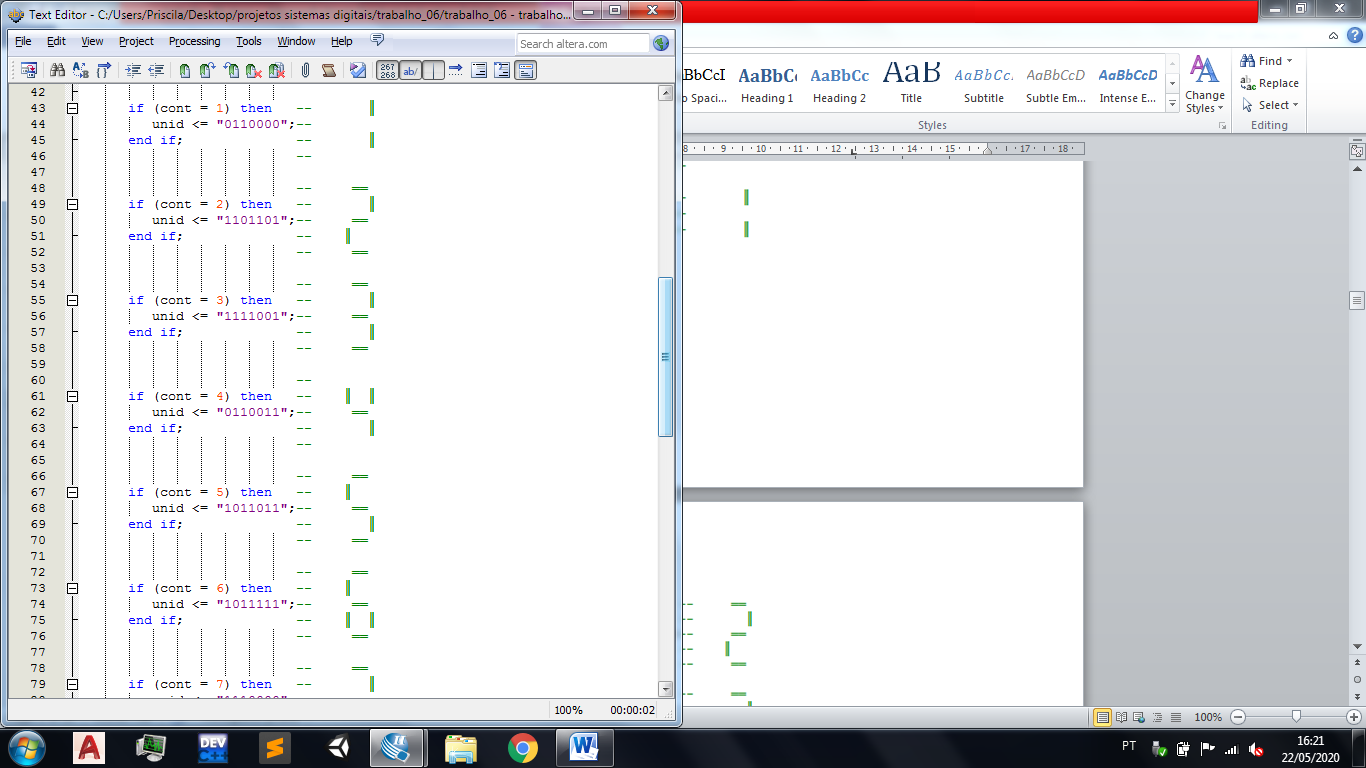
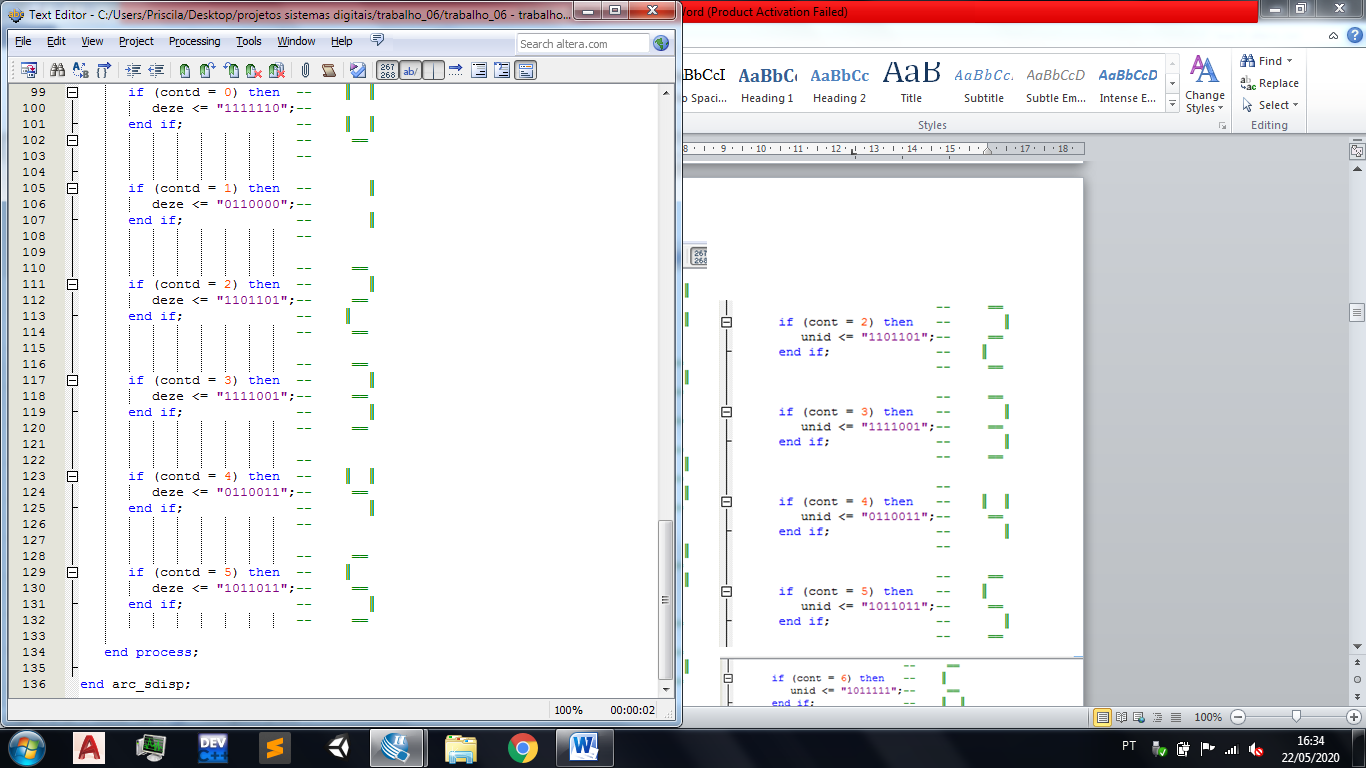
**Figura 1 – Código do bloco gerador de clock em VHDL . Fonte: Quartus II (2020)**

Após a implementação do gerador de clock de 1 Hz, podemos adicionar o componente contador e decodificador para as saidas dos displays de 7 segmentos.



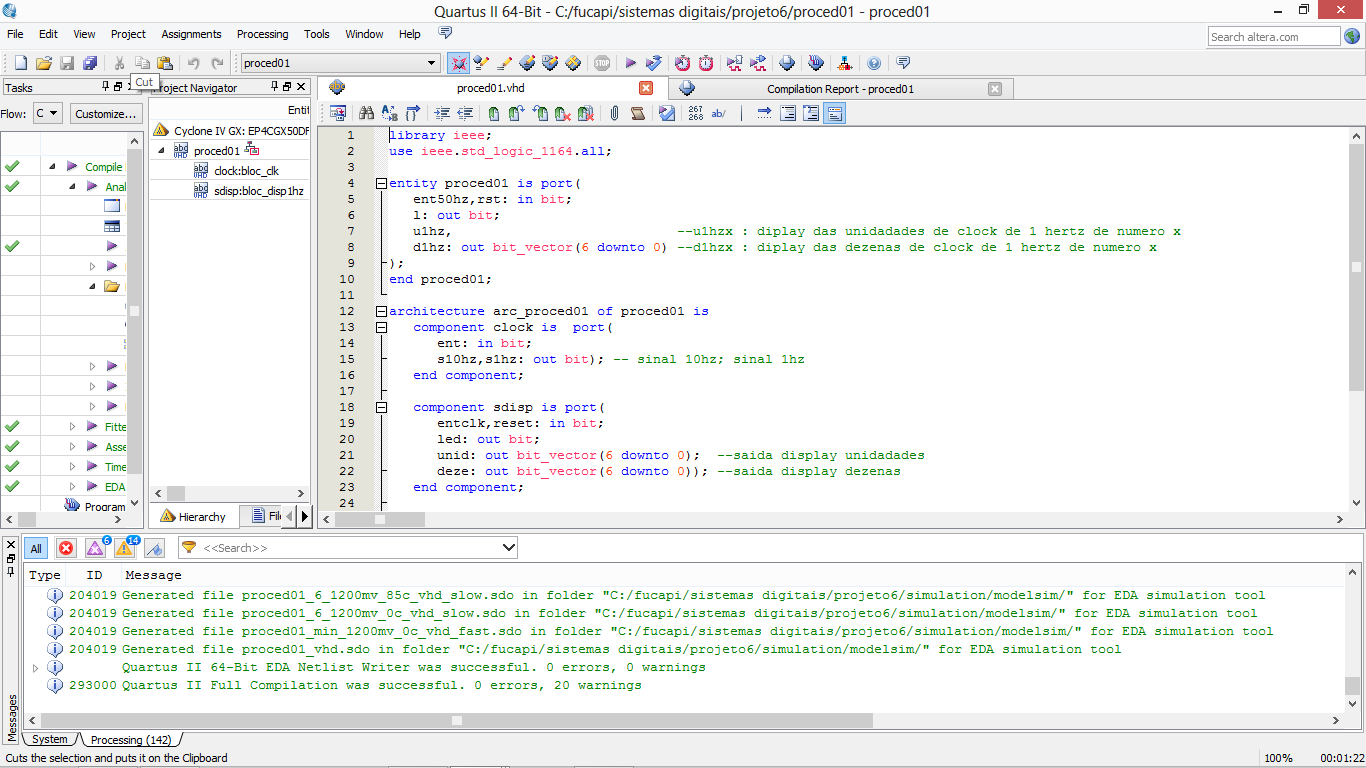


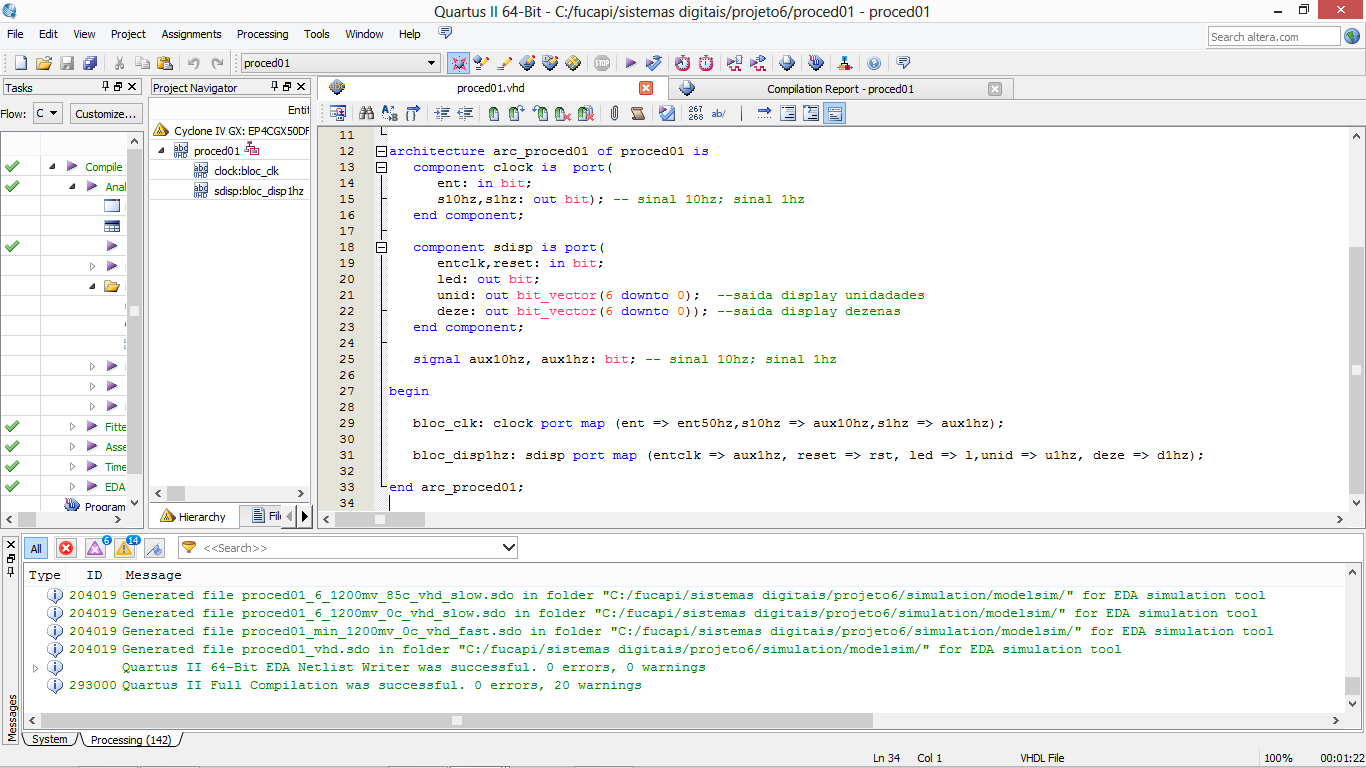
**Figura 2.(1-2) – Código referente ao bloco contador e decodificador para as saidas dos displays de 7 segmentos em VHDL . Fonte: Quartus II (2020).**



**Figura 2.(3-5) – Código referente ao bloco contador e decodificador para as saidas dos displays de 7 segmentos em VHDL . Fonte: Quartus II (2020).**

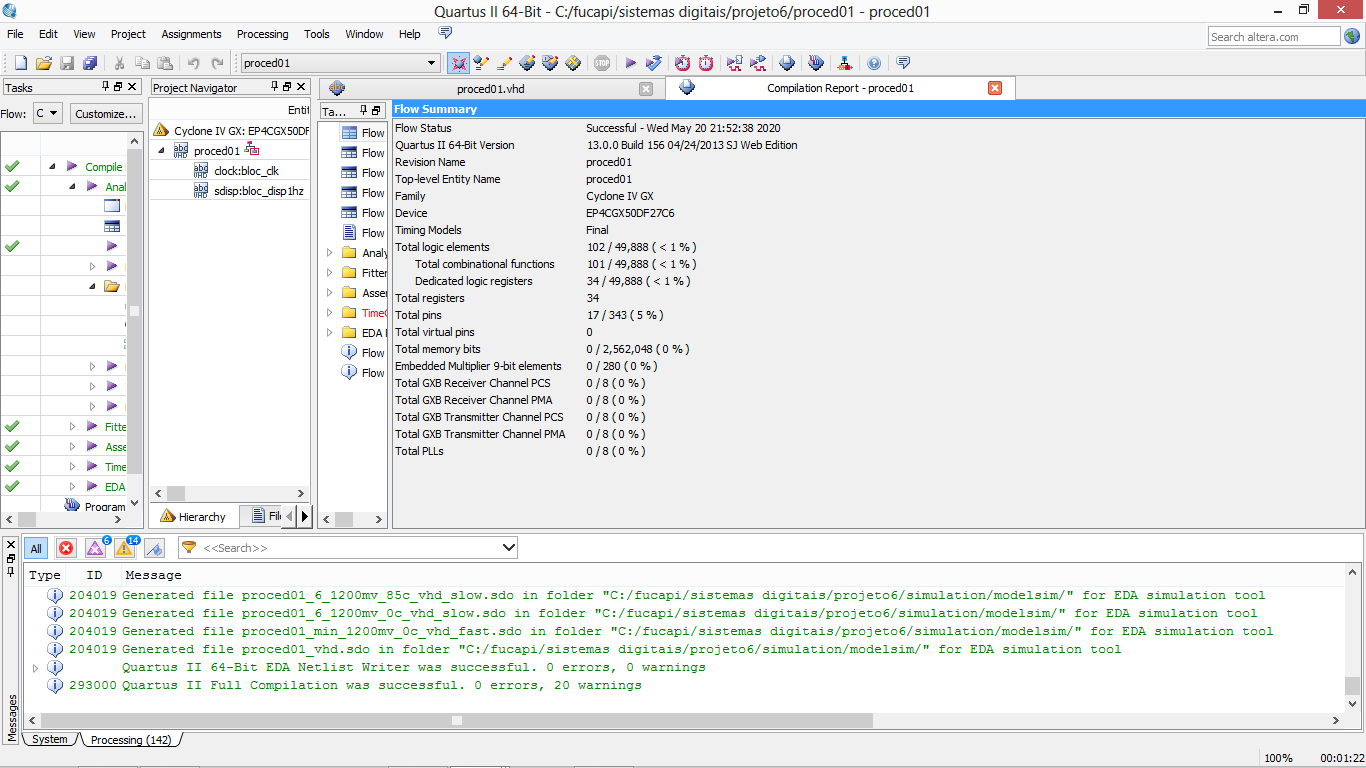
Por fim, a implementação do procedimento incluindo os componentes já executados.





**Figura 3 – Código em VHDL . Fonte: Quartus II (2020).**

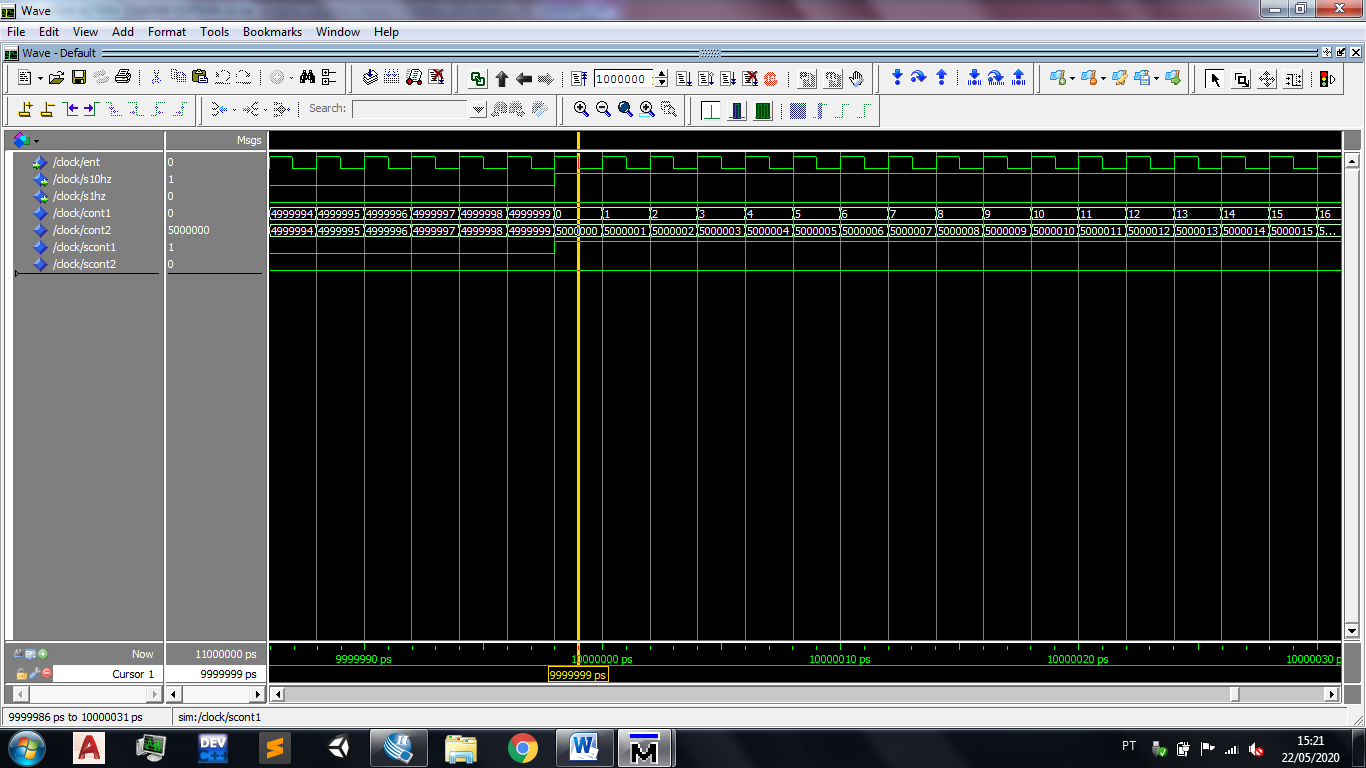
1. Compilação



**Figura 4 – Resultado da compilação da figura 3. Fonte Quartus II (2020).**

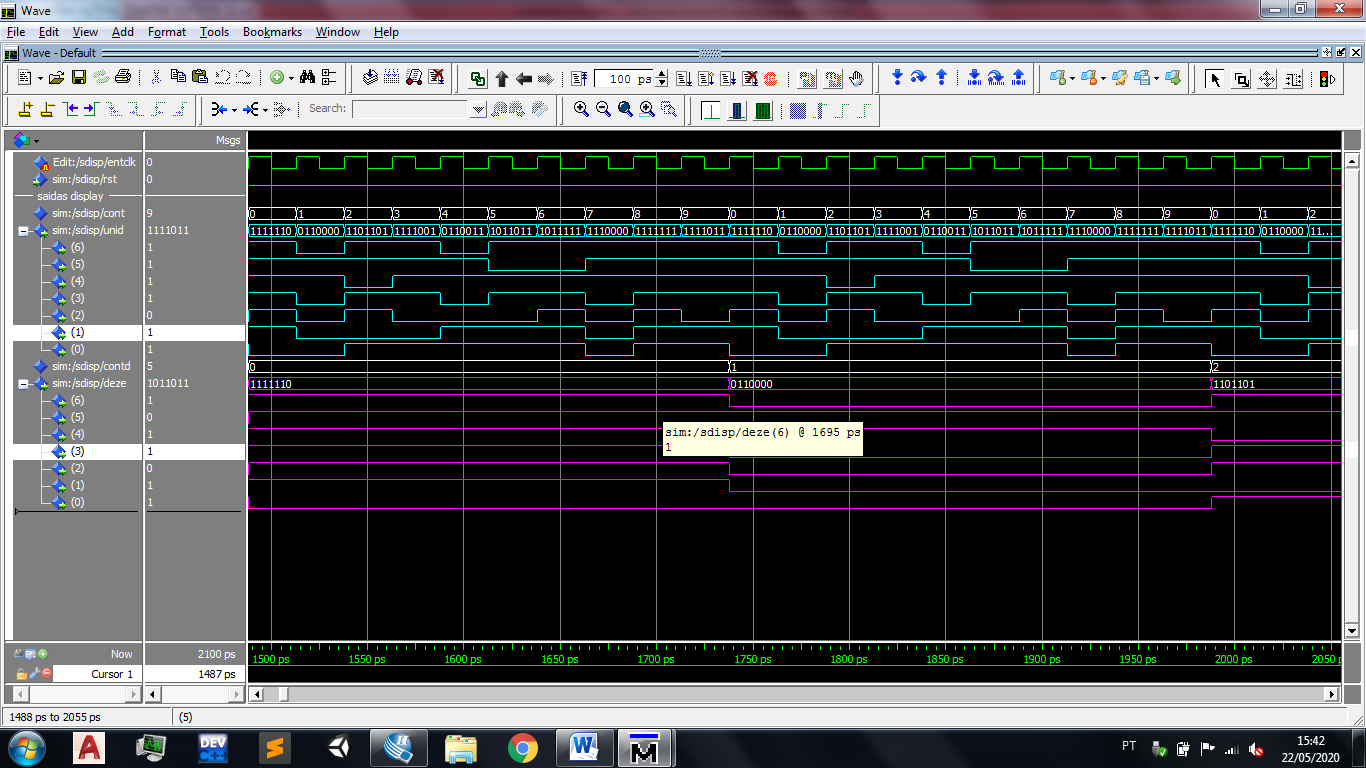
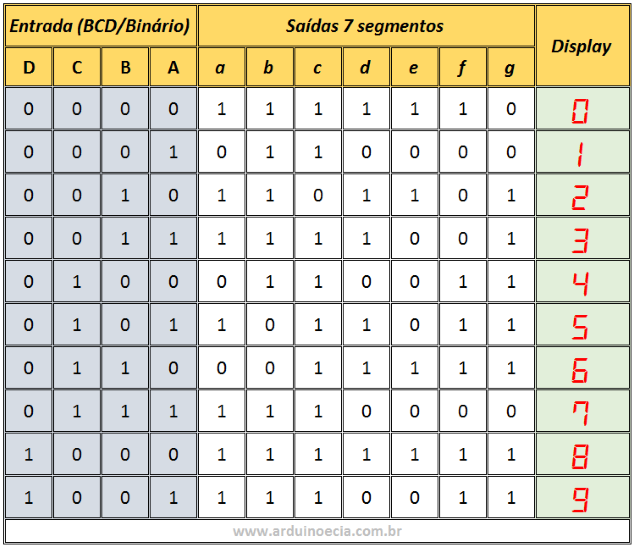
1. Simulações dos codigos

Para ser possivel observar atualizaçoes de clock de saida, foi necessário 5 milhões de bordas de subidas para que o clock de saida de 10Hz realizasse uma mudança, portanto seria necessario 50 milhões de bordas de subidas para que o clock de saida de 1Hz realizasse uma atualização.



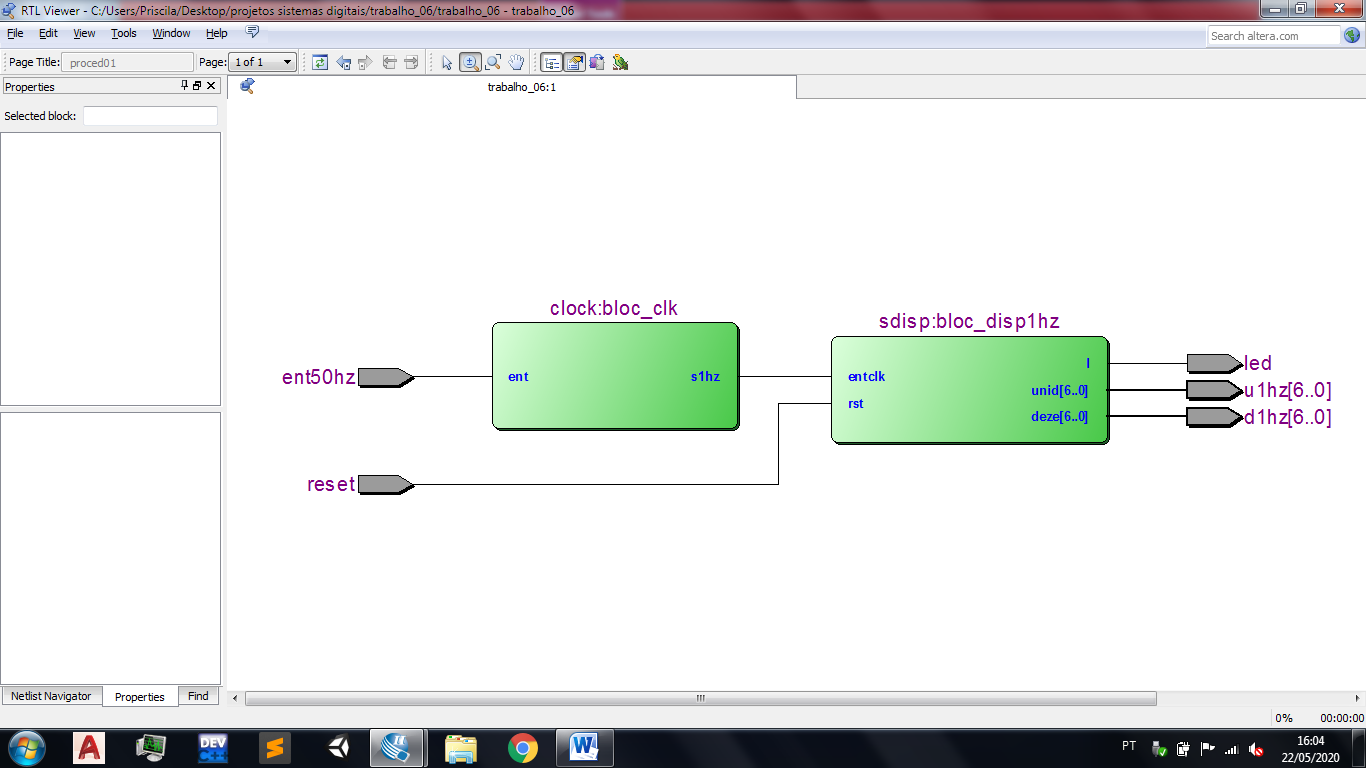
**Figura 5 – Simulação do bloco gearador de clock. Fonte ModelSim (2020)**

Com base nas saídas da tabela de um display de 7 segmentos, foi feito a analise dos sinais de saidas, comparando os resultados da simulação com os valores da tabela para verificar a coerência dos sinais de saída obtidos nos resultados.

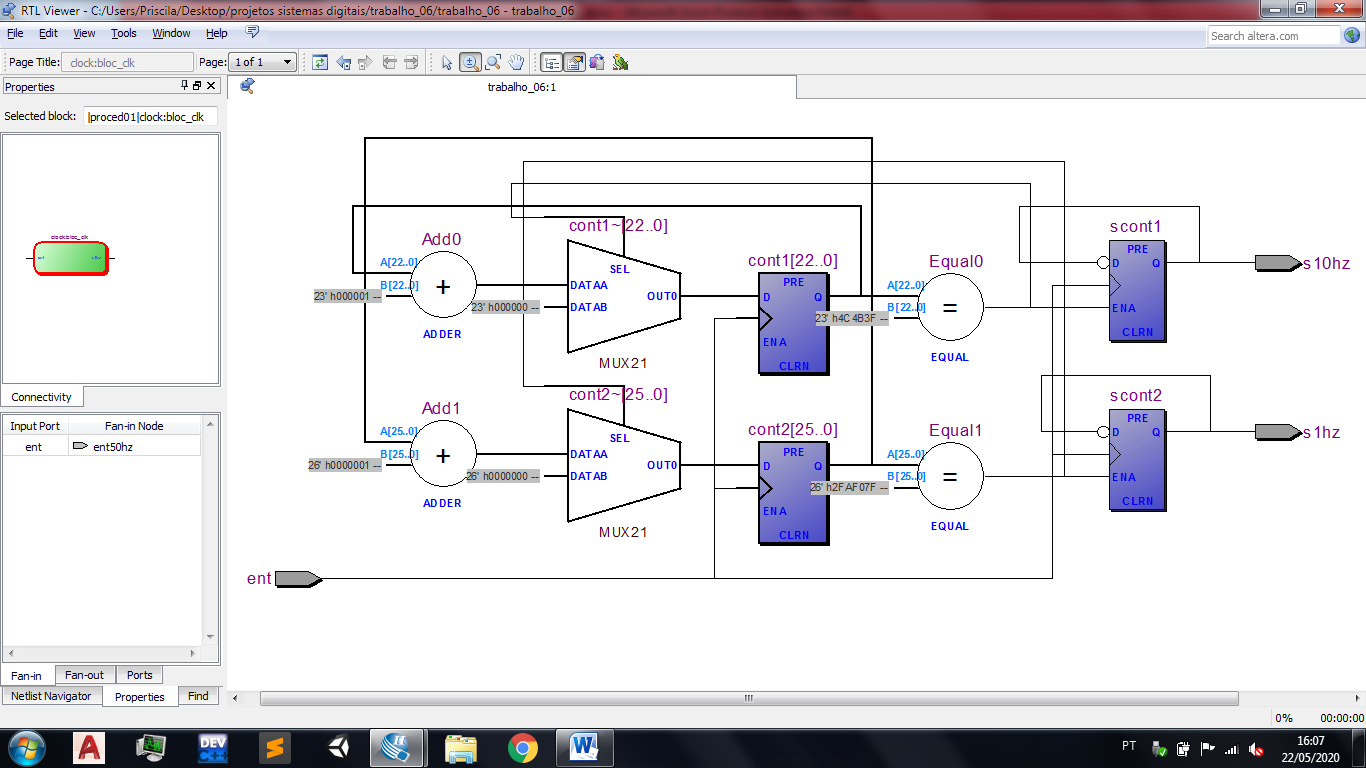


**Figura 6 – Simulação do bloco contador e decodificador para as saidas dos displays de 7 segmentos. Fonte ModelSim (2020)**

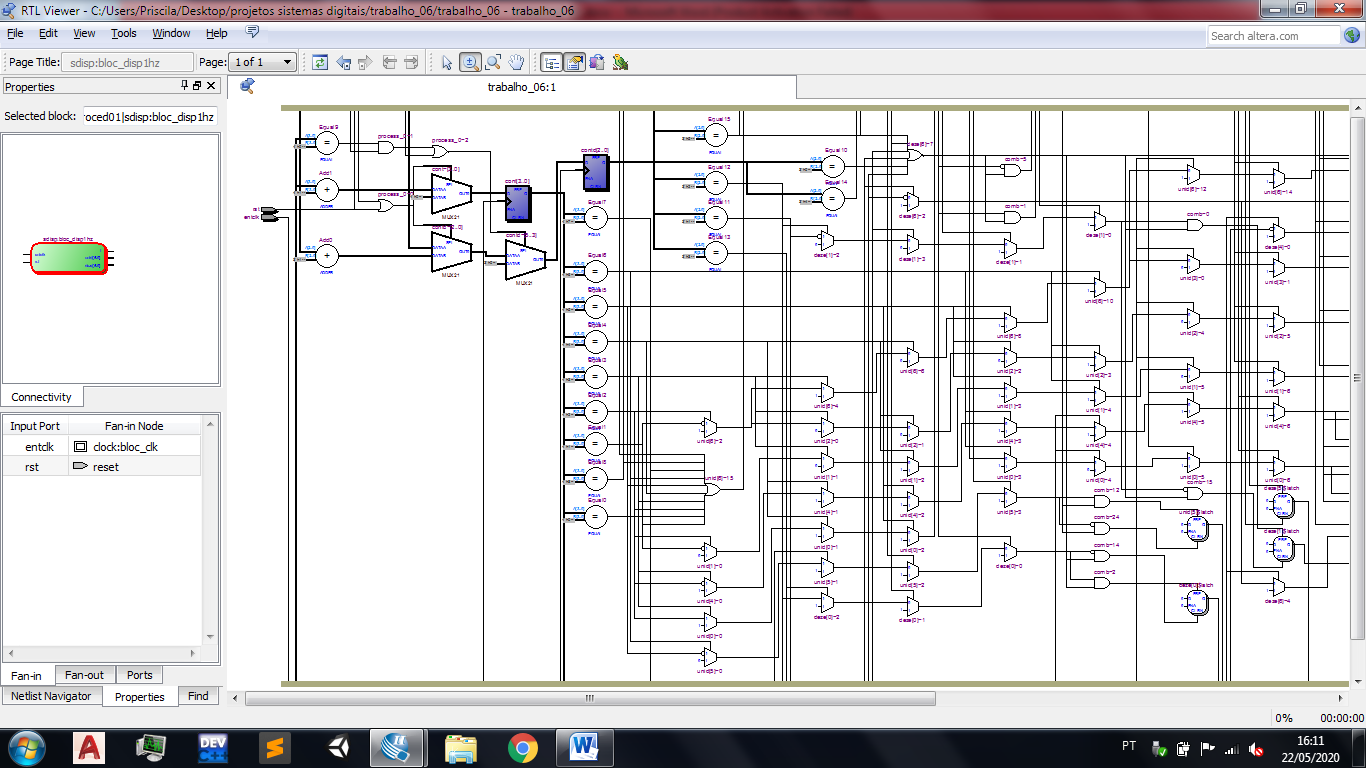
1. Circuito sintetizado pelo software Quartus II

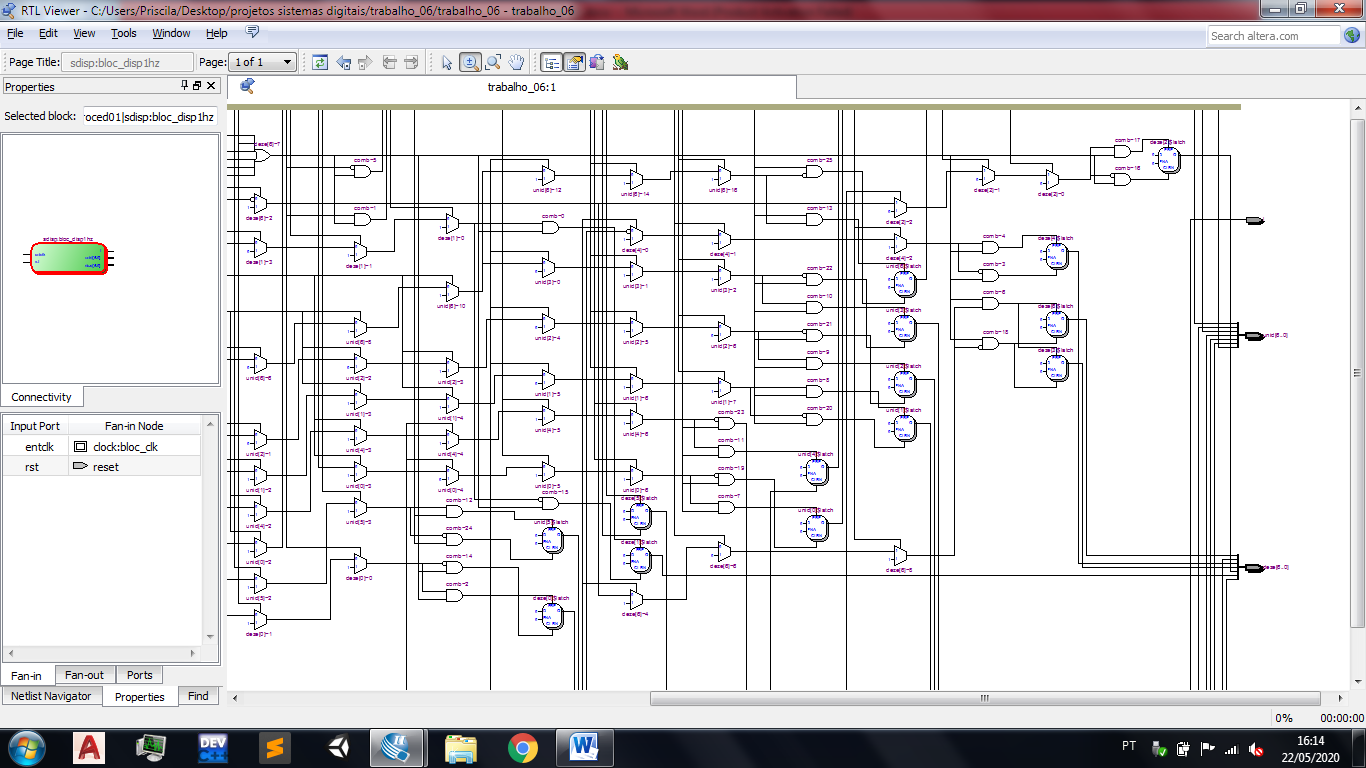


**Figura 7– Circuito referente ao codigo da figura 3. Fonte RTL Viewer (2020)**



**Figura 8– Circuito referente ao bloco gerador de clock do codigo da figura 1. Fonte RTL Viewer (2020)**





**Figura 9– Circuito referente do bloco contador e decodificador para as saidas dos displays de 7 segmentos do codigo da figura 2. Fonte RTL Viewer (2020).**

1. Conclusão

Entendemos completamente o funcionamento do circuito de cronômetro digital implementado em VHDL, com um display de 7 segmentos e como sua aplicação poder ser utilizada não apenas como cronômetro, mas também em relógios, rádios-relógio, relógios digitais, calculadoras e relógios de pulso. A utilização do mesmo displays de sete segmentos está muito obsoleta, devido ao avanço das tecnologias de display. Atualmente o display matricial de sete segmentos está sendo exibido em sua maioria no lugar dos displays de sete segmentos, mas os displays de sete segmentos ainda são um bom ponto de partida para certas aplicações tecnológicas como foi o caso do cronômetro digital.

Referências

Gazi, Orhan.; IDOETA, Ivan V. A Tutorial Introduction to VHDL Programming. 1ª Ed. Ankara: S pringer, 2019.

TOCCI, Ronald J.; WIDMER, Neal S. Sistemas digitais: Princípios e aplicações. 8ª Ed. Rio de Janeiro: LTC, 2003.

AMORE, Robert d', VDHL: Descrição e Síntese de Circuitos Digitais, 1ª Ed.LTC, 2005.