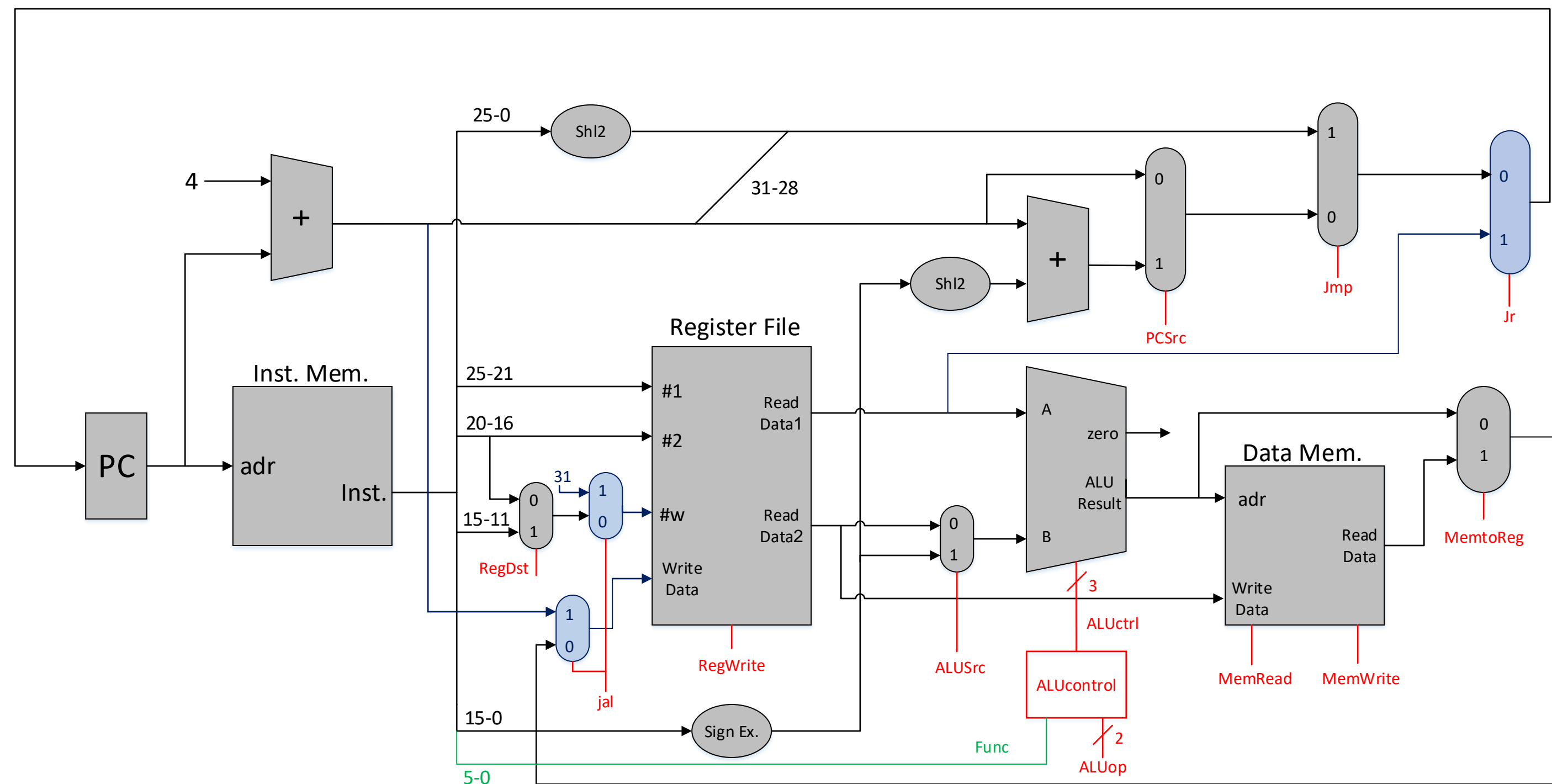


Single Cycle (DataPath)



* دستور های addi و sli:

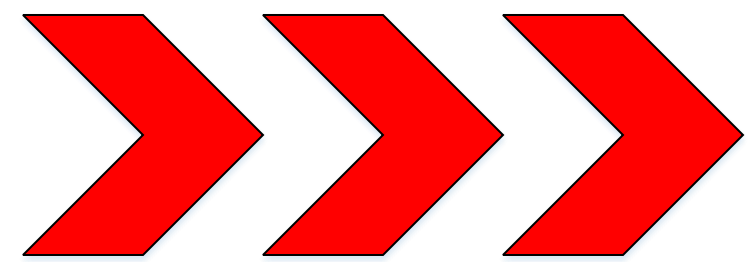
برای این دو دستور هیچ عنصر جدیدی به مسیر داده اضافه نشده است و این دستورات با همان مسیر داده پردازنده MIPS قابل پیاده سازی هستند. تنها کافیت مقادیر سیگنال های کنترلی عناصر مسیر داده را به درستی مقاردهی کنیم که در بخش کنترلر، جدول سیگنال های کنترلی را برای این دستورات مشاهده می کنید.

* دستور jal:

برای این دستور دو مالتیپلکسر برای ورودی های WriteRegister و WriteData در Register File اضافه کرده ایم. سیگنال های کنترلی این دو مالتیپلکسر یکسان هستند. در اینصورت وقتی jal مقدار یک داشته باشد این دستور انجام می شود و در غیر اینصورت بقیه دستورات بسته به حالت سیگنال های کنترلی دیگر انجام خواهند شد.

* دستور jr:

برای این دستور یک مالتیپلکسر قرار داده ایم که خروجی آن به PC متصل شده است چون با انجام شدن این دستور قرار است PC به آدرسی که در رجیستر مدنظر قرار دارد، منتقل شود. سیگنال کنترلی این مالتیپلکسر jr است که در صورتی که مقدار یک داشته باشد، این دستور انجام می شود و در غیر اینصورت دستور انجام نمی شود.



PipeLine (DataPath)

